

POLITECNICO DI TORINO

Facoltà di Ingegneria

Corso di Laurea in Ingegneria Elettronica

Tesi di Laurea Magistrale

**Sistema di gestione della potenza per
satelliti modulari AraMiS**



Relatori:
prof. Leonardo Reyneri
prof. Claudio Sansoè

Candidato:
Stefano Gagliasso

Luglio 2015

Grazie a Mamma, Papà, i Nonni e Sabrina,

Stefano

Sommario

Questo documento viene redatto per descrivere le funzionalità del sistema di gestione della potenza del satellite modulare *AraMiS*.

Per *AraMiS*, acronimo di *ARchitettura Altamente Modulare per Infrastrutture Satellitari*, si intende uno standard per nano-satelliti modulari sviluppato dal *Politecnico di Torino* a partire dal 2010. Le caratteristiche peculiari di questo progetto devono essere: una massa totale compresa tra 1Kg e 10 Kg ed un alto grado di modularità, ovvero ogni modulo costituente il satellite svolgerà un compito specifico e differente rispetto ad un altro.

I moduli presi in esame vengono definiti come *Tile*, nell'architettura *AraMiS* ne sono presenti due: il primo il cui compito sarà la gestione della potenza e delle batterie definito come *Power Management and ACS tile*, il secondo contenete l'unità di gestione delle informazioni e l'apparato di telecomunicazione denominato come *On-Board Computer and Telecommunication Tile*.

Il **Capitolo 1** contiene le informazioni essenziali per comprendere il funzionamento dei due moduli. Nei capitoli successivi il documento analizzerà in modo approfondito le tematiche riguardanti il *Power Management and ACS tile*.

Importante ai fini della progettazione sono i parametri in cui i nano-satelliti si troveranno ad operare, per questo motivo nel **Capitolo 2** verrà descritto l'ambiente in cui il satellite si andrà a posizionare, analizzando le problematiche che esso comporterà sul funzionamento dei sistemi.

Una costante nello sviluppo, non solo dell'elaborato in oggetto in questo testo, ma di tutto il sistema *AraMiS* è stato il linguaggio *Unified Modeling Language UML*. Attraverso l'utilizzo del software *Visual Paradigm 11.2* infatti si è strutturato tutto il processo descrittivo e gestionale dell'intero progetto. Questo strumento unendo la possibilità di gestire oggetti di tipo grafico con descrizioni testuali permette di definire specifiche e funzionalità di ogni parte del sistema, garantendo un'elevata collaborazione tra i diversi sviluppatori.

Per quanto riguarda la progettazione delle componenti elettroniche presenti nel progetto si è utilizzato il software di sviluppo *Mentor Graphics 7.9.4*, il quale ha supportato il lavoro dalla fase di definizione dello schema elettrico fino alla costituzione della *Printed Circuit Board (PCB)*.

Come supporto è stato utilizzato il programma di calcolo *MATLAB* che ha svolto un ruolo fondamentale per simulare fenomeni non descrivibili da *Mentor Graphics*.

Tutte le informazioni necessarie alla comprensione del funzionamento dei software utilizzati vengono riunite in una specifica sezione dell'elaborato, in particolare nel **Capitolo 3**.

L'analisi introduttiva si può ora spostare sulla tematica principale dell'elaborato ovvero la gestione della potenza e delle batterie del satellite *AraMiS* attraverso componenti circuitali che ne gestiscono il funzionamento.

Una descrizione globale del sistema di gestione della potenza viene fatta all'interno del **Capitolo 4**, comprendendo la trattazione di tutti gli aspetti legati alla definizione delle specifiche.

Nel **Capitolo 5** vengono presi in esame i circuiti costituenti il blocco di gestione della potenza, descrivendo in modo approfondito le funzioni di ogni attore e i loro effetti nel panorama globale.

Definiti gli aspetti più generali, si affrontano attraverso il **Capitolo 6** le problematiche relative ad uno dei blocchi più importanti dell'intero sistema di gestione dell'energia il modulo *1B118 Battery Discharger*. Le soluzioni trovate sono descritte all'interno del **Capitolo 7**.

Il **Capitolo 8** documenta l'analisi sul sistema *1B11XBM Battery Management System*, ovvero il complesso circuitale contenente tutti gli elementi necessari per la gestione della potenza.

Indice

Sommario

1	AraMiS	1
1.1	Introduzione.....	1
1.2	Specifiche AraMiS.....	5
2	Ambiente operativo	11
2.1	Orbita terrestre bassa.....	11
2.1.1	Fascia di Van Allen.....	11
2.2	Parametri ambientali.....	12
2.2.1	Temperatura.....	13
2.2.2	Vuoto.....	14
2.2.3	Radiazioni.....	15
3	Ambienti di sviluppo	18
3.1	Visual Paradigm.....	18
3.1.1	Class Diagram.....	20
3.1.2	Case Diagram.....	23
3.2	Mentor Graphics.....	24
3.2.1	AraMiS Mentor Lib.....	25
3.2.2	Design Capture.....	31
3.2.3	HyperLynx.....	32
3.2.4	H-Spice.....	32
3.2.5	Simulatore	33
3.3	LT-Spice.....	35
4	1B1 Power Management Subsystem	38
4.1	Batterie.....	41
4.1.1	Problematiche di gestione delle batterie.....	43
4.2	1B126 Power Distribution Bus.....	44
4.2.1	Definizione comportamento attori PDB.....	45
4.2.2	Load.....	47
4.2.3	Energy Storage.....	48
4.2.4	Primary Source.....	48
4.2.5	Battery Source.....	49
4.2.6	Battery Charger.....	50
4.2.7	Active Shunt.....	52

4.2.8	Overvoltage Protection.....	53
4.2.9	Risultati finali.....	55
5	1B11 Power Generation and Storage.....	58
5.1	1B113 Battery Charger.....	59
5.2	1B115a Shunt Overvoltage Protection.....	61
5.3	1B118 Battery Discharger.....	63
5.4	1B132B e 1B132C Current Sensor.....	65
5.4.1	1B132B e 1B132C Simulazioni.....	68
5.5	1B121C e 1B121F.....	72
5.5.1	1B121C e 1B121 Simulazioni.....	74
5.6	1B133A Temperature Sensor.....	78
5.7	1B1142 Battery Equalizer.....	82
5.8	1B4841W Quadruple Module Interface.....	83
6	1B118 Battery Discharger.....	86
6.1	Composizione circuito 1B118 Battery Discharger.....	86
6.2	Teoria funzionamento convertitore Boost.....	89
6.3	Problematiche 1B118 Battery Discharger.....	94
6.4	Costruzione modelli di simulazione.....	97
6.5	Simulazione.....	103
7	1B118 Battery Discharger V2.....	106
7.1	Topologie alternative.....	106
7.2	Sviluppo controllo 1B118 Battery Discharger.....	108
7.3	Modelli sviluppati.....	112
7.4	1B118 Battery Discharger V2.....	114
7.5	Rete di reazione.....	116
8	1B11XBM Battery Management System.....	121
8.1	Reusable Blocks.....	122
8.2	1B11XBM Battery Management Subsystem circuito finale.....	127
	Appendice.....	134
	Matlab 1B133A Temperature Sensor.....	134
	Netlist 1B11XBM Battery Management System.....	136
	Schema elettrico 1B11XBM Battery Management System.....	145

Bibliografia

Capitolo 1

AraMiS

1.1 Introduzione

Negli ultimi anni si è registrato un sempre maggior interesse verso l'esplorazione spaziale e le tecnologie ad essa associate, provocando grandi movimenti nel mondo della ricerca e nel settore dell'industria aerospaziale.

Risultano essere molteplici i soggetti interessati allo spazio, chi per interesse accademico e chi per fini esclusivamente commerciali; pochi erano però gli enti capaci di gestire i costi correlati alla realizzazione e all'invio nello spazio di un satellite.

La continua riduzione delle dimensioni della componentistica elettronica ha però reso possibile la progettazione e quindi la costruzione di sistemi sempre più complessi con pesi e volumi minimizzati.

Visti i progressi tecnologici appena descritti e considerato che il costo per il lancio di attrezzature nello spazio dipende fortemente dal volume e dalla massa degli oggetti stessi da inviare, negli anni passati si è sviluppata l'idea di realizzare satelliti di dimensioni e massa inferiori agli standard esistenti.

Questo tipo di soluzione ha spalancato le porte dello spazio a tutti coloro che fino a quel momento non avevano potuto accedervi a causa degli elevatissimi costi.

Le università ad esempio hanno iniziato con il passare del tempo a definire propri standard di progettazione che con il tempo sono diventati parametri da seguire anche da altri costruttori.

Al momento è possibile classificare i satelliti miniaturizzati nelle seguenti categorie:

- *Mini-satellite*, satellite con massa compresa tra 100 kg e 500 kg, nonostante il peso inferiore questi sistemi mantengono la tecnologia dei satelliti di dimensioni standard.

- *Micro-satellite*, satellite con massa compresa tra 10 kg e 100 kg.
- *Nano-satellite*, satellite con massa compresa tra 1 kg e 10 kg.
- *Pico-satellite*, satellite con massa compresa tra 100 g e 1 kg.
- *Femto-satellite*, satellite con massa inferiore a 100 g.

Pionieri in questo settore sono stati il Prof. *Jordi Puig-Suari* del *Politecnico Statale della California* e il Prof. *Bob Twiggs* della *Stanford University* che nel 1999 ebbero l'idea di sviluppare un loro prototipo di satellite miniaturizzato attraverso la collaborazione di studenti laureati, capaci di gestire le dinamiche di progettazione di un sistema così complesso.

Il nome del satellite, che oggi rappresenta un riferimento nel settore, è *CUBESAT* (Figura 1.1). Il nome deriva dalla forma che venne definita in fase di progetto, il nano-satellite infatti risulta avere una forma perfettamente.

In fase di realizzazione *CUBESAT* fu costruito in modo da poter essere inviato nello spazio sfruttando il lanciatore *Poly-PicoSatellite Orbital Deployer (P-POD)*(Figura 1.2) anch'esso sviluppato dal Politecnico della California.



Figura 1.1: Satellite *CUBESAT*

Le caratteristiche principali del *CUBESAT* sono le ridotte dimensioni, in fase di progetto erano stati definiti questi punti cardine:

- Forma cubica di dimensioni 10 cm x 10 cm x 10 cm
- Massa totale non superiore a 1.33 kg.



Figura 1.2: Lanciatore *P-POD*

Un'importante novità inserita nella progettazione di questo satellite miniaturizzato consisteva nell'utilizzo di soli componenti *COTS* (*Commercial Off-the-Shelf component*), ovvero componenti hardware e software disponibili sul mercato per l'acquisto da parte di aziende di sviluppo interessate a utilizzarli nei loro progetti.

Questo tipo di componenti oltre ad essere di facile reperibilità si possono acquistare a prezzi molto competitivi a differenza dei rispettivi dedicati al settore militare.

Dopo il grande successo di *CUBESAT* molti sono stati i progetti realizzati seguendo le orme del celebre predecessore. Anche il *Politecnico di Torino* iniziò nel 2004 la sua avventura nel settore creando il suo primo prototipo di nano satellite denominato *PicPoT* (Figura 1.3).

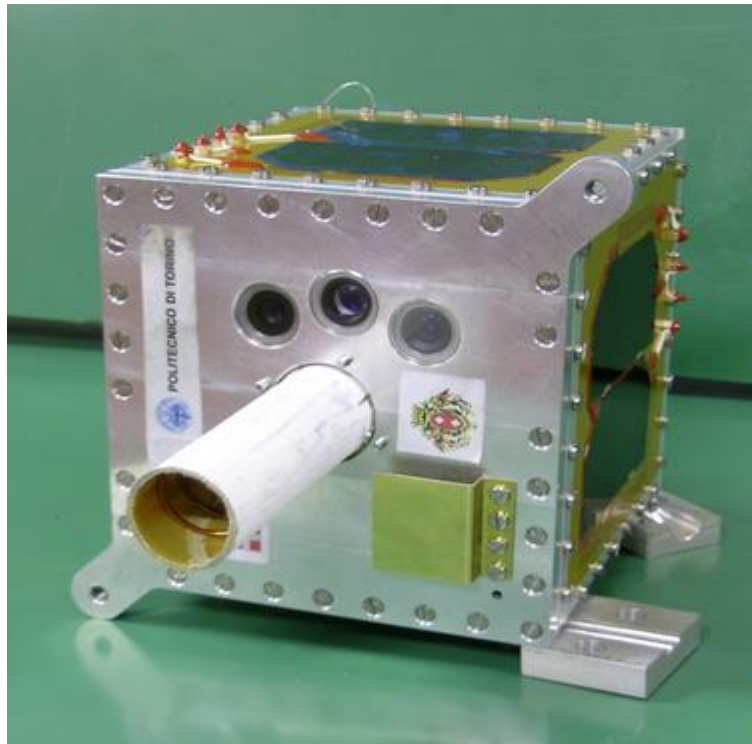


Figura 1.3: satellite PicPoT

Le specifiche tecniche di questo nano satellite erano simili a quelle di *CUBESAT*, in particolare:

- Forma cubica di dimensioni 13 cm x 13 cm x 13 cm;
- Massa totale non superiore a 5 kg;
- Massima potenza del trasmettitore 1.5W.

L'orbita finale del satellite avrebbe dovuto essere compresa tra i 600 km e gli 800 km dalla superficie terrestre, all'interno di quella che si definisce *LEO (Low earth orbit)* ovvero orbita terrestre bassa.

La missione di *PicPoT* consisteva nello scattare fotografie da inviare a terra ed effettuare analisi ambientali quali misure di temperatura e illuminamento. La durata operativa del satellite era stata prevista in almeno 90 giorni durante i quali avrebbe dovuto svolgere i compiti precedentemente descritti.

Sfortunatamente, durante il lancio nel 2006 dalla base di *Baykonour* in Kazakistan, un problema tecnico sul razzo vettore incaricato di portare in orbita il

satellite ha costretto, per ragioni di sicurezza, il software di bordo a far brillare il missile stesso con il carico a bordo.

Dopo il parziale insuccesso di *PicPoT* si giunge alla definizione delle specifiche iniziali del progetto *AraMiS* il quale dovrà superare il predecessore in prestazioni e inserire il concetto di modularità.

1.2 Specifiche AraMiS

AraMiS, acronimo di *ARchitettura Altamente Modulare per Infrastrutture Satellitari* (Figura 1.4), è l'evoluzione del *PicPoT* ed è sviluppato a partire dal 2006.

Negli anni il progetto si è evoluto attraverso il lavoro di svariati studenti che si sono susseguiti nell'affrontare lo sviluppo del satellite. Per questo motivo tutti coloro che hanno collaborato al progetto si sono appoggiati sul lavoro prodotto dai loro predecessori, portandolo a loro volta ad un livello superiore.

Diversamente dall'approccio utilizzato per *PicPoT*, il quale risulta essere il primo approccio al mondo dei nanosatelliti da parte del *Politecnico di Torino*, con *AraMiS* ci si pone l'obiettivo molto ambizioso di creare uno standard che possa competere con quello creato da *CUBESAT*.

La più grande novità introdotta da *AraMiS* è la modularità, a differenza di *CUBESAT* si vuole creare uno standard in cui i sottosistemi siano indipendenti tra di loro, sia a livello fisico che in fase di sviluppo. Questo concetto permette di avere un sistema adattabile a qualsiasi situazione semplicemente andando a modificare la struttura di base del nano satellite.

Attraverso il concetto di modularità otteniamo una riduzione dei costi dato che i sistemi standardizzati possono essere riutilizzati per altre missioni e una riduzione dei tempi di progetto visto che la progettazione può essere gestita separatamente da diversi soggetti. Risulta infine possibile riconfigurare un satellite per ogni missione a seconda degli obiettivi desiderati andando ad attingere dai moduli base preparati per *AraMiS*.

L'unica complicazione inserita nel progetto è dovuta alla collaborazione di soggetti diversi che non avranno la possibilità di operare a stretto contatto, il problema viene superato attraverso l'uso del linguaggio di modellazione UML, come verrà spiegato più approfonditamente in seguito.

Le specifiche principali per la progettazione di *AraMiS* sono:

- Forma cubica di dimensioni 16.5 cm x 16.5 cm x 16.5 cm;
- Massa non superiore a 5 kg;

- Potenza massima erogabile dai pannelli solari 6 W;
- Utilizzo di soli componenti *COTS*;
- Modularità a livello meccanico, elettronico e di testing;
- Tempo di vita di almeno 5 anni.

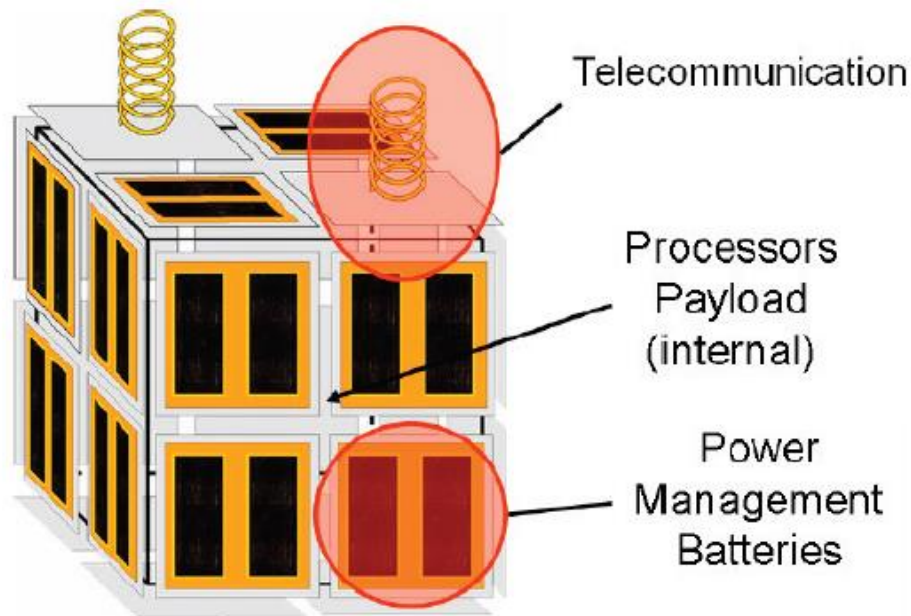


Figura 1.4: Struttura teorica satellite AraMiS

Come accennato in precedenza il numero di sviluppatori che si sono susseguiti in questo progetto è molto grande, per questo motivo è stato fondamentale l'inserimento di un metodo di descrizione del lavoro svolto, con il fine di garantire la comprensione dei sistemi a soggetti che con ogni probabilità non avrebbero mai comunicato.

A svolgere questo delicato compito è stato il linguaggio di modellizzazione *UML* che attraverso il software *Visual Paradigm* ha garantito un efficace sistema di documentazione del lavoro eseguito. Ogni progettista infatti ha il compito di documentare in modo preciso ogni sua scelta di progettazione e sviluppo proprio attraverso il linguaggio *UML*, in modo che tutto resti definito anche per coloro che collaborano o che lo sostituiranno nello sviluppo, garantendo un lavoro più chiaro ed agevole.

Definiti gli obiettivi che si vogliono raggiungere con *AraMiS*, si può passare ad analizzare la struttura interna del nano satellite attraverso una strategia del tipo *top-down*.

Occorre innanzi tutto conoscere quali sono i sottosistemi principali di ogni satellite, senza i quali non si potrebbe garantire il funzionamento d'insieme del dispositivo.

Le principali componenti sono le seguenti:

- Sistema di generazione e gestione della potenza;
- Housekeeping;
- Gestione di analisi e controllo dei dati del satellite;
- Sistema di posizionamento;
- Sistema di telecomunicazione.

Se si va a considerare il progetto di un nano satellite di tipo classico, si noterà come i circuiti appena descritti non abbiano una separazione a livello fisico o a livello di gestione del software, non esiste infatti il concetto di modularità.

Il progetto *AraMiS*, al contrario, raccoglie tutti i precedenti sottosistemi dividendoli in sole due macro categorie dette *Tiles*, che significa mattonelle.

Le *Tiles* costituiscono le facce esterne del satellite, sulla parte esterna viene solitamente posta una serie di pannelli fotovoltaici (Figura 1.5) capaci di generare energia elettrica, attraverso questo posizionamento non risultano necessari supporti esterni al cubo per il posizionamento di celle solari.

Occorre inoltre ricordare che le mattonelle svolgono anche un'importante funzione strutturale per il satellite, esse infatti garantiscono il mantenimento della forma cubica e di poter contenere all'interno un'eventuale carico scientifico

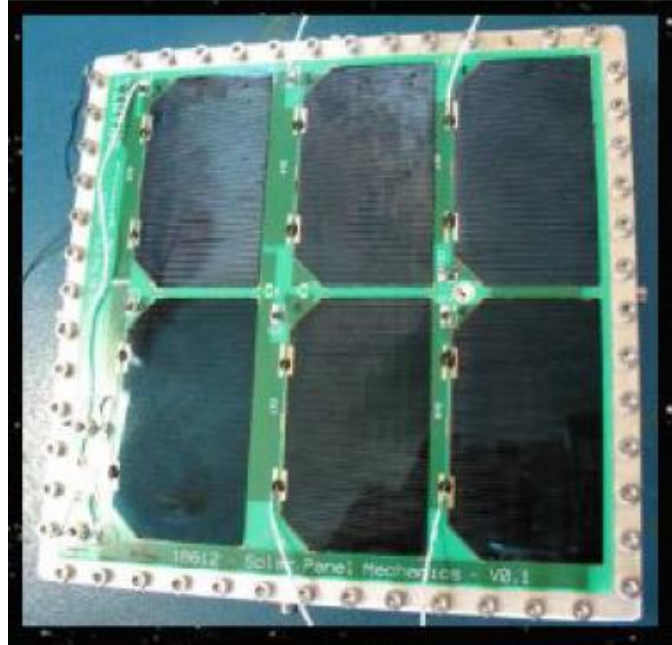


Figura 1.5: Pannelli fotovoltaici esterni

Definiamo ora come vengono suddivise le *Tiles* e quali circuiti sono contenuti al loro interno:

- *Power Management and ACS Tile* (Figura 1.6): con il compito di generare, immagazzinare e controllare la potenza. E' composto dalle celle solari, dalle batterie e dall'elettronica che ha il compito di gestire la potenza sul satellite. Inoltre sono presenti una ruota di reazione inerziale ed una bobina magnetica che formano il controllo di assetto attivo ACS.

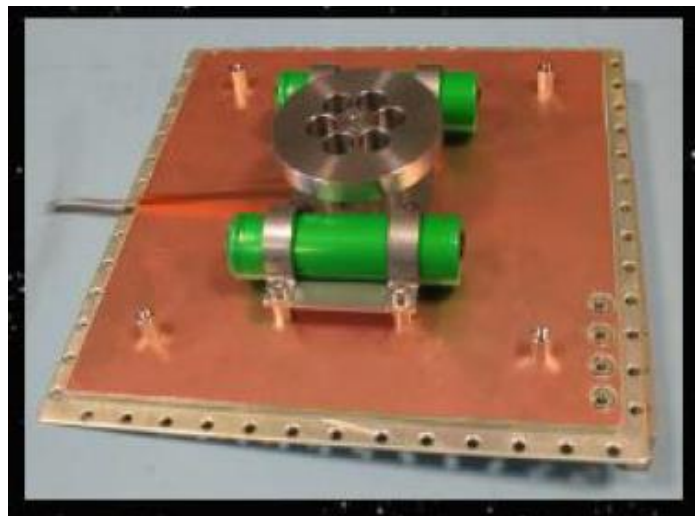


Figura 1.6: Batterie e ruota inerziale

- *On-Board Computer and Telecommunication Tile* (Figura 1.7): composta da due processori, una FPGA e da un sistema di telecomunicazione verso terra a doppio canale, uno a frequenza 437MHz e l'altro 2.4 GHz.

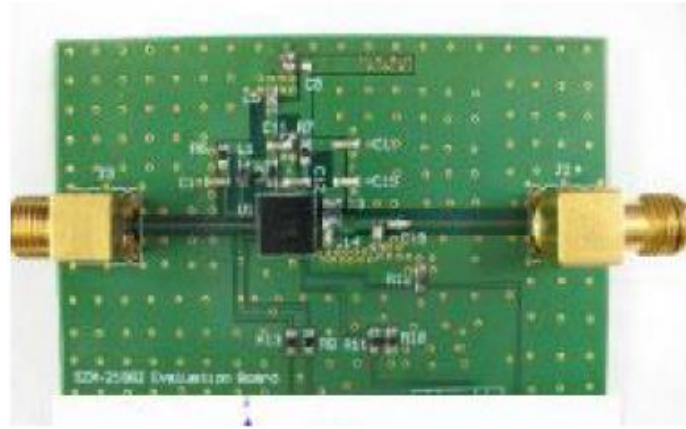


Figura 1.7: *On-Board computer and Telecommunication Tile*

Un parametro fondamentale che non si è ancora evidenziato è la ridondanza dei sistemi sulla *Power Management and ACS Tile* (detta anche *PM Tile*).

Secondo le specifiche di progetto infatti in presenza di più mattonelle dedicate alla potenza si deve avere una distribuzione uniforme delle componenti più importanti, in modo da garantire la sopravvivenza del satellite anche in caso di guasto di una delle *Tiles*.

Si possono riassumere nei seguenti punti le componenti da garantire su ogni *PM Tile*:

- Un pannello solare
- Una Batteria
- Una ruota di reazione inerziale
- Una Bobina magnetica
- Un sensore per il posizionamento
- Un sensore solare
- Un sistema di housekeeping

Tutto ciò che è stato descritto fino a questo punto rappresenta una panoramica su quello che è il progetto *AraMiS*. L'elaborato in questione si concentrerà sullo sviluppo di alcune componenti presenti nella *Power Management and ACS Tile*.

Capitolo 2

Ambiente operativo

2.1 Orbita terrestre bassa

Come accennato nei paragrafi precedenti, il nano-satellite *AraMiS* una volta completato, verrà lanciato nello spazio dove inizierà ad orbitare ad una quota compresa tra i 600 km e gli 800 km rispetto terra.

Questa altezza dalla superficie terrestre viene racchiusa nelle zone definite a *Orbita terrestre bassa* (in inglese, *Low Earth Orbit*, conosciuta come *LEO*), ovvero ci si trova tra i 160 km e i 2000 km, i limiti estremi della *LEO*.

Trovarsi a queste quote presenta una serie di svantaggi per quanto riguarda le specifiche di progetto, il principale è che grazie al fatto di essere all'interno della fascia di *Van Allen* risulta essere elevato il quantitativo di radiazioni che possono provocare un mal funzionamento dei sistemi elettronici.

Fortunatamente però la parte più interna della fascia di *Van Allen* presenta un livello di radiazioni non troppo elevato, questo consente l'utilizzo di componenti *COTS* e quindi il taglio dei costi di produzione.

Una peculiarità garantita dall'orbita bassa è la velocità di rotazione che assume un corpo al suo interno, è infatti possibile completare un'intera orbita terrestre in appena 90 minuti con velocità che raggiungono i 27000 km/h.

2.1.1 Fascia di *Van Allen*

La fascia di *Van Allen* è un toro di particelle cariche trattenute dal campo magnetico terrestre per effetto della forza di *Lorentz* (Figura 2.1).

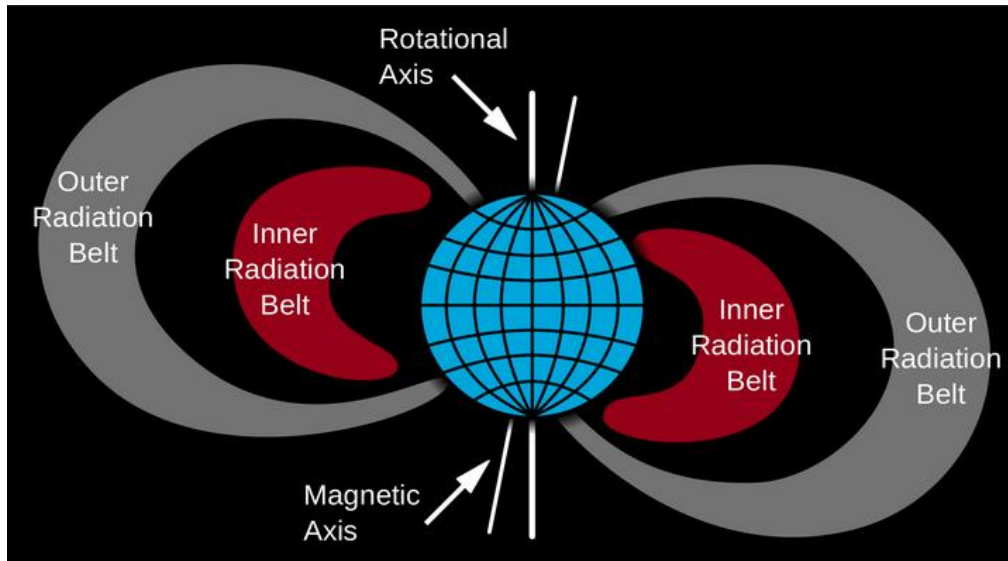


Figura 2.1: Fascia di *Van Allen*

L'atmosfera terrestre limita inferiormente l'estensione delle fasce ad un'altitudine di 200-1000 km; il loro confine superiore non arriva oltre i 40.000 km di distanza dalla superficie della Terra. Le fasce si trovano in un'area che si estende per circa 65 gradi a Nord e a Sud dell'equatore celeste.

I pannelli fotovoltaici, i circuiti integrati e i sensori possono rimanere danneggiati da intensi livelli di radiazione, per tale motivo il posizionamento dell'orbita di un satellite artificiale tenta il più possibile di evitare la presenza delle fasce di *Van Allen*.

La miniaturizzazione e la digitalizzazione dei circuiti logici ed elettronici hanno reso i satelliti più vulnerabili all'influsso delle radiazioni, visto che la carica delle particelle ionizzate impattanti può essere addirittura maggiore di quella contenuta nel circuito, determinando la cancellazione di dati in memoria o causando errori nell'elaborazione dei dati.

I problemi sui satelliti artificiali non riguardano soltanto la perdita di dati ma anche la distruzione di alcune componenti hardware, danno che risulterebbe ben più grave rispetto alla perdita di informazioni, dato che potrebbe rendere il satellite completamente inutilizzabile.

2.2 Parametri ambientali

Vengono ora riassunti i principali parametri ambientali di cui tener conto in fase di progettazione in modo da poter selezionare componenti capaci di funzionare

nello spazio e di garantire la vita minima richiesta dalle specifiche del progetto AraMiS di 5 anni.

2.2.1 Temperatura

Durante l'orbita, nello stesso istante, le diverse facce del satellite si trovano in due condizioni differenti: la faccia illuminata viene colpita da i raggi solari, mentre quella nella direzione opposta è in ombra.

Di conseguenza si va a creare un forte gradiente termico (cicli termici) tra la faccia esposta al sole e quella in ombra.

La grande componente termica dovuta al sole è causata dalla quasi totale mancanza di atmosfera, l'irraggiamento solare raggiunge infatti i 1300Wm^2 , molto maggiore rispetto alla Terra.

Bisogna inoltre ricordare che a contribuire all'innalzamento della temperatura del satellite non partecipa solo il sole tramite irraggiamento ma anche i componenti elettronici che si surriscaldano all'interno del dispositivo stesso.

Vista l'assenza di atmosfera sono da escludere fenomeni convettivi, mentre attraverso conduzione e irraggiamento i componenti surriscaldati partecipano al bilancio energetico.

Secondo una stima teorica la temperatura T di lavoro del satellite è compresa in un intervallo di $[-30 - 40] \text{ C}^\circ$ quando la potenza massima P_j dissipata dai circuiti interni è di circa 200 W (Figura 2.2).

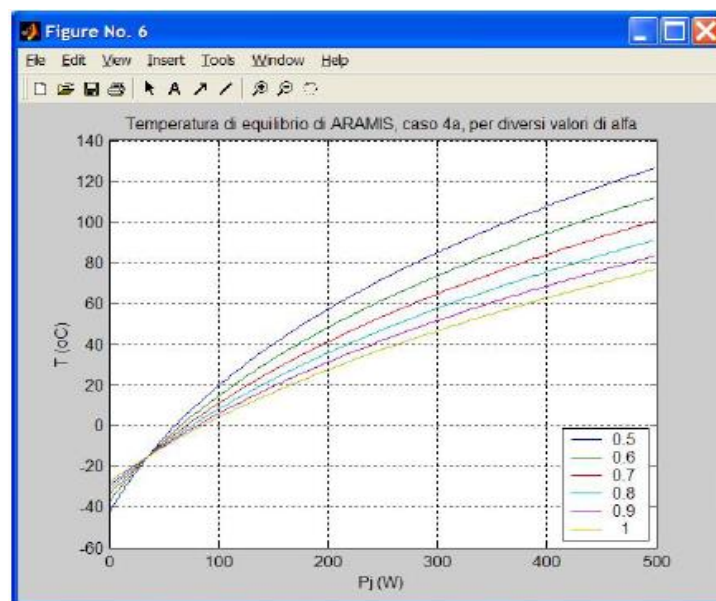


Figura 2.2: Temperatura su AraMiS

2.2.2 Vuoto

Il satellite trovandosi in *orbita terrestre bassa* dove l'atmosfera è quasi inesistente, si può quindi considerare una condizione di vuoto.

Come detto in precedenza in questa situazione il fenomeno della convezione, grazie al quale un corpo caldo (ad esempio un componente elettronico) dissipa energia a contatto con un fluido più freddo (ad esempio aria), è assente. Nel vuoto gli scambi di calore avvengono solamente per conduzione od irraggiamento e conduzione attraverso i contatti meccanici.

Occorre inoltre prestare attenzione nell'evitare la presenza di fluidi all'interno delle componenti installate nel satellite. I liquidi infatti potrebbero innescare fenomeni di surriscaldamento o addirittura esplosioni.

Un esempio può essere ricercato all'interno dei condensatori elettrolitici che contengono al loro interno uno strato di carta imbevuta d'acqua. Essendo prodotti sulla terra questi fluidi si troveranno ad una determinata pressione atmosferica che una volta nello spazio non sarà più presente, questa differenza consente al liquido di espandersi distruggendo il condensatore.

Una soluzione a questo problema può essere definita utilizzando solo condensatori ceramici o al tantalio (Figura 2.3).

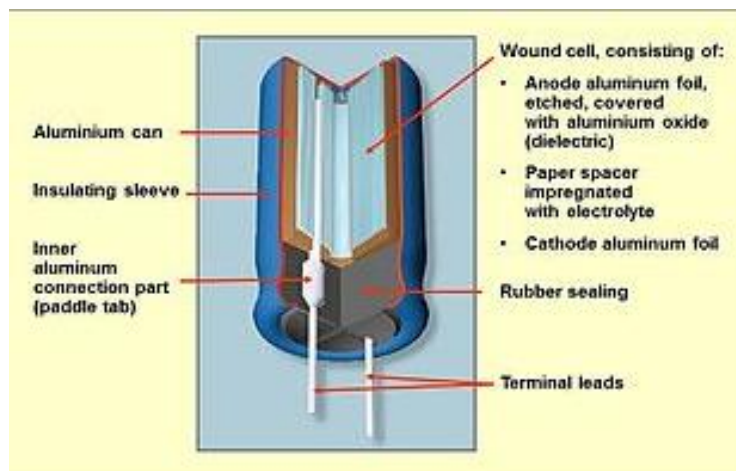


Figura 2.3: Condensatore elettrolitico in sezione

Un altro esempio è rappresentato dalle batterie agli ioni di Litio che hanno una pressione interna di 0.3 bar, trascurabile sulla Terra, ma che nel vuoto tende a creare un'altissima forza per unità di superficie e tende a far esplodere la batteria.

2.2.3 Radiazioni

Come detto in precedenza trovandosi nella fascia interna di Van Allen il satellite viene sottoposto a numerosi impatti con particelle ionizzate. Quando queste particelle cariche colpiscono i semiconduttori si crea il fenomeno detto di ionizzazione diretta ed in essi viene generata una coppia elettrone-lacuna che, attraverso i noti meccanismi di funzionamento (*drift e diffusion*) di un semiconduttore, si può propagare o ricombinare causando dei comportamenti anomali.

Questi effetti sono conosciuti come *Single Event Effects (SEE)* tra cui i più critici sono: il *Single Event Latch-Up (SEL)* in cui i transistor parassiti BJT interni ad un dispositivo in logica CMOS iniziano a condurre, innescando una reazione positiva che crea un percorso a bassissima impedenza tra alimentazione ed il riferimento (Figura 2.4).

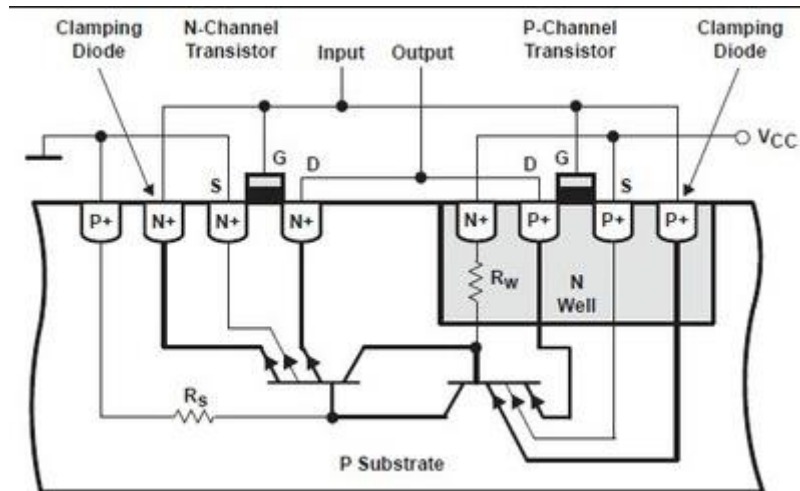


Figura 2.4: Circuito di *Latch-Up* in logica a MOS

Una soluzione per prevenire questo tipo di fenomeni è quella di costruire circuiti integrati capaci di resistere al fenomeno di *Latch-Up*, oppure inserire un circuito detto di *anti-Latch-Up* capace di spegnere temporaneamente il componente che dovesse diventare instabile. Una volta arrestato il fenomeno viene fornita nuovamente potenza dallo stesso dispositivo controllore.

Il *Single Event Up-Set (SEU)* invece può cambiare lo stato di un dispositivo a semiconduttore, ad esempio il dato immagazzinato da una cella di memoria. Gli effetti appena descritti, causati dalle radiazioni, sono fenomeni di tipo istantaneo, esistono però anche dei fenomeni il cui effetto è legato alla quantità di radiazioni assorbite; è chiaro quindi che questi fenomeni dipendono dal tempo

trascorso in orbita. Si parla di *Total Dose* per indicare la quantità massima di radiazioni che può accumulare un dispositivo prima di avere dei malfunzionamenti.

Ad esempio la tensione di soglia di un MOS tende ad aumentare gradualmente con la quantità di radiazioni assorbite, di conseguenza si può avere un aumento dei tempi di propagazione dei segnali con conseguenti possibili errori.

Capitolo 3

Ambienti di sviluppo

In questo capitolo vengono presi in esame i pacchetti software utilizzati per la progettazione del sistema *AraMiS*.

Particolare attenzione verrà posta nell'analisi del applicativo *Visual Paradigm 11* dato che questo strumento consente la standardizzazione del progetto attraverso l'uso del linguaggio *UML*.

Successivamente verrà preso in considerazione il software CAD utilizzato per la realizzazione degli schemi elettrici e delle simulazioni, ovvero *Mentor Graphics 7.9.4*.

In alcuni casi è risultato essere molto utile il programma *Matlab*, in modo particolare per tutte quelle simulazione che non potevano essere eseguite dal CAD elettrico e per la fase di dimensionamento dei componenti da inserire nella circuiteria elettronica.

Ultima menzione viene assegnata al software gratuito *LT Spice*, questo programma ha infatti consentito di effettuare simulazioni circuitali riguardanti in particolar modo schematici di potenza, simulazioni che *Mentor* non è stato in grado di eseguire nonostante svariati tentativi.

3.1 Visual Paradigm 11

Il progetto dell'architettura *AraMiS* utilizza in maniera intensiva il linguaggio *Unified Modeling Language UML* compatibile con il software *Visual Paradigm 11*.

UML è un tipo di linguaggio informatico impiegato per definire la modellizzazione di un progetto, utilizzando elementi di tipo visuale quali grafici o diagrammi ed elementi di programmazione orientata agli oggetti.

Questo tipo di approccio può essere utilizzato sia per sistemi costituiti da solo software che da solo hardware, come anche nel caso si debbano descrivere sistemi composti dai due elementi.

Attraverso *Visual Paradigm* è possibile ottenere del codice per programmare elementi a basso livello come ad esempio processori o microcontrollori. Questo avviene grazie ad un compilatore che traduce il codice ad alto livello costituito da diagrammi in codice comprensibile alla macchina.

Risulta inoltre possibile compiere il passaggio inverso a quello descritto in precedenza, ovvero ottenere un listato ad alto livello costituito da grafici partendo da codici a basso livello.

Una delle caratteristiche fondamentali introdotte da questo ambiente di lavoro è costituita dalla possibilità di garantire un'elevata condivisione delle risorse tra i componenti di un gruppo di lavoro.

Viene mostrato il sistema utilizzato per l'esplorazione delle risorse in *Visual Paradigm* (Figura 3.1).

Attraverso questo meccanismo si riesce a gestire un progetto complesso appoggiandosi su una struttura dati comune a tutti i progettisti, ad esempio un server, sulla quale ogni operatore potrà inserire il proprio lavoro ed avere rapido accesso a quello eseguito da altri.

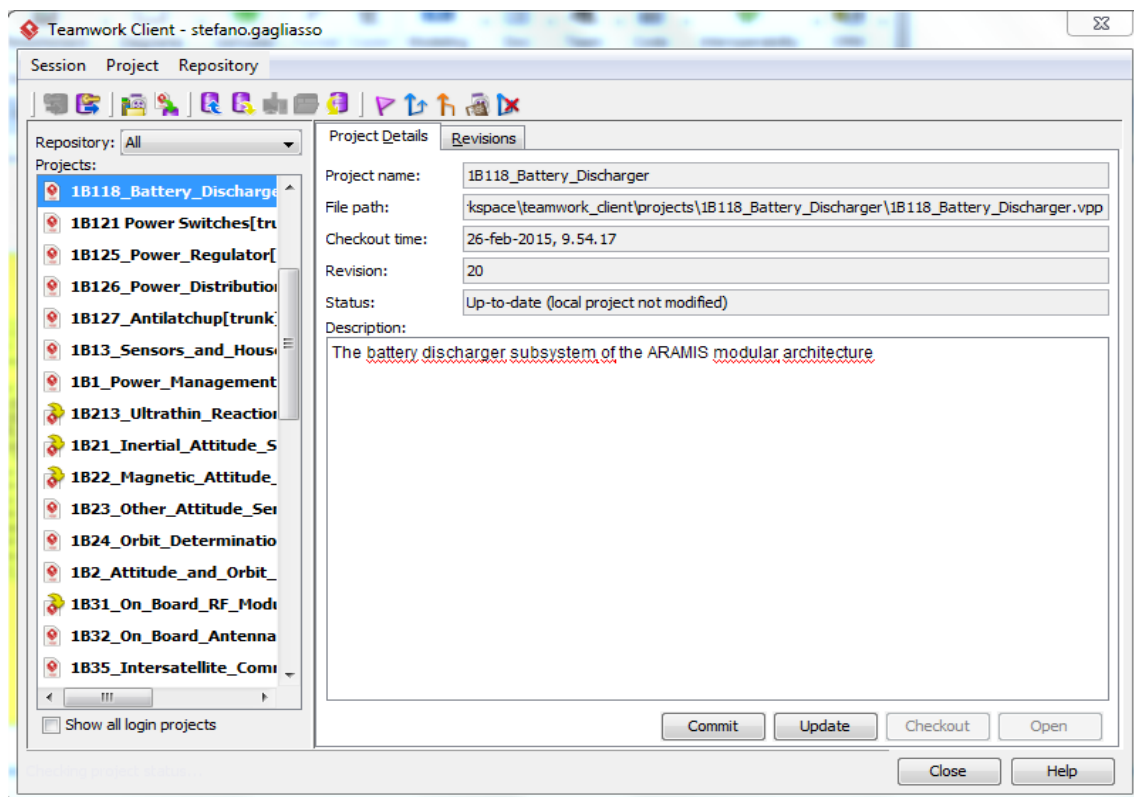


Figura 3.1: Esplora progetti *Visual Paradigm* 11

Visual Paradigm utilizza numerose strutture per descrivere in maniera approfondita il progetto *AraMiS* ed in particolare sono presenti:

- Diagrammi per le specifiche funzionali.
- Diagrammi per le specifiche prestazionali.
- Diagrammi sequenziali per l'analisi dei sistemi e dei relativi sotto-sistemi.
- Diagramma per le specifiche architetture con allegata documentazione HW/SW.

Di seguito sono illustrate brevemente due tra le principali strutture grafiche utilizzate: il diagramma delle classi, *Class Diagram* ed il diagramma dei casi d'uso, *Case Diagram*.

3.1.1 Class Diagram

Il diagramma delle classi, *Class Diagram*, è una rappresentazione grafica degli oggetti che compongono l'intero sistema. Si definisce classe un insieme di oggetti di una medesima categoria.

Ogni classe è costituita da un insieme di attributi (che descrivono le caratteristiche o lo stato degli oggetti della classe) e operazioni (che descrivono il comportamento della classe).

Il simbolo grafico che rappresenta le classi *UML* è un rettangolo suddiviso in tre scomparti.

- Nome della classe.
- Attributi, in cui sono descritte le proprietà dell'oggetto.
- Metodi, in cui sono indicate le operazioni che può effettuare un oggetto.

Due classi possono essere legate tramite associazioni che rappresentano i legami che possono sussistere fra gli oggetti delle classi associate.

Ogni categoria di associazione (aggregazione, composizione, dipendenza, generalizzazione, ecc.) viene rappresentata mediante una particolare freccia che connette le due classi coinvolte.

Viene riportato un esempio di *Class Diagram* (Figura 3.2).

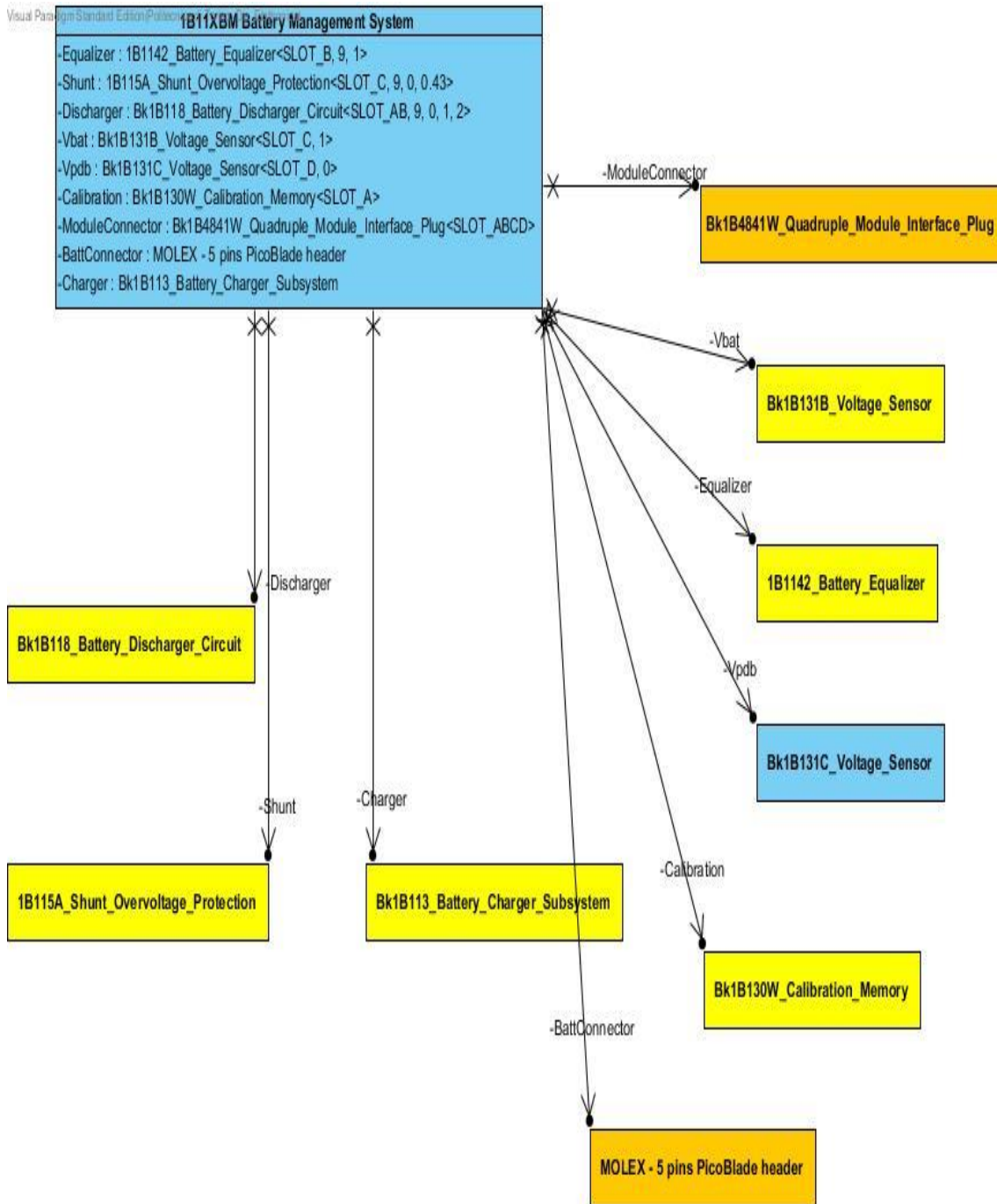


Figura 3.2: *Class Diagram*

Occorre inoltre sottolineare come sia possibile inserire informazioni aggiuntive rispetto ai campi presentati in precedenza.

In particolare risulta molto utile l'inserimento di descrizioni associate ad ogni classe, in questo modo risulta possibile estendere il contenuto informativo di ogni blocco rendendolo più comprensibile ad utilizzatori diversi. Viene riportato un esempio di descrizione associata ad una classe (Figura 3.3).

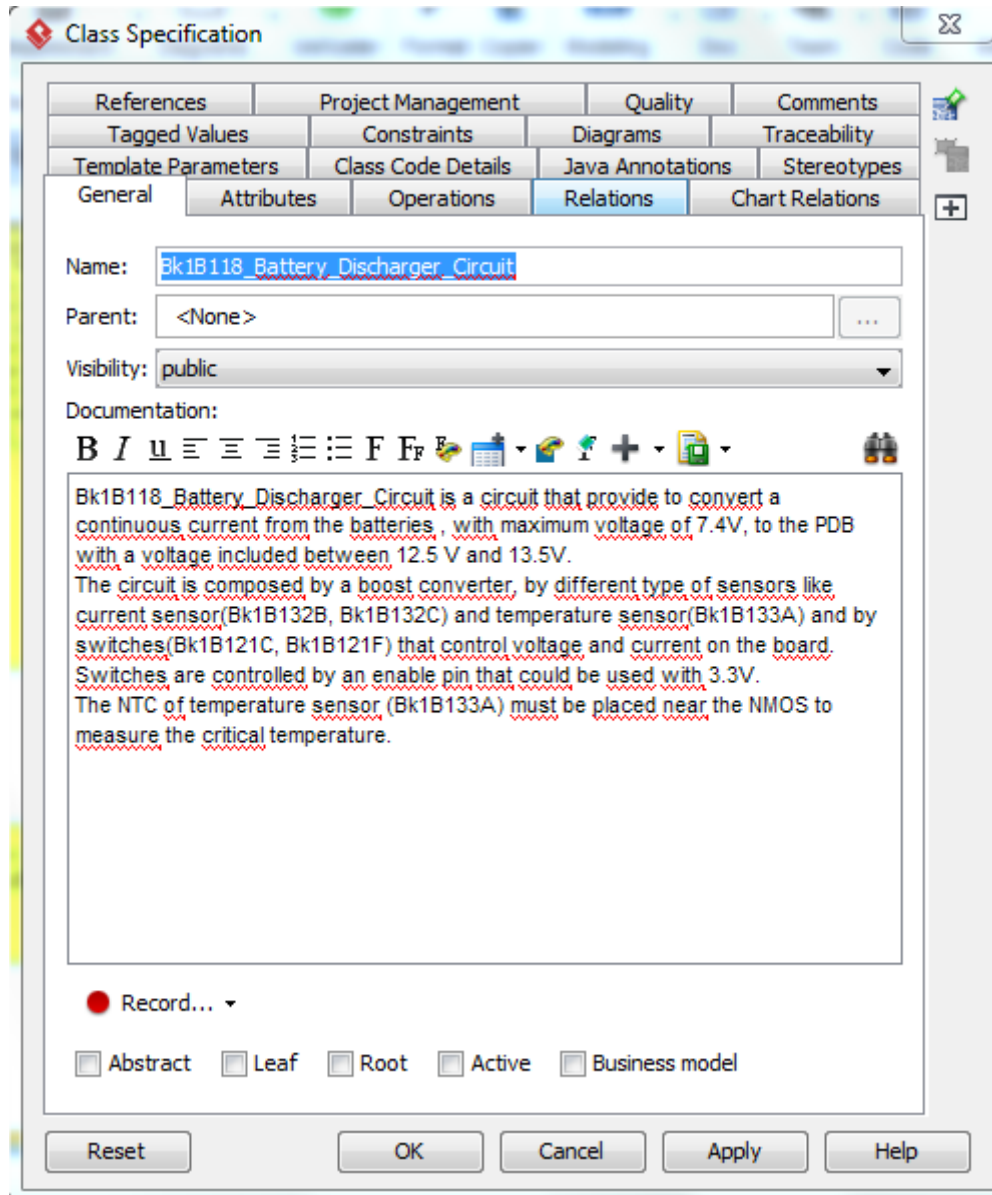


Figura 3.3: Descrizione di una classe

3.1.2 Case Diagram

Il *Case Diagram*, è un metodo utilizzato per modellizzare un sistema di qualsiasi tipo descrivendo le connessioni tra le componenti e gli attori che ne avranno il controllo.

I casi d'uso a livello grafico vengono solitamente rappresentati da ellissi a sfondo colorato contenenti informazioni sulla funzione o il servizio svolto dalla parte presa in esame.

Gli attori invece sono indicati da un omino stilizzato.

Nel *Case Diagram* gli attori ed i casi di uso sono legati tramite diverse associazioni, rappresentate da una linea con una freccia di diversa tipologia a seconda del tipo di relazione.

Occorre ricordare che un attore può essere associato a un qualsiasi numero di casi d'uso, e viceversa.

In seguito viene mostrato un esempio di *Case Diagram* (Figura 3.4).



Figura 3.4: Esempio *Case Diagram* relativo a funzioni di AraMiS

3.2 Mentor Graphics 7.9.4

Mentor Graphics 7.9.4 è un software facente parte della famiglia degli *EDA* (*Electronic Design Automation*), ovvero quella tipologia di programmi utilizzati per lo sviluppo di dispositivi elettronici.

L'introduzione di questi ambienti di sviluppo ha reso possibile la realizzazione di sistemi molto complessi e attraverso un sistema di condivisione delle risorse simile a quello descritto per *Visual Paradigm* non vi è limite al numero di sviluppatori che possono lavorare su un progetto in contemporanea

Per quanto riguarda il progetto *AraMiS* il software è stato utilizzato in tutti i suoi aspetti e sfruttando a pieno le sue potenzialità, in particolare le funzioni più utilizzate riguardano:

- La Creazione di una libreria chiamata *Aramis Mentor Lib*, contenente tutti i dispositivi elettronici, i relativi package ed i modelli di simulazione. Sempre all'interno di questa libreria si trovano i *Reusable Blocks* che come vedremo in seguito permettono una costruzione gerarchica degli schemi elettrici ed un'ulteriore condivisione delle risorse.
- Il disegno degli schemi elettrici utilizzando il tool *Design Capture*.
- La simulazione degli schemi elettrici usando il simulatore *HyperLynx* che utilizza il sistema *HSPICE* per il funzionamento.
- La progettazione e il disegno dei circuiti stampati attraverso il tool *Expedition PCB*.

3.2.1 AraMiS Mentor Lib

Aramis Mentor Lib è la libreria centrale in cui sono descritti i dispositivi elettrici, elettronici ed i *Reusable Blocks* che vengono utilizzati nel progetto AraMiS (Figura 3.5).

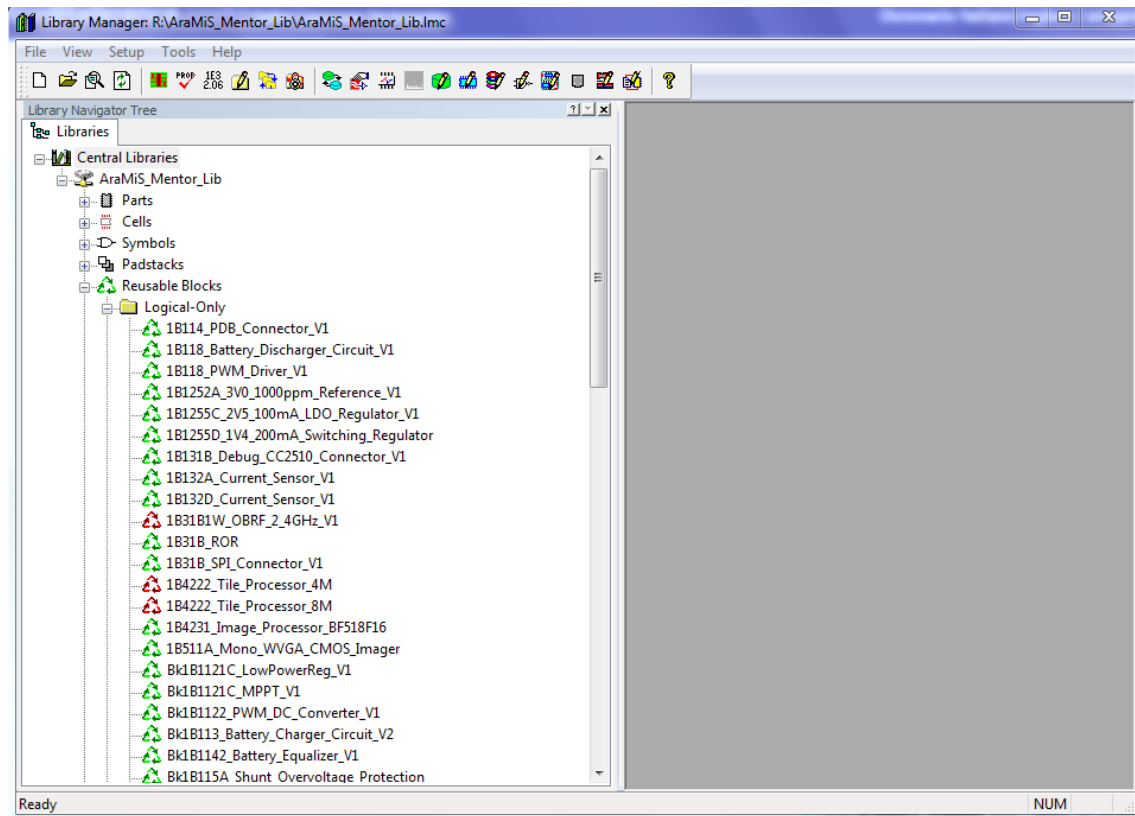


Figura 3.5: AraMiS Mentor Lib nell'esplorazione risorse del Library Manager

L'intero database viene gestito dal software *Library Manager* contenuto all'interno del pacchetto di *Mentor Graphics*.

Escludendo i *Reusable Blocks*, ogni componente elettronico presente in libreria viene definito attraverso due elementi: a livello logico viene indicato con un simbolo facilmente riconoscibile in un schema elettrico, mentre a livello fisico è presentato come una cella.

Ogni cella è definita da un insieme di informazioni riguardante il posizionamento fisico del componente sulla *PCB*, tra questi elementi troviamo il pad ovvero la parte metallica conduttiva presente sul circuito stampato a cui viene saldato ciascun piedino di un dispositivo, il posizionamento dei fori nel caso di

componenti *Through Hole* e il *Footprint* utile a definire l'ingombro del componente sul circuito stampato.

La gestione corretta della libreria centrale non è soltanto utile per svolgere il lavoro di progettazione ma anche per rendere più agevole il processo di prototipazione di una nuova scheda(Figura 3.6).

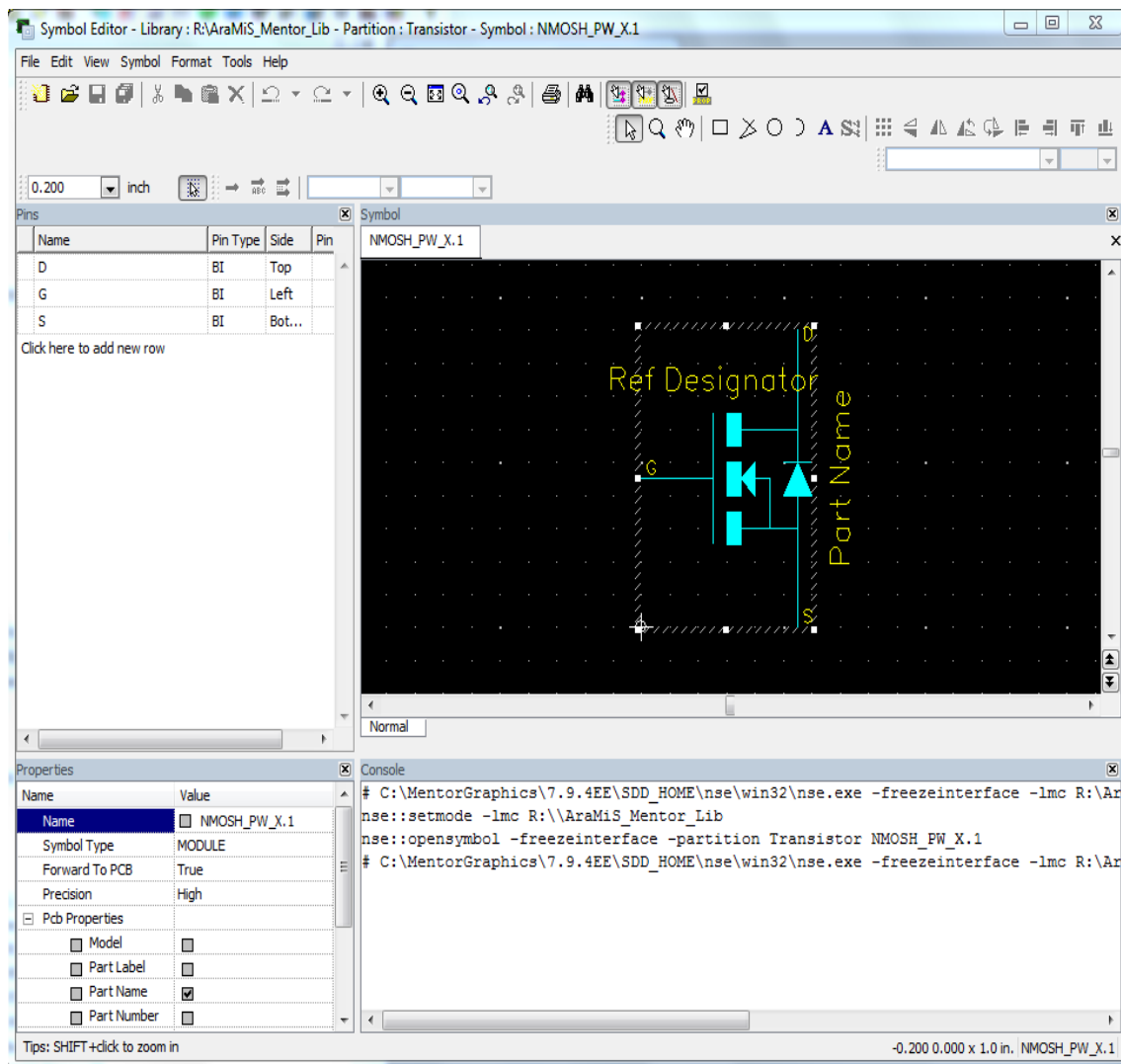


Figura 3.6: Symbol Editor di Mentor Graphics

Ogni componente elettronico presente in libreria viene collegato attraverso un apposito codice al fornitore designato in modo da avere un facile approvvigionamento ed evitando l'acquisto di una possibile variante del componente stesso, ad esempio un'errata scelta di *package*.

Inoltre a livello di organizzazione interna del laboratorio è presente un ulteriore software utilizzato per la gestione del magazzino dei componenti, anche in questo caso sfruttando questo codice univoco si possono evitare errori. Per identificare correttamente un dispositivo occorrono tre etichette contenenti i seguenti parametri:

- *Part Number* costituito da : <Fornitore><Codice Fornitore>
- *Part Name* costituito da : <Nome componente><Package>
- *Part Label* costituito da : <Nome componente><Caratteristiche>

All'interno di *Mentor Graphics* diventano fondamentali ulteriori parametri, utili soprattutto nella fase di utilizzo del simulatore, il software infatti è in grado di tradurre le connessioni circuitali in una lista di connessioni chiamata *Netlist* che risulta essere un file fondamentale per lo svolgimento delle simulazioni. Anche in questo caso le informazioni utili vengono inserite all'interno della libreria centrale associandole ad ogni componente (Figura 3.7).

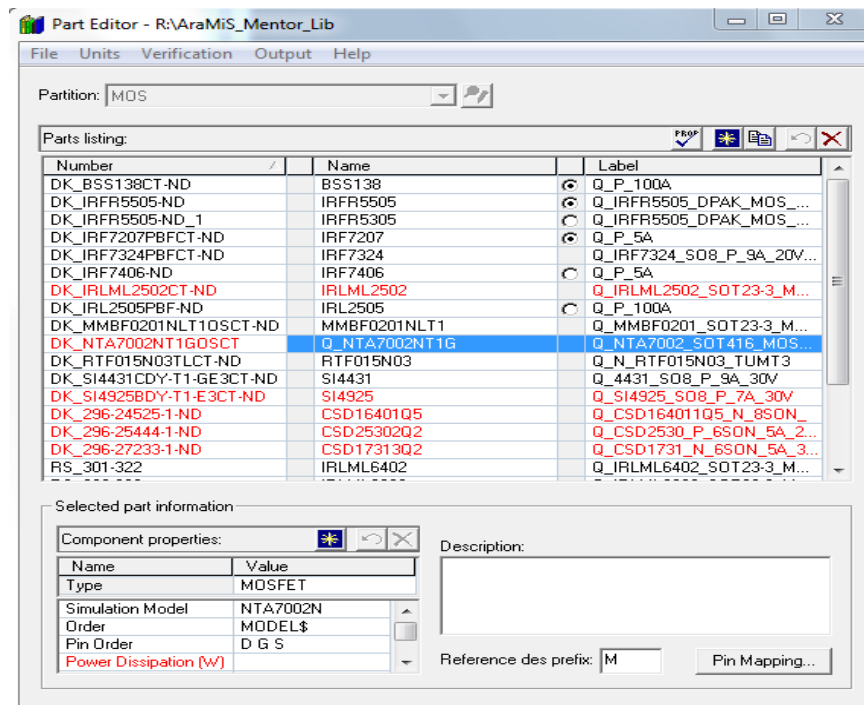


Figura 3.7 : Part Editor

In seguito vengono elencati i tre principali parametri da descrivere:

- *Value*, indica il valore della specifica grandezza caratteristica associata al dispositivo; ad esempio per un resistore in questo campo si inserisce il valore della sua resistenza espresso in Ohm. Nel caso di dispositivi complessi questo parametro non è da considerare.
- *Simulation Model*, in questo campo si inserisce una stringa di testo in cui è indicato il nome del modello circuitale (ad esempio il nome di un .subckt in SPICE) che descrive il comportamento del dispositivo. Non tutti i componenti necessitano di un modello di simulazione, questa è una situazione che si verifica soprattutto per i dispositivi più complessi.
- *References Des Prefix*, è una lettera che indica il prefisso del componente. In uno schema circuitale ogni componente utilizzato viene identificato da una lettera, in questo modo il simulatore sarà capace di discriminare i componenti costituenti il circuito. Ad esempio un resistore sarà identificato dalla lettera R, mentre un amplificatore operazionale con modello di simulazione associato con la lettera X.

Ultimo parametro da non trascurare nella descrizione di un componente elettronico è il *Pin Mapping*, questo procedimento consente di associare ogni pin di un simbolo circuitale ad un pin fisico del componente reale (Figura 3.8). Questa fase risulta essere fondamentale perché un'associazione non ben effettuata può portare alla progettazione di una *PCB* all'apparenza funzionante ma con banchi interni riscontrabili solamente durante la fase di *debug* del prototipo.

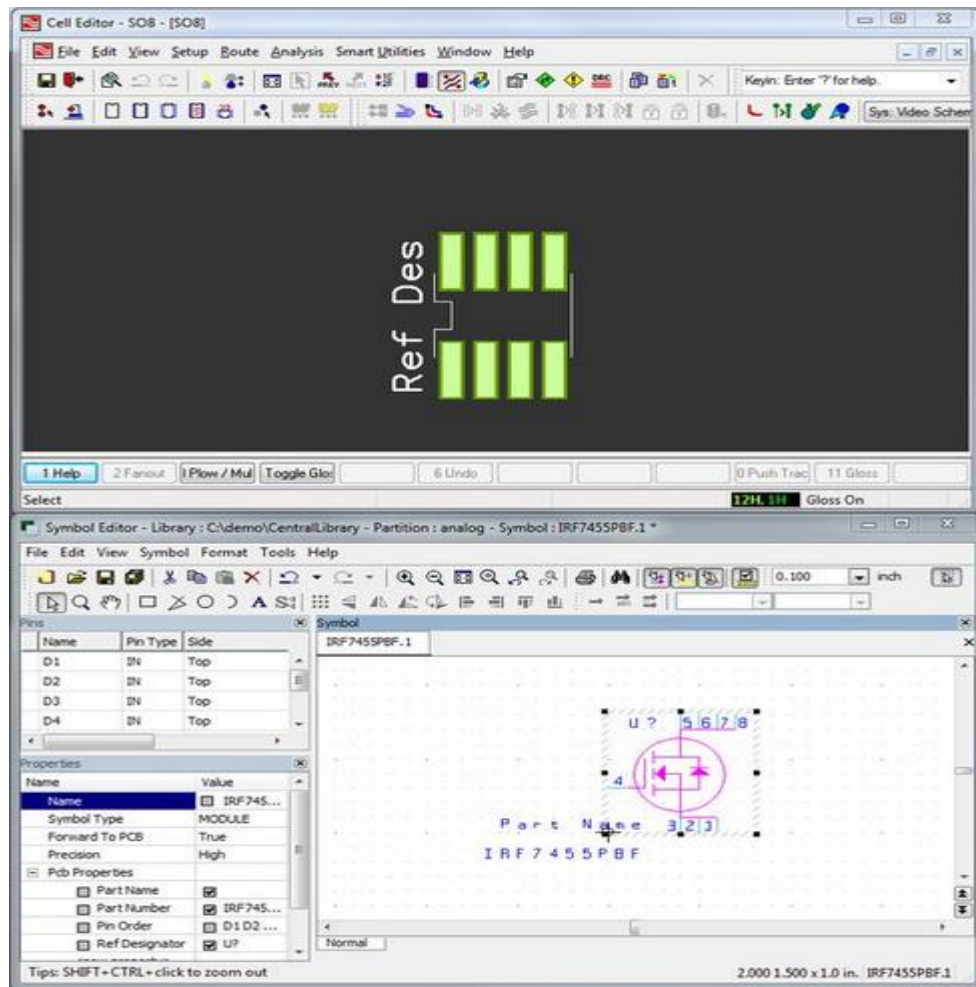


Figura 3.8: Cell Editor utilizzato per operazione di Pin Mapping

Terminata la trattazione riguardante la gestione dei componenti elettronici più semplici all'interno di *AraMiS Mentor Lib*, si può passare all'analisi della costruzione, la gestione e l'utilizzo dei *Reusable Blocks*.

In un progetto esteso come quello affrontato risulta fondamentale avere un database ordinato e controllabile di tutta la circuiteria elettronica sviluppata, in modo da poter effettuare modifiche dove necessario e avere ben definito tutto l'*Hardware* già esistente.

Sfruttando questa idea si giunge alla necessità di avere blocchi circuitali riutilizzabili e facilmente esplorabili in modo da ridurre al minimo lo spreco di tempo dei progettisti, nascono così i *Reusable Blocks*.

I *Reusable Blocks* sono, come suggeriscono le parole, blocchi costituiti da schemi elettrici, *layout* fisici o la composizione di entrambe le voci riutilizzabili e conservati all'interno della libreria centrale. Ogni volta che all'interno del progetto *AraMiS* è stato sviluppato un nuovo circuito è stato catalogato ed

inserito in *AraMiS Mentor Lib* in modo che chi ne avesse avuto bisogno in futuro non dovesse riprogettare tutto dall'inizio (Figura 3.9).

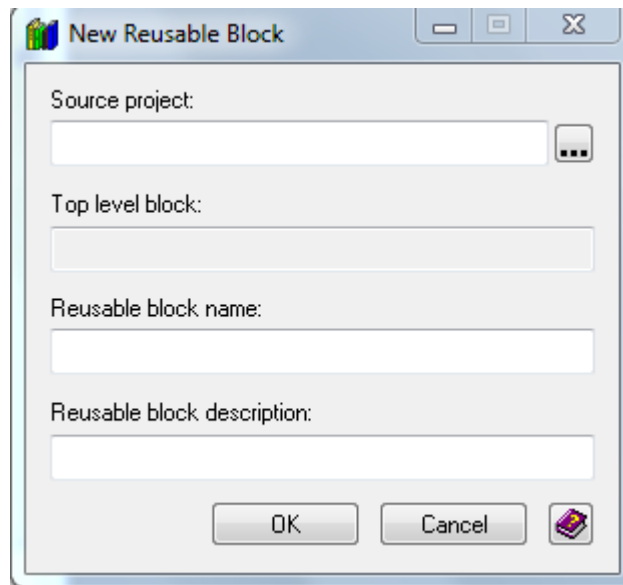


Figura 3.9 : Tool utilizzato per la creazione di un nuovo *Reusable Block*

Ogni *Reusable Blocks* sviluppato è stato descritto attraverso il linguaggio *UML* all'interno di *Visual Paradigm* in modo che ci sia un'approfondita descrizione di ogni blocco.

Come definito in precedenza i blocchi possono essere composti in tre modi:

- *Logical Only*, ossia il *Reusable Block* è composto soltanto da uno schema circuitale ed eventualmente dalle parti necessarie per la simulazione, quali *netlist* e plottati di simulazione.
- *Physical Only*, il blocco è composto soltanto dal *layout* del circuito elettrico in questione. In questo caso viene importato un progetto di *PCB* all'interno di un circuito stampato più complesso.
- *Physical and Logical*, in questo caso il *Reusable Block* è composto da entrambe le componenti precedentemente descritte. La situazione risulta essere molto più completa rispetto alle altre opzioni infatti tutte le componenti vengono descritte.

Un aspetto da non trascurare è che un blocco riutilizzabile può contenere a sua volta agglomerati più semplici che lo costituiscono. Se si vuole modificare un blocco contenuto più volte in altri schemi elettrici basterà lavorare sul modello contenuto in libreria centrale e tramite il concetto di ereditarietà la variazione si propagherà in ogni occorrenza al interno del progetto.

E' possibile inoltre una personalizzazione grafica del *Reusable Block* creato attraverso il tool *Part Editor* presente in *Mentor Graphics*.

In tutto il progetto *AraMiS* si è strutturato un lavoro attraverso l'utilizzo dei *Reusable Blocks* apprezzando i vantaggi associati a questa tecnica.

3.2.2 Design Capture

Il *Software Design Capture* è lo strumento integrato in *Mentor* per la realizzazione degli schemi elettrici e per la generazione delle *netlist* (Figura 3.10).

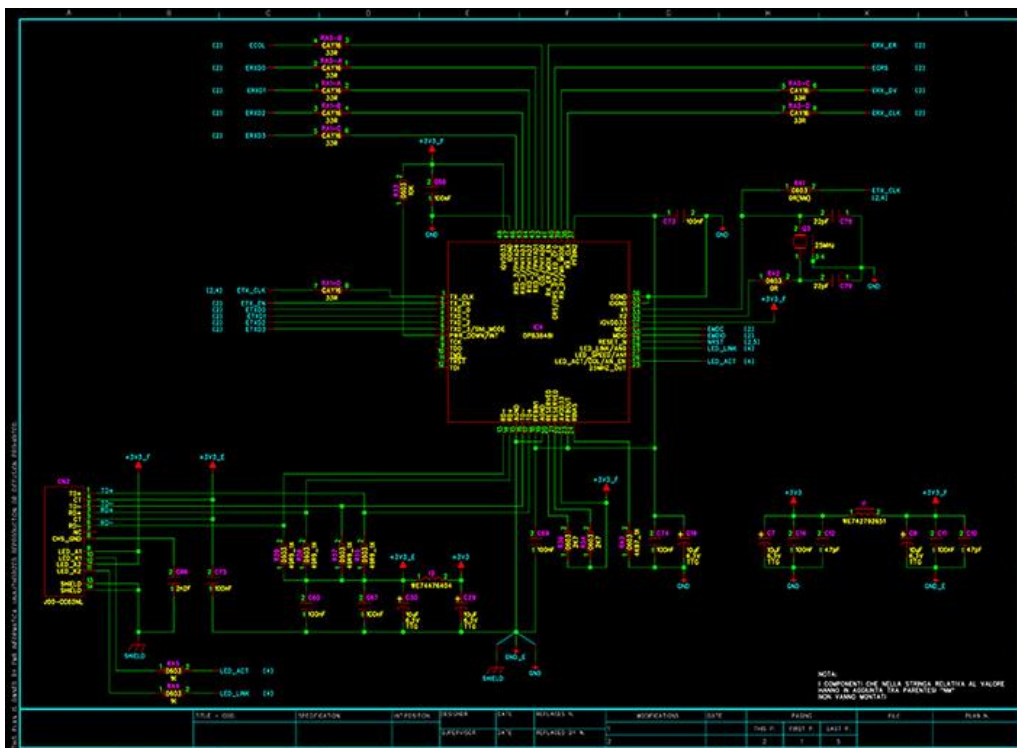


Figura 3.10 : Esempio di schema elettrico generato con *Design Capture*

Questo strumento fondamentale poggia la sua base dati sulle librerie generate o importate dall'utilizzatore, nel nostro caso come descritto in precedenza questo compito verrà svolto da *AraMiS Mentor Lib*.

Design Capture permette di avere una gestione gerarchica della progettazione di uno schema elettrico, risulta infatti possibile definire schematici più piccoli che vengono poi caricati come blocchi all'interno di uno schema più complesso che rappresenta il disegno principale.

Da questa area di lavoro risultano accessibili tutti i componenti salvati nelle librerie, siano essi componenti elettronici semplici o complessi *Reusable Blocks*.

Disegnare correttamente uno schema elettrico risulta essere un passo fondamentale per la definizione di una *Netlist* ben funzionante la quale sarà la base per lo sviluppo delle simulazioni e per la realizzazione dei *PCB*.

Tra i principali comandi utilizzati in *Design Capture* è possibile generare una lista dei componenti utilizzati *BOM (Bill of material)*, molto utile per definire i materiali che dovranno essere utilizzati per la costruzione finale del circuito stampato.

Fondamentale per il passaggio da schema elettrico a circuito stampato è il comando *packager*, impacchettamento, con il quale *Design Capture* prepara il circuito per la creazione del *PCB*, analizzando tutti i simboli del progetto e mappandoli nelle rispettive celle.

3.2.3 HyperLynx

HyperLynx è il *tool* utilizzato in *Mentor* per la simulazione degli schemi elettrici. Questo strumento è stato fondamentale per lo sviluppo delle parti descritte in questo elaborato e non solo, infatti tutte le componenti analogiche del sistema *AraMiS* hanno subito una fase di test attraverso il simulatore.

HyperLynx basa il suo funzionamento sul motore di calcolo *H-Spice*, un sistema del tutto simile al più celebre *Spice*, che verrà in seguito descritto.

3.2.4 H-SPICE

La *Netlist* in *H-Spice* è un documento di testo in cui è indicata la descrizione della rete elettrica del circuito definito nell'ambiente di disegno, in questo caso *Design Capture*.

Per ogni dispositivo è dichiarato il nome, i molteplici nodi a cui è

connesso ed il modello di simulazione, in seguito viene riportata la sintassi utilizzata:

< nome componente > < N+ >< N- > [< Ni+ > ::: < Ni- >][< modello >]+
[< valore >]

dove:

- < nome componente > è una stringa di caratteri che identifica in maniera univoca il dispositivo. La prima lettera di questa stringa rappresenta il discriminante per distinguere le tipologie di componenti
- < N+ >< N- > sono i nodi a cui è connesso il dispositivo, nel modello generale sono previsti solo due nodi ma il numero può essere molto più grande, questi due rappresentano i nodi fondamentali che non possono mai essere eliminati ;
- [< Ni+ > ::: < Ni- >] sono i possibili ulteriori nodi aggiuntivi e, come detto in precedenza, il loro numero può essere molto elevato;
- < modello > è il modello di simulazione circuitale che descrive il dispositivo, questo parametro non è sempre richiesto come nel caso di dispositivi elementari quali resistori;
- < valore > è il valore numerico che assume un determinato dispositivo. Quando è presente una descrizione di tipo circuitale, la sua definizione può essere superflua a meno che il modello non necessiti di una descrizione parametrica.

3.2.5 Simulatore

Il simulatore *H-Spice* presente in *HyperLynx* è molto potente ed è in grado di effettuare diversi tipi di analisi. Tra le principali opzioni troviamo:

- *Time Domain (Transient)*, l'analisi di tipo *Transient* permette di simulare il circuito nel dominio del tempo. La forma generica è definita come:

TRAN < Tstep >< Tstop >< Tstart >

Dove, < Tstep > indica il passo della simulazione, < Tstop > il tempo in cui interrompere la simulazione e < Tstart > il tempo dove ha inizio la simulazione (Figura3.11).

- *DC SWEEP*, con l'analisi di tipo *DC SWEEP* si simula il circuito in forma stazionaria ma utilizzando diversi valori di un parametro o di un generatore. La forma generica è:

DC < Var >< Start >< Stop >< Step >

Dove, < Var > è il parametro che varia, < Start > e < Stop > sono i valori iniziale e finale che vengono assunti dalla variabile, < Step > è il passo con cui viene fatto variare il parametro.

Da notare che questo tipo di variazioni non necessariamente devono essere di tipo lineare, possono assumere anche un andamento di tipo logaritmico. Occorre ricordare che è possibile effettuare *sweep* annidati, ad esempio variando una sorgente primaria e contemporaneamente un altro parametro o la temperatura.

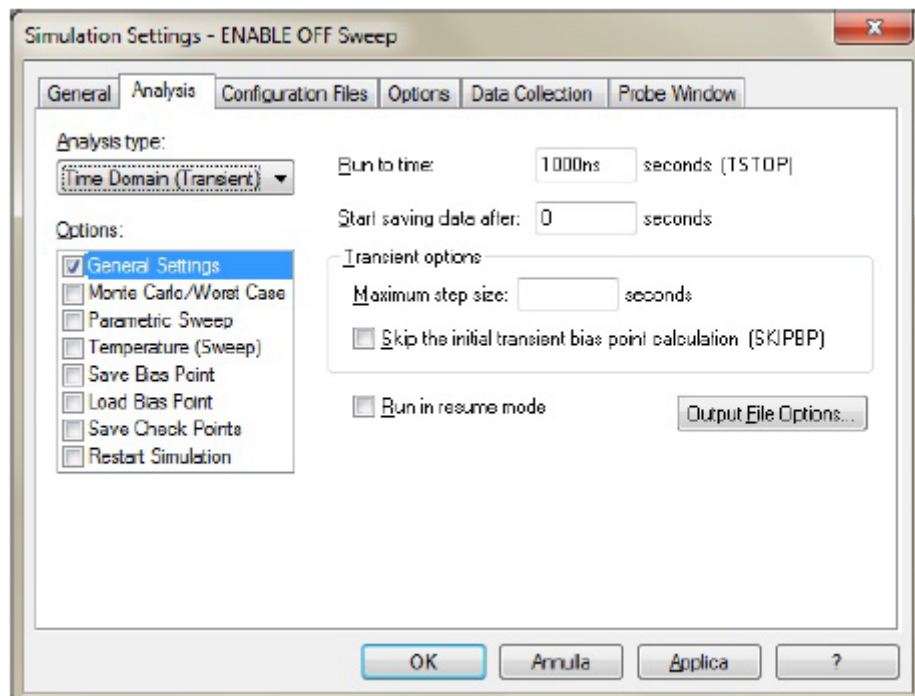


Figura 3.11: Esempio di settaggio del simulatore

Ultimo punto da ricordare è che un simulatore di questo tipo permette di avere una gestione molto approfondita non solo delle variabili usate ma anche delle metodologie di calcolo o dell'interpretazione dei risultati

Una delle funzioni più utilizzate per evitare problemi di convergenza numerica è stata quella riguardante la gestione della precisione relativa ed assoluta per correnti e tensioni.

3.3 LT-Spice

Durante il progetto delle componenti hardware trattate in questo elaborato ci si è spesso trovati ad affrontare problemi legati al simulatore *HyperLynx*, in particolare risultavano essere presenti difficoltà nel trovare convergenza numerica su determinati segnali durante il processo di simulazione.

Queste situazioni risultano essere generate dal software di calcolo utilizzato dal simulatore di *Mentor* e gravavano pesantemente sulla possibilità di verificare l'affidabilità dei progetti elettronici sviluppati.

Si è quindi introdotto l'utilizzo del programma di simulazione *LT-Spice* (Figura 3.12).

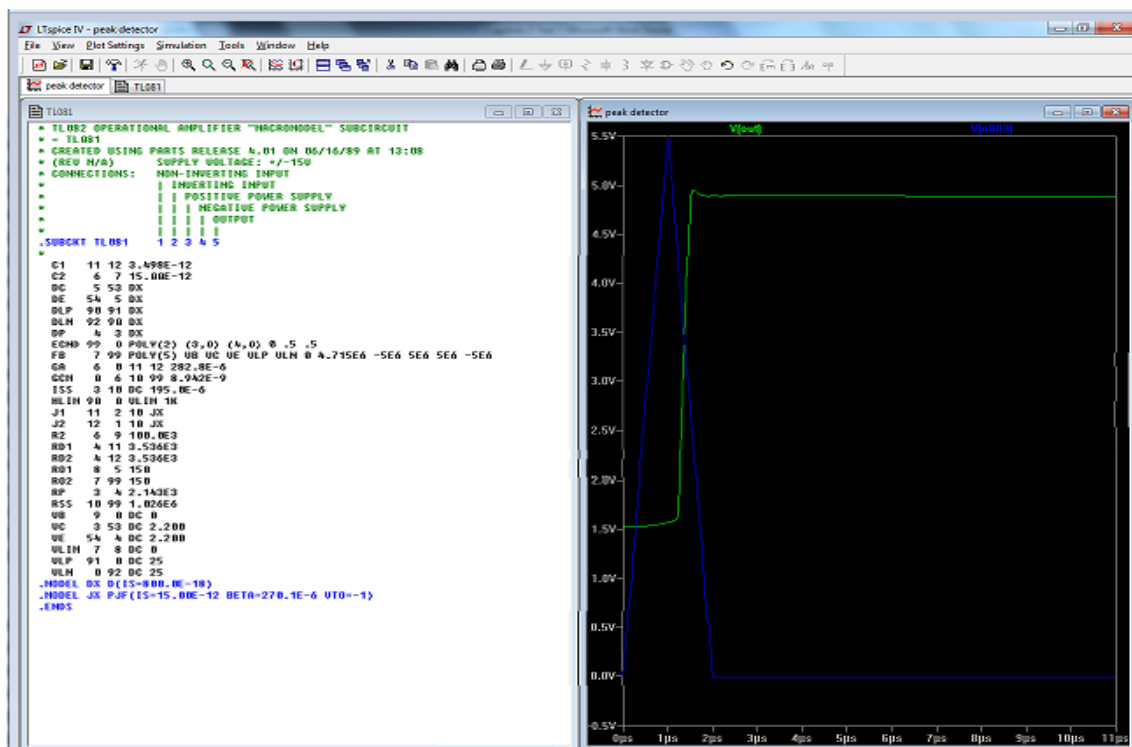


Figura 3.12: Ambiente di lavoro *LT-Spice*

Questo software, basato sul sistema *Spice*, è completamente gratuito e funziona con i medesimi modelli di simulazione utilizzati in *Hyperlynx*. Il programma è stato sviluppato dalla *Linear Technology* curando in particolar modo le problematiche legate alla simulazione di circuiti con commutazioni in ambito di elettronica di potenza.

La maggior parte del lavoro svolto è composto da parti contenenti circuiti di alimentazione *switching*, questo software ha permesso di simulare molti di quei circuiti impraticabili per *Hyperlynx*.

Capitolo 4

1B1 Power Management Subsystem

Nei capitoli precedenti è stata mostrata una panoramica relativa all'intero progetto *AraMiS* e alle applicazioni utilizzate per lo sviluppo del sistema e delle documentazioni.

In questo capitolo si andranno ad esaminare tutte le componenti costituenti il sistema di gestione della potenza presenti sul satellite, incluso il sistema di generazione e immagazzinamento dell'energia.

Tutti questi elementi vengono inseriti all'interno del macrosistema denominato *1B1 Power Management Subsystem*, che al suo interno viene schematicamente suddiviso come:

- *1B11 Power Generation and Storage*, questo sistema contiene al suo interno i dispositivi legati alla generazione, all'immagazzinamento dell'energia e alla gestione della potenza elettrica su *AraMiS*.
- *1B12 Power Distribution*, blocco descritto e definito come bus di potenza, *Power Distribution Bus (PDB)*, all'interno del satellite *AraMiS*.
- *Bk1B13 Sensors*, all'interno troviamo la definizione di tutti i blocchi circuitali utilizzati per svolgere un ruolo di monitoraggio del complesso *1B1 Power Management Subsystem*.
- *1B14 Centralized Power Management*, sistema in cui vengono definiti i parametri software e hardware necessari per la gestione di *1B1 Power Management Subsystem*.

La suddivisione appena definita è stata ovviamente documentata attraverso il software *Visual Paradigm* con un diagramma delle classi (Figura 4.1).

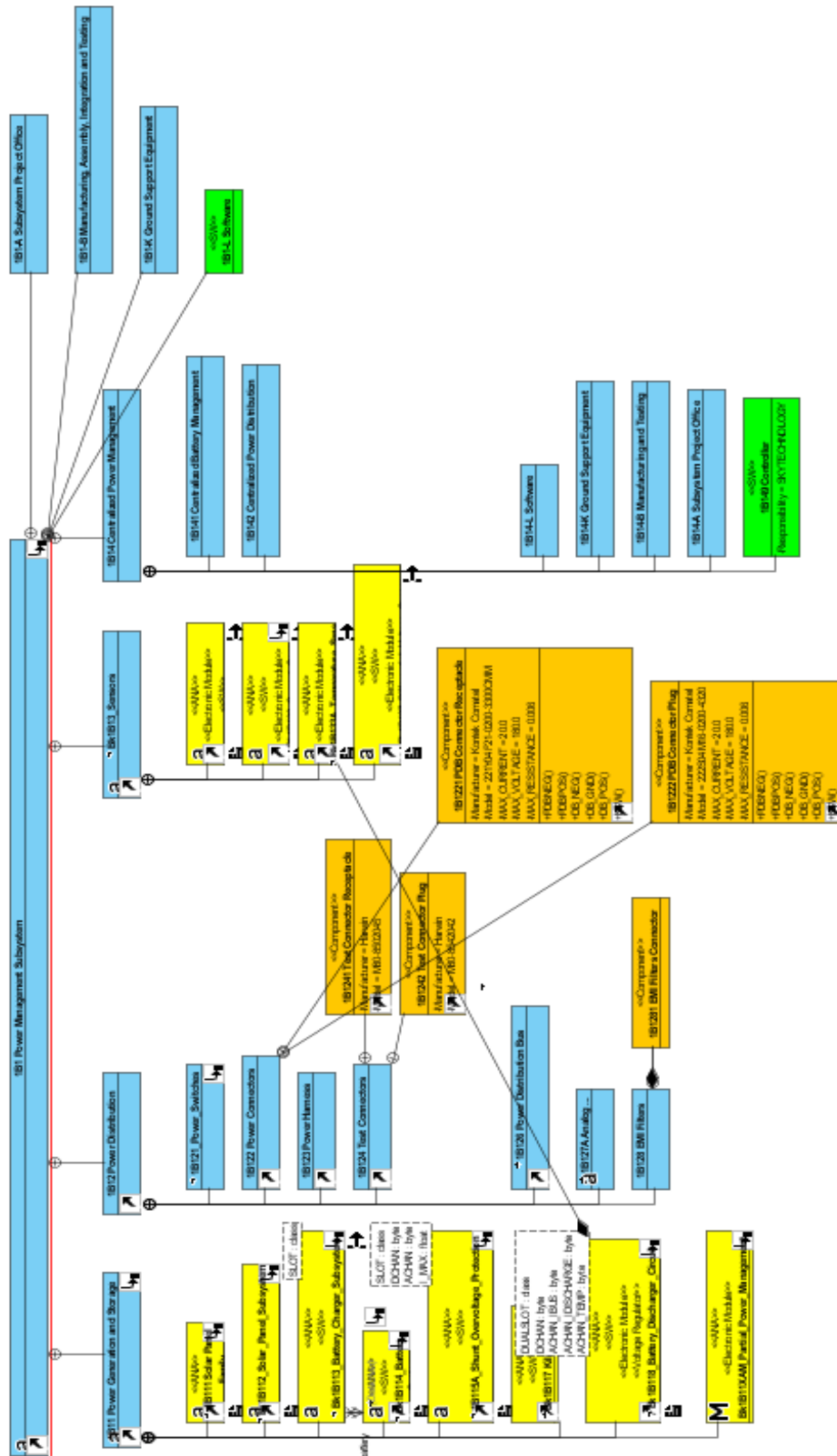


Figura 4.1: 1B1 Power Management Subsystem Class Diagram

L'intero elaborato verte sulle tematiche legate alla gestione della potenza sul satellite AraMiS, in particolare verranno esaminati i circuiti dedicati alla gestione

e manipolazione dell'energia all'interno del sotto sistema *1B11 Power generation and storage*.

Il macro sistema appena descritto rappresenta una parte fondamentale della struttura complessiva, esso infatti dovrà non solo garantire il corretto immagazzinamento dell'energia ma curerà anche in modo preciso l'erogazione della potenza.

Inoltre come descritto nei capitoli precedenti lo standard introdotto da *AraMiS* deve essere in grado di gestire il concetto di modularità, più *Power Management Tile (PMT)* devono poter lavorare in parallelo.

Questa specifica ha introdotto ulteriori complicazioni nella progettazione del *Hardware* e nella definizione del *Software* in quanto si è dovuto garantire che una *Tile* non possa danneggiarne un'altra durante un malfunzionamento o a causa di particolari situazioni circuitali.

Prima di procedere con la progettazione elettrica dei sistemi sono state definite le regioni di funzionamento del satellite. Per fare un semplice esempio basti pensare alla differenza di energia erogata dai pannelli fotovoltaici quando esposti al sole rispetto alla situazione in cui il satellite va a trovarsi oscurato dall'ombra della Terra.

Oltre alla situazione appena descritta sono stati esaminati casi meno eclatanti ma comunque fondamentali per la gestione della potenza. Un esempio può essere rappresentato dalla necessità di effettuare trasmissioni di dati verso la stazione di controllo di terra.

In questo caso molte delle componenti del *Power Management Subsystem* devono entrare in gioco, dal sistema di immagazzinamento dell'energia (le batterie) ai gestori dei parametri elettrici del *Power Distribution Bus* (convertitori DC-DC) passando per i sistemi di controllo (sensori).

Come è facilmente intuibile ci si trova ad affrontare un complesso circuitale molto complicato che deve garantire un elevatissimo grado di affidabilità

Nelle pagine seguenti verranno mostrati i circuiti contenuti nel modulo *1B11 Power Generation and Storage*, le loro peculiarità e le modalità di utilizzo.

Verrà effettuata un'analisi preliminare sul *PDB* e sulle batterie, i principali segmenti hardware ad interfacciarsi con il sistema precedentemente menzionato.

4.1 Batterie

Garantire fonti di alimentazione a bordo dei satelliti per la gestione degli apparati elettronici rappresenta una delle principali sfide sotto il punto di vista della progettazione.

Date le piccole dimensioni del sistema *AraMiS* non possono essere presenti sistemi di alimentazione basati su fonti non rinnovabili quali celle a combustibile o *RTG* (Generatori a Radioisotopi Termoelettrici).

Per questo motivo l'unica fonte di energia utilizzabile è rappresentata dal sole, lo sfruttamento di questa risorsa avviene ovviamente tramite pannelli fotovoltaici.

Al fine di garantire un'adeguata alimentazione al satellite anche nei momenti di transito nella zona orbitale messa in orbita dalla Terra sono state inserite delle batterie per l'accumulo dell'energia solare.

Le batterie fungono da serbatoio immagazzinando energia nei momenti di sovra fornitura e cedendola nelle situazioni di carenza.

Si possono brevemente definire i dispositivi come:

- *Primary Source*, pannelli fotovoltaici che convertono l'energia solare in energia elettrica.
- *Battery Source*, batterie che dopo esser state caricate forniscono l'energia immagazzinata.



Figura 4.2: Batterie agli ioni di Litio

Definita la necessità di avere delle batterie sul satellite, sono state definite le specifiche che esse avrebbero dovuto soddisfare inserendo parametri quali peso, ingombro, temperatura operativa e controindicazioni meccaniche.

La scelta è ricaduta su una cella agli ioni di litio, modello *LIC 18650-22 FC* della VARTA (Figura 4.2).

Questo modello di batteria è adatto a sopportare le temperature fortemente fluttuanti presenti in *LEO*. Una problematica rilevata è la bassa tensione garantita da una singola cella, appena 3.7 V. Per ovviare a questo problema si è deciso per il collegamento di due batterie in serie in modo da ottenere una tensione doppia. Questa soluzione consente anche di raddoppiare il quantitativo di energia elettrica immagazzinata nell'intero pacchetto di celle.

In seguito vengono elencate le caratteristiche salienti di una singola batteria (Figura 4.3).

Tensione Nominale	3.7 V
Corrente di scarica massima (C)	2.2 A h
Peso	46 g
Temperatura Operativa	$-20 \div 60^{\circ}\text{C}$
Diametro	18.4 mm
Altezza	65 mm

Figura 4.3: Caratteristiche principali *LIC 18650-22 FC*

Scelte le batterie, sono state definite le regioni di funzionamento che esse devono poter assumere in fase di lavoro:

- *IDLE*, batterie non abilitate e non connesse al *PDB*, in questa fase non vi è erogazione o assorbimento di corrente elettrica.
- *ACTIVE*, batterie abilitate e connesse al *PDB*, in questo caso le celle possono assorbire o erogare potenza a seconda del loro stato e delle condizioni presente sul *Power Distribution Bus*.
- *EMPTY*, le batterie sono completamente scariche.

A seconda dello stato delle batterie sono stati definiti dei comportamenti da adottare da parte del *hardware* dedicato alla gestione della potenza.

4.1.1 Problematiche di gestione delle batterie

In *AraMiS* il gruppo di batterie è composto da due celle collegate in serie in modo da avere una tensione più elevata rispetto a quella nominale di un singolo dispositivo.

Questa configurazione circuitale risulta essere problematica a causa delle non idealità dei dispositivi. Le due batterie infatti presentano piccole differenze dei loro parametri caratteristici sufficienti però a non garantire il corretto funzionamento dell'intero gruppo.

Le principali complessità vengono introdotte dalla resistenza interna del dispositivo, chiamata R_{cell} , e dal degradamento della capacità di carica (Figura 4.4).

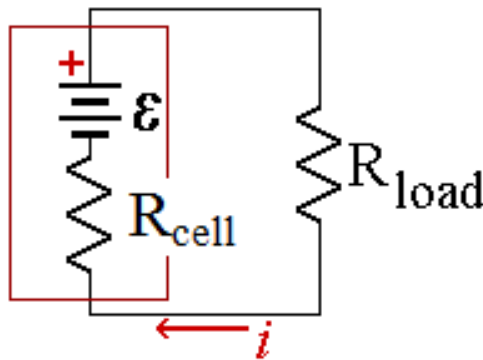


Figura 4.4: Schema circuitale di una batteria reale

Entrambi questi parametri assumono un loro valore caratteristico a seconda della batteria presa in considerazione.

Le componenti parassite appena descritte causano un processo di carica e scarica differente per ogni cella. Questo sbilanciamento può causare usura sulle batterie che si trovano a lavorare in maniera asimmetrica.

Al fine di mantenere le batterie con lo stesso valore di carica è stato sviluppato il circuito *1B1142 Battery Equalizer*, che verrà descritto in seguito.

4.2 1B126 Power Distribution Bus

Il Power Distribution Bus (*PDB*) è il sistema designato alla distribuzione dell'energia elettrica sul sistema *AraMiS*.

Questo complesso circuitale permette di collegare tra loro i vari circuiti presenti sul satellite, siano essi utilizzati, generatori o nel caso delle batterie degli accumulatori.

In fase di progetto sono state definite delle specifiche stringenti per il dimensionamento e l'utilizzo del *PDB* dato che risulta essere uno dei componenti più importanti dell'intero satellite e deve nel contempo sopportare sollecitazioni molto elevate.

E' possibile elencare quelli che sono i principali vincoli definiti per il bus di potenza:

- Ogni *Power Management Tile* presente sul satellite deve essere collegato al *PDB*.
- Il *Power Distribution Bus* deve essere in grado di gestire il contemporaneo funzionamento come generatori dei pannelli fotovoltaici e delle batterie. Questa situazione può verificarsi nel caso di elevate esigenze energetiche o di bassa esposizione solare.
- Le tensioni sul *PDB* devono essere sempre comprese tra i 12V e i 19V con una tensione nominale di circa 14V. I circuiti che si interfacciano al bus di potenza provvedono alla conversione della tensione nei valori più opportuni attraverso apposito *hardware* interno. La massima corrente che può essere sopportata è di 10A.
- Tutti i circuiti di controllo del *PDB* devono essere di tipo analogico. Con questa specifica si evita l'inserimento di un processore dedicato che oltre ad occupare risorse non garantisce una velocità di intervento paragonabile ad un sistema di gestione analogico.
- L'intero bus di potenza deve essere protetto da eventuali tensioni superiori ai 19V.
- Nel caso in cui vi dovesse essere una eccessiva generazione di energia tale da non poter essere utilizzata o immagazzinata, essa deve essere dispersa per non danneggiare il bus.

- Il livello di tensione presente sul *PDB* deve essere utilizzato come contenuto informativo dai dispositivi connessi per poter comprendere in quale stato di funzionamento si trovi.

Definite tutte le specifiche sono state definite le diverse zone di funzionamento del dispositivo con la descrizione dei comportamenti che i generatori e utilizzatori dovranno mantenere.

A livello di descrizione attraverso il linguaggio *UML*, i dispositivi connessi al *PDB* vengono definiti come attori.

4.2.1 Definizione comportamento attori PDB

All'interno della descrizione del progetto *AraMiS* all'interno di *Visual Paradigm*, sono stati definiti tre attori che lavorano insieme al *Power Distribution Bus* (Figura 4.5).

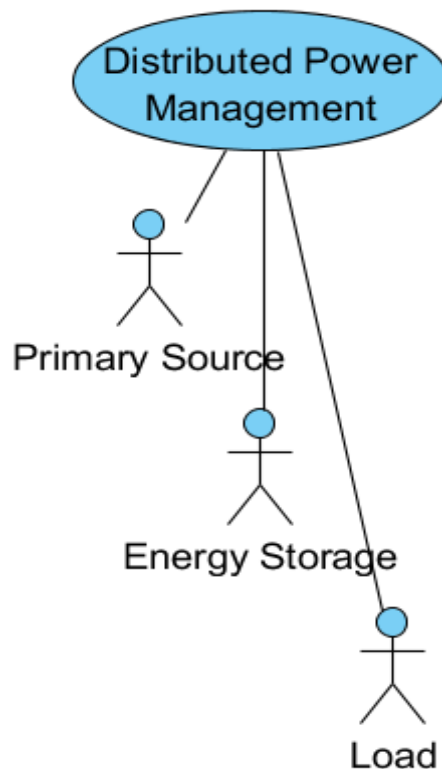


Figura4.5: Attori *PDB*

- *Load*, generica raffigurazione di tutti quei dispositivi che assorbono energia elettrica e ovviamente non ne mantengono. Fanno parte di questa categoria ad esempio i circuiti di trasmissione dati o quelli dedicati all'eliminazione di eventuale energia superflua
- *Energy storage*, blocco relativo ai dispositivi dedicati all'immagazzinamento dell'energia elettrica, le batterie in questo caso
- *Primary source*, rappresentazione dei dispositivi dedicati alla generazione, su AraMiS sono i pannelli solari.

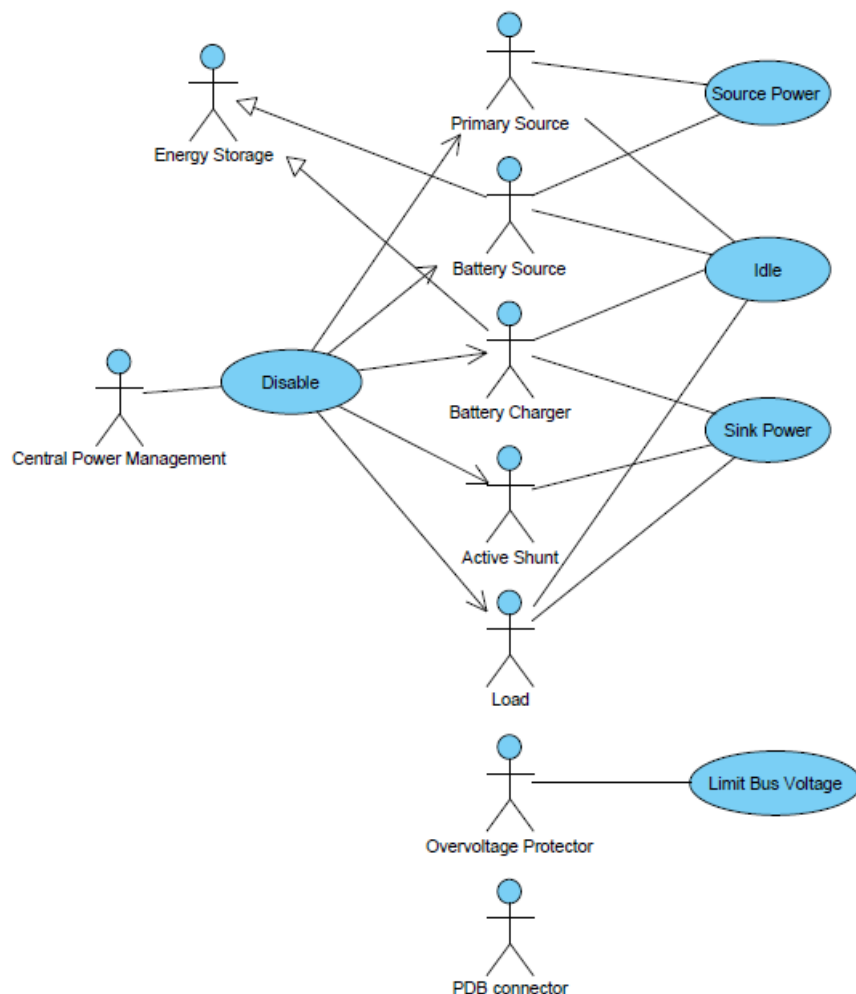


Figura 4.6: Circuiti designati alla gestione del PDB

All'interno dell'insieme costituito dall'*energy storage* troviamo i circuiti elettronici dedicati alla carica delle batterie e al prelievo di energia, questi circuiti vengono definiti come *Battery Charger* e *Battery Discharger* (*Battery Source*).

Vista la necessità di proteggere il bus di potenza, vengono inseriti due circuiti dedicati, in particolare l'*Active Shunt* per lo smaltimento dell'energia in eccesso e l'*Overvoltage Protection* per la protezione dalle sovratensioni.

Tutti i blocchi circuitali elencati costituiscono il dettaglio degli attori che lavorano con il *PDB* (Figura 4.6).

Come verrà descritto in seguito, questi circuiti avranno la possibilità di lavorare in diversi stati, peculiari per ogni configurazione circuitale, in modo da potersi adattare al meglio ad ogni situazione.

Questi attori vanno ad influire in modo diverso sul comportamento del bus di potenza, infatti ognuno di essi definisce uno o più zone di lavoro che devono essere integrate per garantire il funzionamento globale del sistema.

4.2.2 Load

Il *Load*, cioè il carico, rappresenta qualsiasi circuito elettronico che va ad assorbire energia elettrica senza poterla più restituire.

Secondo le specifiche di progettazione tutti gli utilizzatori presenti sul satellite possono lavorare con una tensione di alimentazione compresa tra i 12V e i 18V, devono inoltre poter resistere ad una tensione non superiore a 25V.

I carichi agganciati al *PDB* possono avere soltanto due comportamenti:

- *Active*, stato nella quale i dispositivi assorbono e dissipano energia.
- *Idle*, i circuiti sono connessi al bus ma non essendo abilitati non consumano energia.

Sono stati definiti inoltre i valori massimi di resistenza che possono essere assunti dai dispositivi connessi al *PDB*, questo parametro viene definito dallo studio della caratteristica di tensione e corrente, estrapolando il valore di resistenza differenziale.

I valori sono definiti come $-dV/dI$, gli estremi valgono $\pm 0.5 \text{ V/A}$ fino a $\pm\infty$.

Questi parametri vengono utilizzati per la definizione degli alimentatori interni ai singoli circuiti usati come carichi o semplicemente per definire i valori di resistenza ammessi alla connessione sul *PDB*.

Come si vedrà in seguito le considerazioni appena fatte risultano essere particolarmente critiche per il circuito designato al prelievo del energia dalle batterie.

Esistono anche parametri per definire le massime correnti di *leakage*, nel caso di dispositivi in stato di *Idle*, le correnti ammesse sono minori di 100 μA per i valori medi e di 1mA per i picchi.

4.2.3 Energy storage

Questo dispositivo viene rappresentato e designato all'immagazzinamento dell'energia, in *AraMiS* sono le batterie composte da celle agli ioni di Litio.

Come definito nel capitolo precedente, sono tre gli stati che possono essere assunti:

- *Idle*, batterie non abilitate e non connesse al *PDB*.
- *Active*, batterie abilitate e connesse al *PDB*.
- *Empty*, le batterie sono completamente scariche.

4.2.4 Primary Source

Il *Primary source* è rappresentato dal pannello fotovoltaico e come già detto è l'unico sistema per la generazione di energia elettrica.

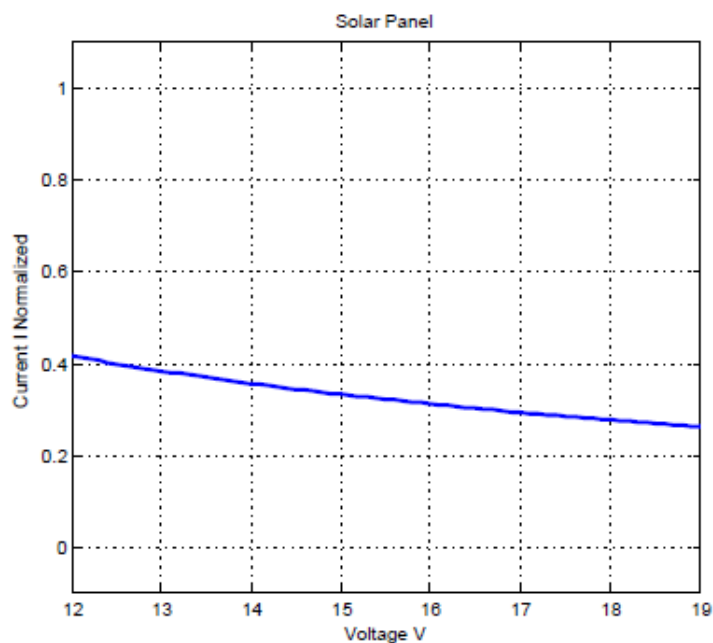


Figura 4.7: Esempio caratteristica richiesta al *Primary Source*

Da specifiche tecniche il pannello deve essere in grado di fornire una tensione compresa tra i 12V ed i 16V, capace di erogare circa 0.5 A di corrente e in grado di sopportare tensioni comprese tra i 0V e i 25V(Figura 4.7).

Un altro importante parametro è che la potenza fornita dal dispositivo sia quasi costante per tutto l'intervallo di tensione richiesto e che l'uscita resistiva differenziale sia compresa tra $\pm 0.5 \text{ V/A}$ e $\pm\infty$.

Il *Primary Source* può lavorare solo in due stati:

- *Idle*, il dispositivo non è attivo
- *Active*, il dispositivo è attivo e in quanto generatore eroga corrente.

Il pannello fotovoltaico scelto presenta una tensione nominale pari a 13.2 V e una corrente nominale di 0.4 A.

4.2.5 Battery Source

Il *Battery Source*, o *Battery Discharger* come definito all'interno della descrizione su *Visual Paradigm*, rappresenta quel circuito capace di assorbire energia dalle batterie e di trasformare i parametri elettrici in valori consoni per la distribuzione sul *PDB*.

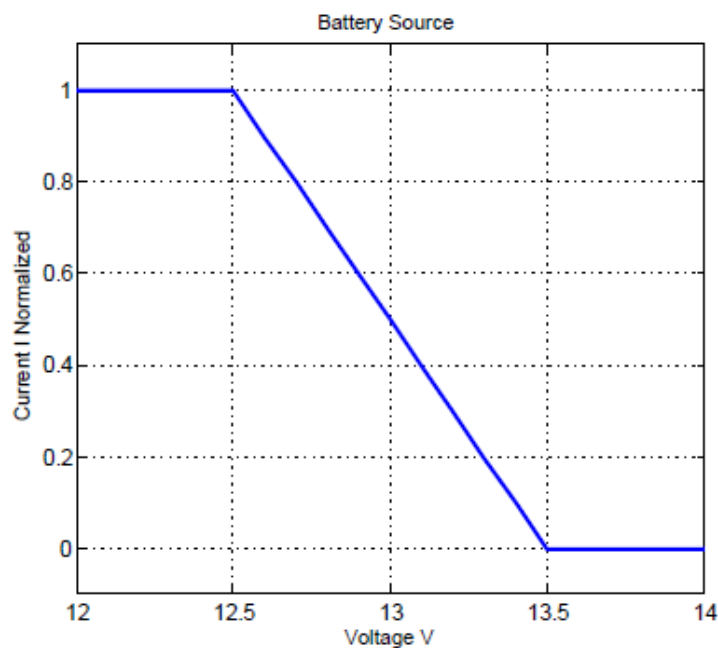


Figura 4.8: Caratteristica di uscita ideale del *Battery Source*

Il dispositivo viene posto come interfaccia tra le batterie e il bus di potenza in modo da poter adattare i diversi parametri elettrici del sistema di accumulo verso quello di distribuzione.

Il *Battery Discharger* non è l'unico sistema di interfaccia tra batterie e *PDB*, come si vedrà in seguito si utilizza anche il circuito *Battery Charger*.

I valori di tensione che devono essere forniti sul bus devono essere compresi tra i 12.5V e i 13.5V seguendo una particolare caratteristica di uscita, la resistenza differenziale deve infatti essere di circa -1Ω (Figura 4.8).

La massima corrente erogabile deve essere pari ad 1 A. In seguito vengono elencate le specifiche con le relative tolleranze.

$$V = \begin{cases} 13.5 \pm 250\text{mV} \\ 12.5 \pm 250\text{mV} \end{cases}$$

$$R_{diff} = 1\Omega \pm 10\%$$

Occorre inoltre ricordare che il circuito non deve danneggiarsi per tensioni presenti sul *PDB* comprese tra 0V e 25V, mentre le massime correnti di perdita ammesse con dispositivo inattivo devono essere pari a 100 μA per i valori medi e di 1mA per i picchi.

Le modalità di funzionamento ammesse per questo circuito sono:

- *Idle*, quando il dispositivo non è attivo.
- *Active*, quando il dispositivo è funzionante e converte l'energia immagazzinata nelle batterie.

4.2.6 Battery Charger

Il *Battery Charger* è definito come quel costruito circuitale capace di gestire la carica delle batterie, modificando i valori di tensione e corrente presenti sul *Power Distribution Bus*.

Questo dispositivo è il secondo strumento di interfaccia dopo il *Battery Discharger*, il suo funzionamento garantisce che quando i pannelli solari forniscono energia superflua per i circuiti di *AraMiS* essa venga opportunamente immagazzinata negli accumulatori.

Inoltre permette lo scambio di energia tra il bus di potenza che lavora a tensioni elevate con l'*Energy Storage* che necessita di tensioni decisamente inferiori.

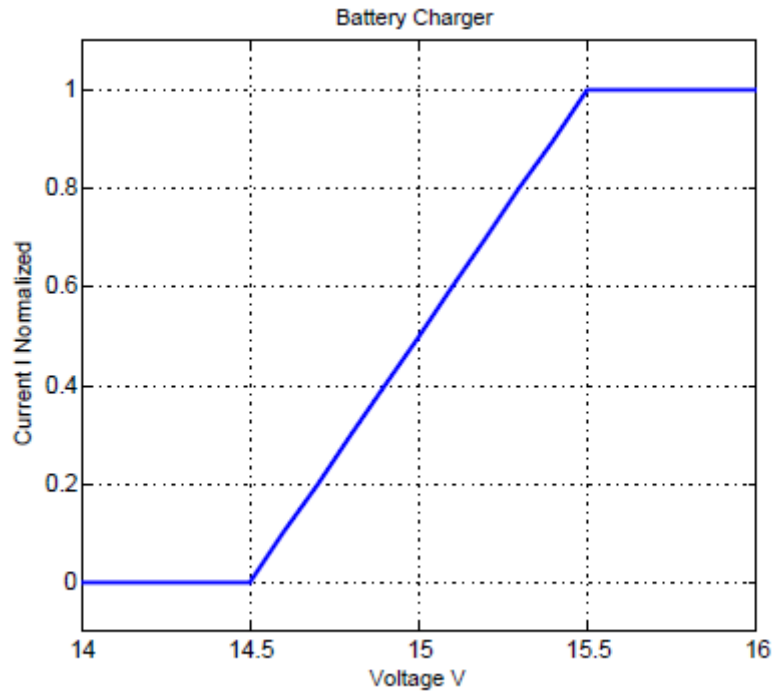


Figura 4.9: Caratteristica di ingresso ideale del *Battery Charger*

Viene richiesto che il dispositivo funzioni per tensioni sul *PDB* comprese tra i 14.5V e i 15.5V e che la sua resistenza differenziale di ingresso sia pari ad $1\ \Omega$ (Figura 4.9).

$$V = \begin{cases} 15.5 \pm 250\text{mV} \\ 14.5 \pm 250\text{mV} \end{cases}$$

$$R_{diff} = 1\ \Omega \pm 10\%$$

Come per i dispositivi precedentemente descritti è richiesta la capacità di resistere a sovratensioni comprese tra 0V e 25V e di garantire un assorbimento massimo a riposo pari a $100\ \mu\text{A}$ per i valori medi e di 1mA per i picchi. Le modalità ammesse per il funzionamento del circuito sono:

- *Idle*, il dispositivo non è attivo, in questo stato le batterie non vengono caricate
- *Master*, il circuito è collegato ed assorbe energia per ricaricare le batterie, inoltre ha la priorità sugli eventuali altri *Battery Charger* connessi sul *PDB* che lavorano in modalità *Slave*.

Le risorse sono condivise con gli altri dispositivi in stato *Master*.

- *Slave*, il circuito è collegato e carica le batterie con l'energia non utilizzata dagli altri eventuali dispositivi in modalità *Master*.

Le risorse sono condivise con gli altri dispositivi in stato *Slave*

- *Full*, il dispositivo è collegato ma le batterie non assorbono energia perché già completamente cariche.

4.2.7 Active Shunt

L'*Active Shunt* è il circuito designato alla dissipazione dell'energia in eccesso presente sul *PDB*, questa situazione si viene a verificare quando si ha una sovra produzione da parte dei pannelli fotovoltaici e un consumo non sufficiente da parte degli utilizzatori.

Al fine di non danneggiare il bus di potenza si va a scaricare l'eccesso energetico su una serie di resistenze, dette di *shunt*, che trasformano l'energia elettrica in energia termica irradiandola nello spazio.

Il circuito viene abilitato quando sul *PDB* sono presenti tensioni comprese tra circa 16.5V e circa 17.5V, la sua resistenza differenziale d'ingresso deve essere pari a 1 Ω (Figura 4.10).

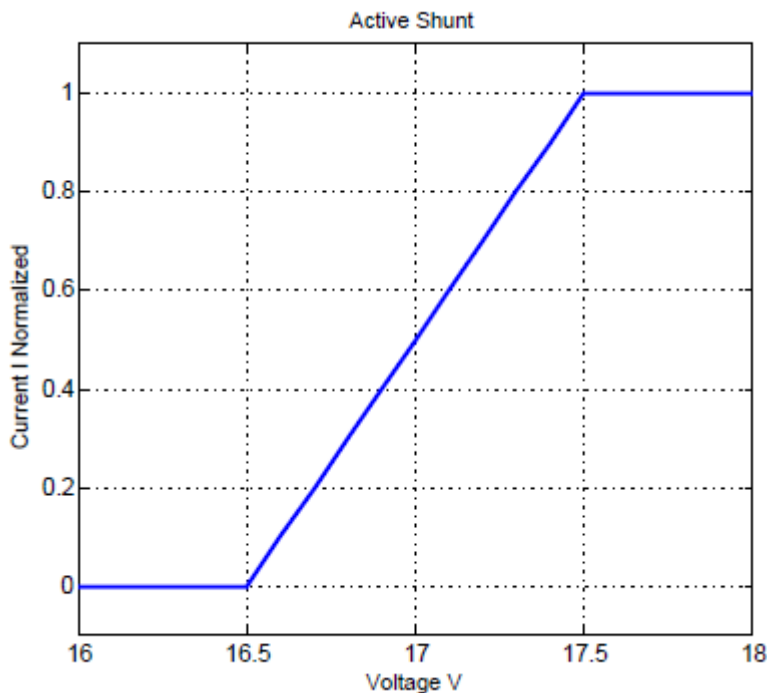


Figura 4.10: Caratteristica ideale dell'*Active Shunt*

$$V = \begin{cases} 17.5 \pm 250\text{mV} \\ 16.5 \pm 250\text{mV} \end{cases}$$

$$R_{diff} = 1\Omega \pm 10\%$$

Deve essere inoltre garantito che la massima corrente assorbita in modalità *Disable* sia pari a 100 μA per i valori medi e di 1mA per i picchi. Il sistema deve poter lavorare per tensioni comprese tra 0V e *TDB*, dove *TDB* indica il valore di tensione massimo corrispondente alla massima potenza dissipabile dalle resistenze, secondo la nota legge:

$$P_j = \frac{TDB^2}{R}$$

$$TDB = \sqrt{R * P_j}$$

L'*Active Shunt* può funzionare in due stati:

- *Disable*, il circuito non lavora e quindi non dissipa energia.
- *Active*, il sistema è in funzione e dissipa nello spazio l'energia in eccesso.

4.2.8 Overvoltage Protection

L'*Overvoltage Protection* è il circuito che deve garantire la protezione del *Power Distribution Bus* dalle sovratensioni che possono verificarsi a causa dei pannelli fotovoltaici o di qualche malfunzionamento dei circuiti connessi.

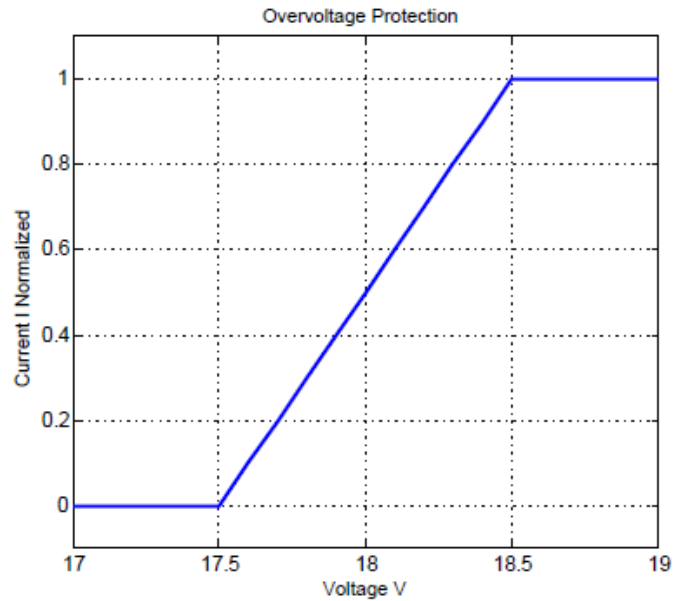


Figura 4.11: Caratteristica ideale dell'*Overvoltage Protection*

Vista la natura particolarmente critica del dispositivo non è possibile altra scelta che non sia quella di lasciarlo sempre in funzione garantendo così una protezione continua.

A causa dell'impiego intensivo vengono richiesti gli stessi parametri di consumo che erano definiti per gli altri attori nel caso di non utilizzo, ovvero massima corrente assorbita sia pari a 100 μ A per i valori medi e di 1mA per i picchi. Questo limite stringente viene definito per ridurre al minimo i consumi a bordo del satellite *AraMiS*.

I valori di tensione per i quali è richiesto l'intervento del circuito sono compresi tra 17.5V e 18.5V e anche in questo caso viene richiesta una resistenza differenziale di ingresso pari ad 1 Ω (Figura 4.11).

$$V = \begin{cases} 18.5 \pm 250\text{mV} \\ 17.5 \pm 250\text{mV} \end{cases}$$

$$R_{diff} = 1\Omega \pm 10\%$$

Il circuito inoltre non deve subire danneggiamenti per tensioni comprese tra 0V e 25V.

4.2.9 Risultati finali

Definiti i comportamenti assunti dai vari circuiti collegati direttamente o indirettamente al *Power Distribution Bus*, è risultato possibile ottenere una caratteristica globale del comportamento del bus di potenza (Figura 4.12).

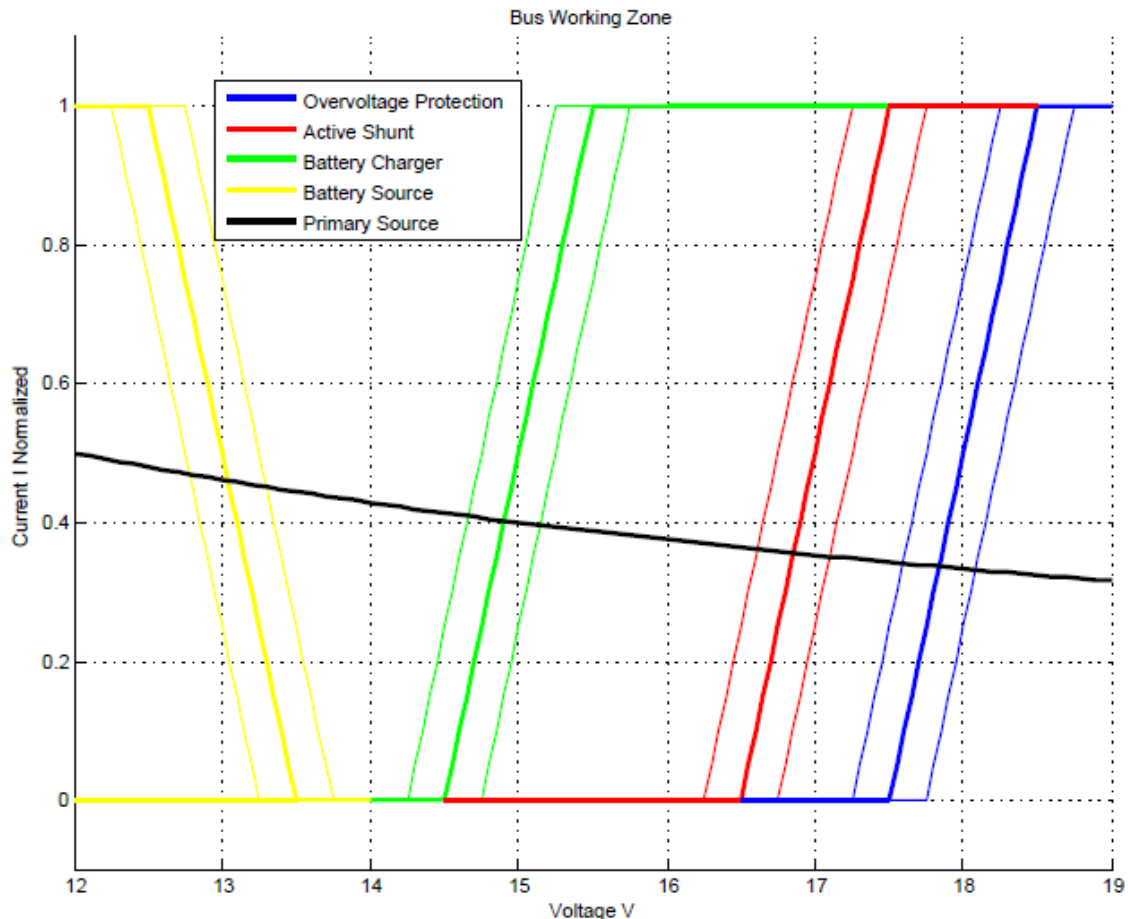


Figura 4.11: Caratteristica ideale completa attori *PDB*

Come detto in precedenza i valori di corrente e tensione contenuti nel *PDB* non valgono solo sotto il punto di vista energetico ma hanno anche un aspetto informativo.

Sovrapponendo tutti i grafici descritti in precedenza si notano le diverse regioni di lavoro del *PDB*, si può inoltre notare come ogni circuito vada a lavorare in una situazione univoca in modo da non interferire con altri attori.

Si può inoltre constatare come non ci siano valori di tensione nei quali tutti i dispositivi risultano essere inattivi contemporaneamente.

Occorre sottolineare come i valori di corrente proposti nel grafico siano normalizzati e non corrispondenti alla realtà. A seconda del numero di *Power Management Tile* connesse si otterranno parametri differenti.

Capitolo 5

1B11 Power Generation and Storage

Alcuni degli attori definiti nel precedente capitolo che ruotano intorno al *Power Distribution Bus*, vengono raccolti all'interno del blocco concettuale *1B11 Power Generation and Storage*.

Nella maggior parte dei casi si trovano circuiti già studiati e simulati, in altri invece è presente solo una bozza del sistema finale che dovrà essere sviluppato e migliorato per svolgere al meglio il suo compito.

Attraverso l'approccio dei Reusable Blocks risulta possibile avere versioni provvisorie di blocchi circuitali che possono essere aggiornate in tempi successivi da diversi progettisti.

In particolare sono presentati i seguenti circuiti:

- *1B113 Battery Charger*, rappresenta il circuito utilizzato per la carica delle batterie, segue le specifiche definite nel capitolo precedente.
- *1B115A Shunt Overvoltage Protection*, formato dai circuiti dedicati alla dissipazione dell'energia in eccesso sul *PDB* e dal sistema di limitazione delle sovratensioni.
- *1B118 Battery Discharger*, circuito dedicato all'elevamento delle tensioni fornite dalle batterie per renderle utilizzabili al *PDB*.

Oltre ai circuiti appena menzionati che funzionano in stretta correlazione con il *PDB*, esistono altri sistemi particolarmente importanti che collaborano per garantire il lavoro del intero sistema di gestione della potenza.

Questi blocchi sono:

- *1B132B e 1B132C*, che rappresentano sensori di corrente utilizzati per definire feedback sia su percorsi interni analogici che per comunicare con il microprocessore di bordo attraverso un convertitore analogico digitale.
- *1B133A*, sensore di temperatura utilizzato per evitare surriscaldamenti del sistema, fornisce un feedback analogico che deve essere digitalizzato per le comunicazioni con il microprocessore di bordo.
- *1B121C e 1B121B*, circuiti dedicati alla funzione di interruzione, hanno il compito di sezionare le linee di potenza. Vengono controllati dal microprocessore della *PMT*.
- *1B1142 Battery Equalizer*, si occupa del bilanciamento delle batterie.

5.1 1B113 Battery Charger

In questo paragrafo viene analizzato il circuito dedicato alla carica delle batterie.

La principale problematica di un interfacciamento diretto tra il bus di potenza e le batterie è costituita da due fattori, il primo è legato alla differenza di tensione tra i valori richiesti dalle batterie e i valori generati sul *PDB*, il secondo invece riguarda l'impossibilità di garantire un determinato valore di corrente massima unito al fatto di non poter definire un carico costante per il bus.

La soluzione adottata consiste nell'inserimento di un convertitore *DC/DC* di tipo *Buck* o anche noto come *step down* (Figura 5.1).

Il circuito in questione riesce a ridurre le tensioni presenti sul *PDB*, comprese tra 12V e 16V, in valori assimilabili ai parametri di carica delle batterie, circa 7.4V.

I valori di corrente sono inoltre limitati in modo da garantire il corretto amperaggio nelle fasi di carica degli accumulatori.

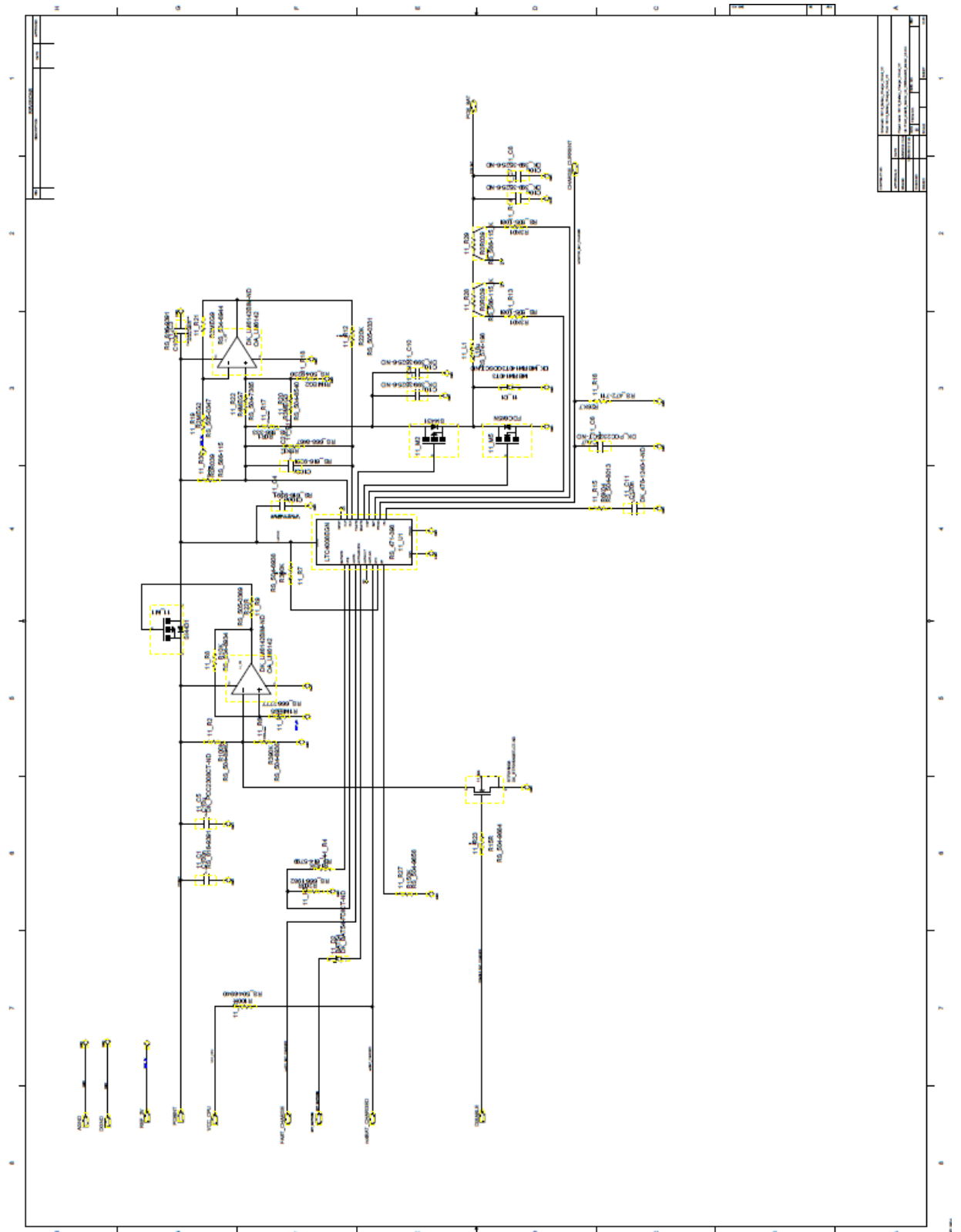


Figura 5.1: Schema elettrico 1B113 Battery Charger

Tutto il procedimento di mantenimento della tensione di uscita in una costante, a prescindere dai valori di tensione in ingresso e il controllo sulla corrente a seconda dello stato di carica delle batterie viene garantito dall'integrato *LTC4008* (Figura 5.2).

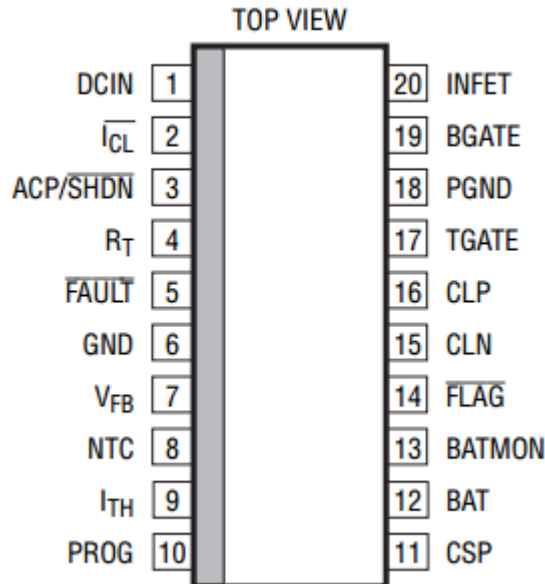


Figura 5.2: Pinout LTC4008

Questo componente lavora sulla regolazione del *duty-cycle* del MOS di potenza con funzione di *Switch*. La definizione dei segnali di regolazione per l'interruttore sono definiti attraverso le retroazioni in tensione e corrente posizionate sull'uscita del circuito.

5.2 1B115A Shunt Overvoltage Protection

Il dispositivo in oggetto ha il compito di scaricare l'energia in eccesso generata dai pannelli fotovoltaici e garantire protezione dalle sovratensioni a tutto il *Power Distribution Bus* ed agli elementi ad esso collegati.

Il circuito progettato è costituito da una rete di otto transistor *BJT* collegati ad altrettante resistenze di *shunt* del valore di 270Ω , posizionate tra il collettore e l'alimentazione, e con massima potenza dissipabile pari a 1W (Figura 5.3).

La scelta di non utilizzare un unico transistor con una sola resistenza dedicata alla dissipazione è legata al fatto che non si è voluto sovraccaricare pochi componenti i quali sarebbero stati ingombranti per quanto riguarda il peso e le dimensioni.

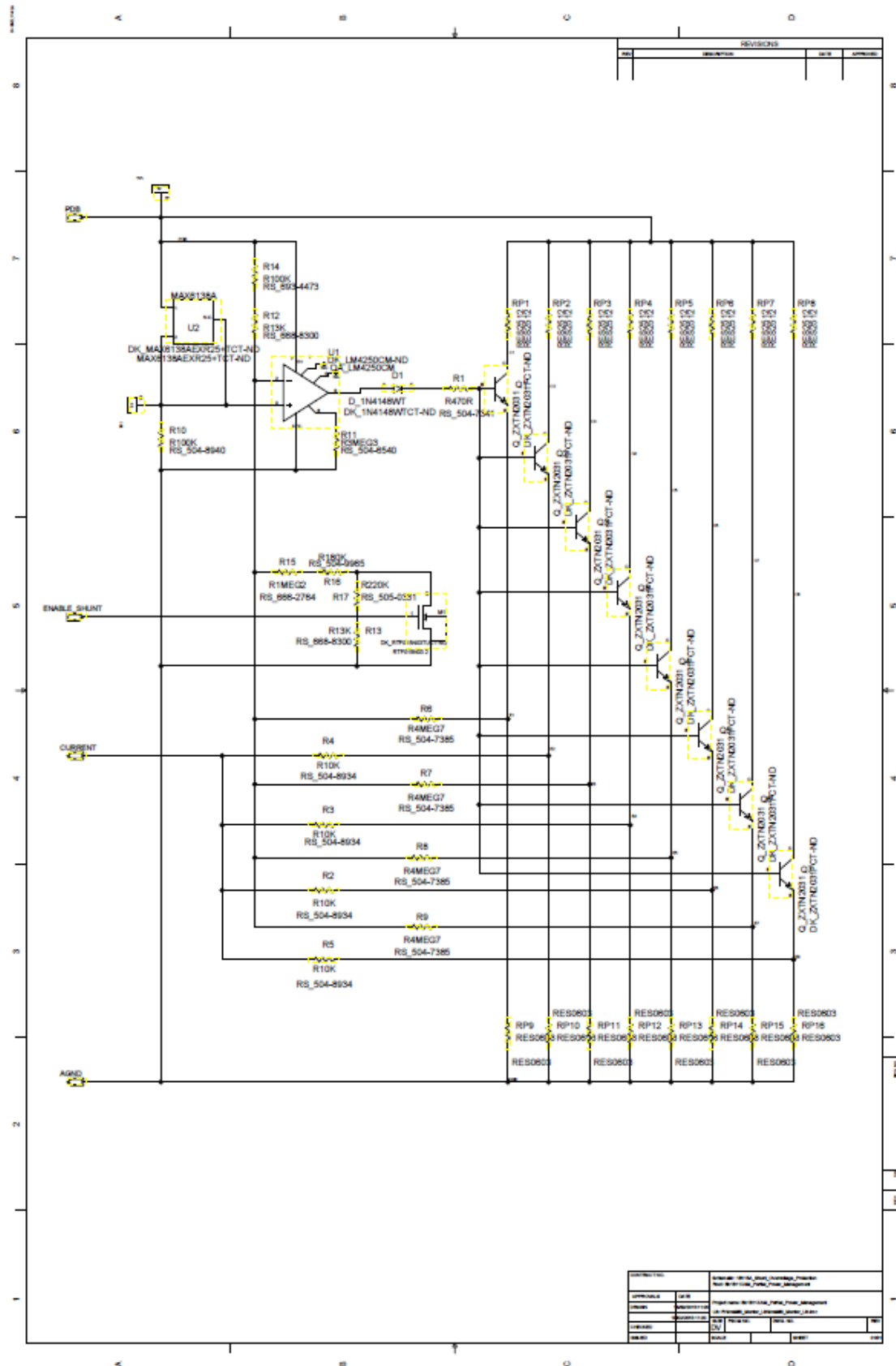


Figura 5.3: Schema elettrico 1B115A Shunt Overvoltage Protection

Il circuito si regola tramite delle resistenze di *sense* posizionate tra emettitore del transistor e massa che forniscono un *feedback* del sistema.

Il parametro in reazione viene confrontato da un amplificatore operazionale con la tensione definita ai capi di un diodo zener. A seconda che vi sia o meno necessità di dissipare energia, i transistor regolano la quantità di corrente da far scorrere sulle resistenze.

5.3 1B118 Battery Discharger

Il circuito descritto in questo paragrafo ha il compito di interfacciare il blocco di accumulatori al PDB, questo secondo modulo di interfaccia funziona in modo inverso rispetto al 1b113 battery charger.

L'esigenza principale infatti è elevare le tensioni fornite dalle batterie in modo da renderle utilizzabili sul bus di potenza, garantendo nello stesso tempo che non si verifichino guasti attraverso il controllo delle massime correnti erogabili.

Il circuito già presente nelle librerie del progetto AraMiS è costituito da un convertitore DC/DC di tipo boost, o step up. Questa configurazione circuitale è in linea teorica corretta ma il progetto originale non ha tenuto conto di alcune criticità del sistema generando errori che in fase di funzionamento avrebbero potuto essere distruttivi per l'hardware connesso. Nei prossimi capitoli verrà trattata questa tematica con lo sviluppo di una nuova soluzione (Figura 5.4).

Il convertitore in esame utilizza un sistema di controllo integrato TL5001A che provvede a pilotare attraverso un'opportuna onda quadra il transistor MOSFET di potenza che funge da interruttore dell'intero circuito switching.

La regolazione dell'interruttore avviene grazie ad un feedback di tensione e di corrente garantito da una rete appositamente sviluppata per garantire una caratteristica d'uscita simile a quella richiesta nelle specifiche del power distribution bus.

Questo circuito è in grado di lavorare con una tensione di ingresso fornita dalle batterie pari ad appena 6V.

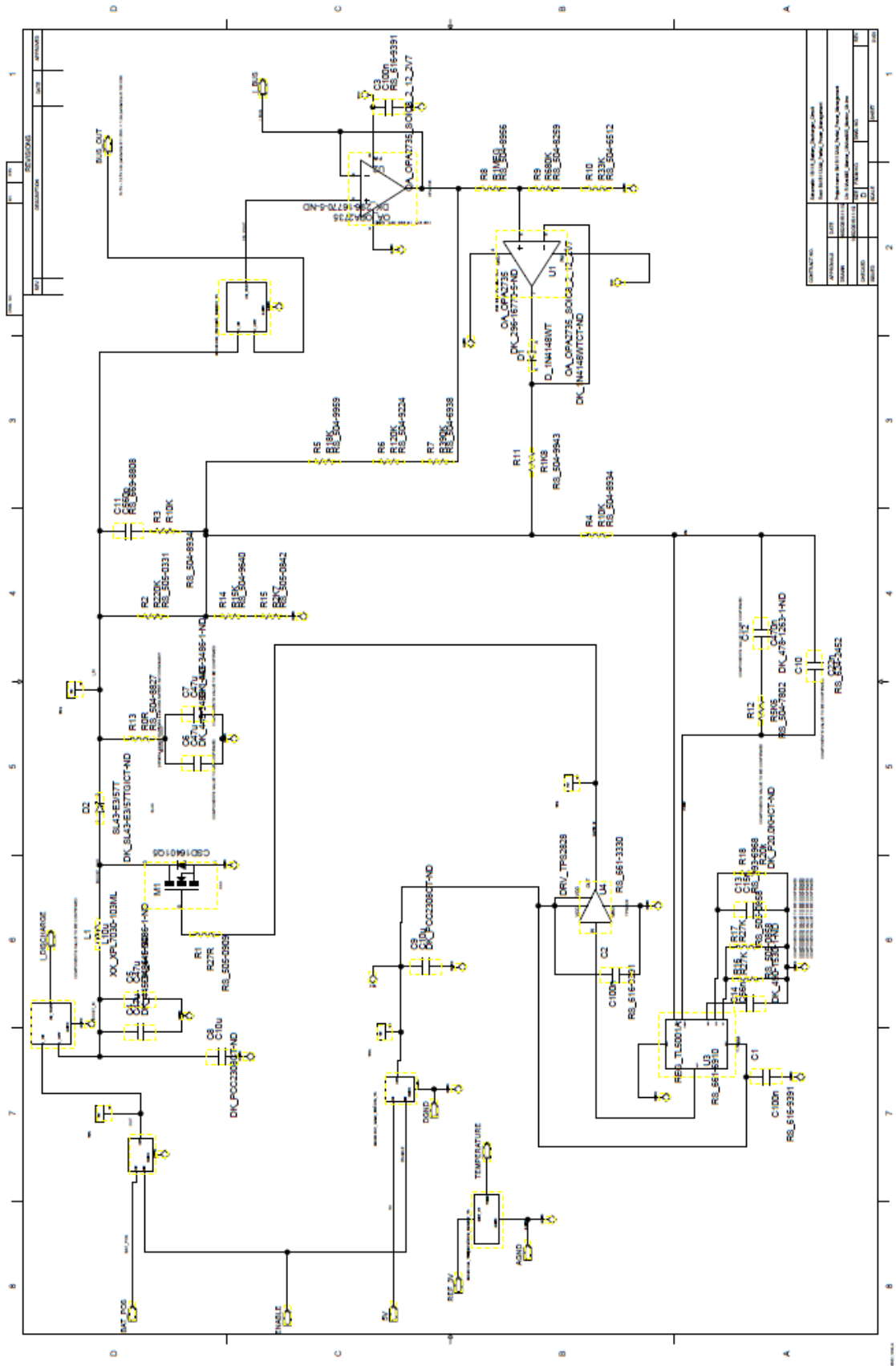


Figura 5.4: Circuito 1B118 Battery Discharger con controllore TL5001A

5.4 1B132B e 1B132C Current Sensors

I circuiti in esame vengono utilizzati per fornire feedback di tensione attraverso la lettura di un valore di corrente. In *AraMiS* vengono utilizzati sia in ambiti di controllo analogico che come *feedback* digitale.

La differenza tra i due è davvero minima, cambiando alcuni parametri di progettazione infatti risulta possibile ottenere portate diverse. Segue la trattazione come se si trattasse di un singolo circuito, verranno forniti i dettagli di dimensionamento e simulazione più avanti.

L'intero circuito si basa sul componente *INA138* (Figura 5.5), un particolare amplificatore operazionale progettato per le misure di correnti.

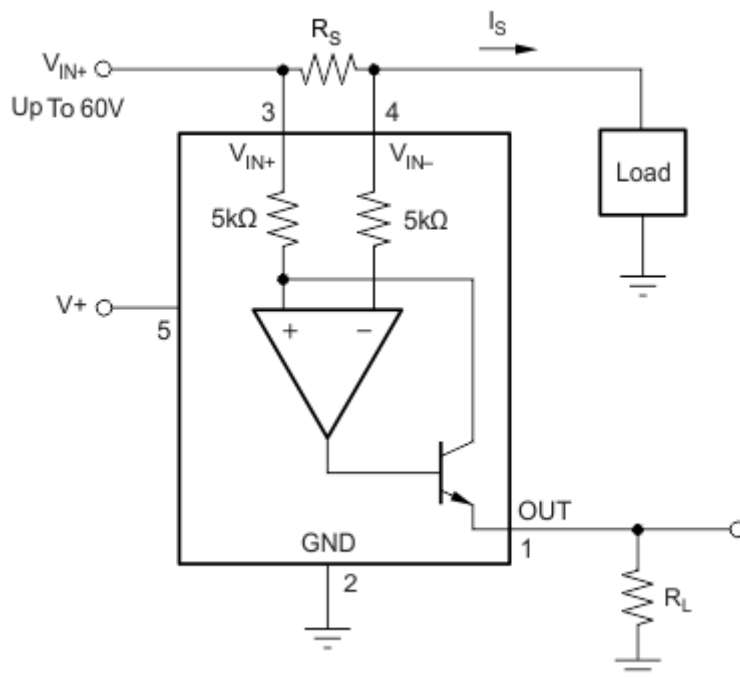


Figura 5.5: Circuito interno *INA138*

Viene letta una differenza di potenziale generata dalla corrente che si intende misura mentre attraversa una resistenza di *sense* opportunamente dimensionata. Il resistore deve essere progettato in modo da garantire un'ampio range di correnti misurabili ma nello stesso tempo una piccola caduta di tensione e un basso consumo energetico.

La relazione che descrive il processo è la seguente:

$$V_o = \frac{(I_s * R_l * R_{sense})}{5k\Omega}$$

Dove V_o rappresenta la tensione di uscita dal dispositivo, R_{sense} la resistenza su cui scorre la corrente da misurare, R_l la resistenza di carico e I_s la corrente da misurare.

Il circuito *1B132 Current Sensor* ha tra le sue specifiche la necessità di misurare una corrente di ingresso compresa tra 0 e 1.25 A fornendo un' uscita non superiore a circa 3V, con una costante di uscita ingresso pari a 2Ω .

I componenti selezionati per la realizzazione del circuito sono:

$$\begin{cases} R_l = 100k\Omega \\ R_{sense} = 100m\Omega \\ 0A \leq I_s \leq 1.25A \end{cases}$$

Ottenendo il seguente schema elettrico (Figura 5.6). Da notare come l'alimentazione dell'integrato derivi da una connessione a monte della resistenza di sense.

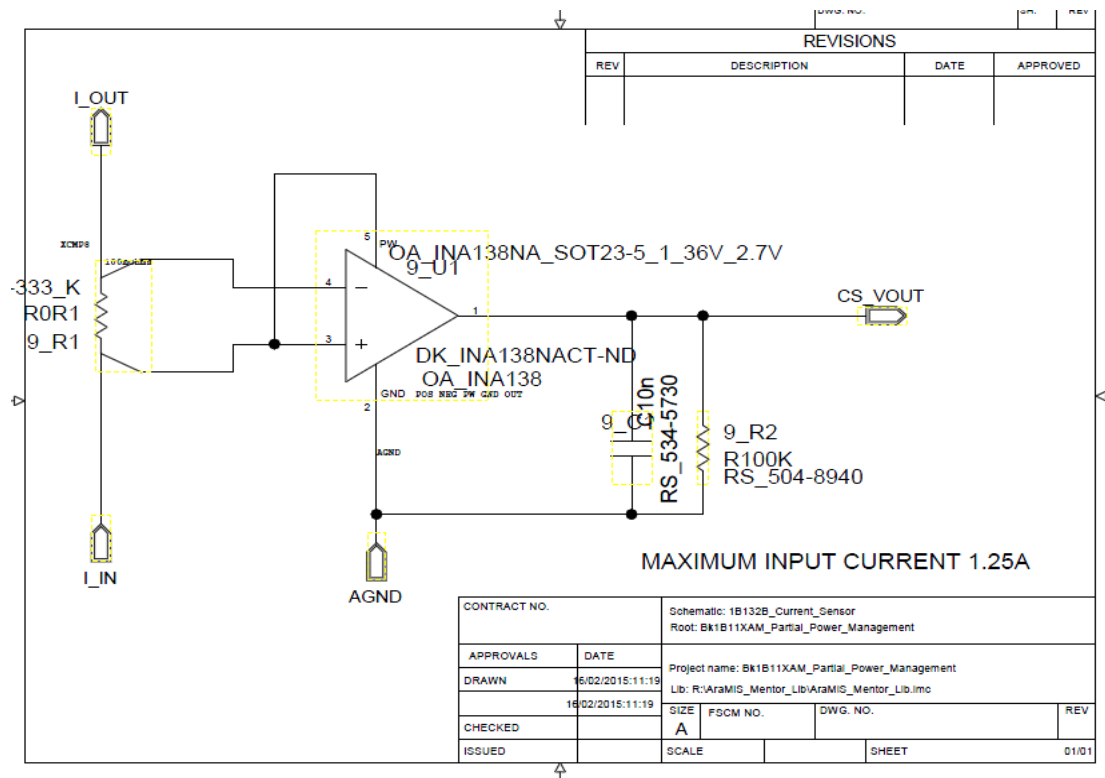


Figura 5.6: Schema elettrico *1B132B Current Sensor*

Nel caso del sensore di corrente *1B132C Current Sensor* invece le specifiche definite in fase di progettazione richiedono una corrente di ingresso compresa tra 0 e 2.5 A fornendo un' uscita non superiore a circa 3V, con una costante di uscita ingresso pari a 1Ω.

In questo caso il dimensionamento dei componenti ha portato alle seguenti scelte:

$$\begin{cases} R_l = 100k\Omega \\ R_{sense} = 50m\Omega \\ 0A \leq I_s \leq 2.5A \end{cases}$$

La configurazione ottenuta è la seguente (Figura 5.7).

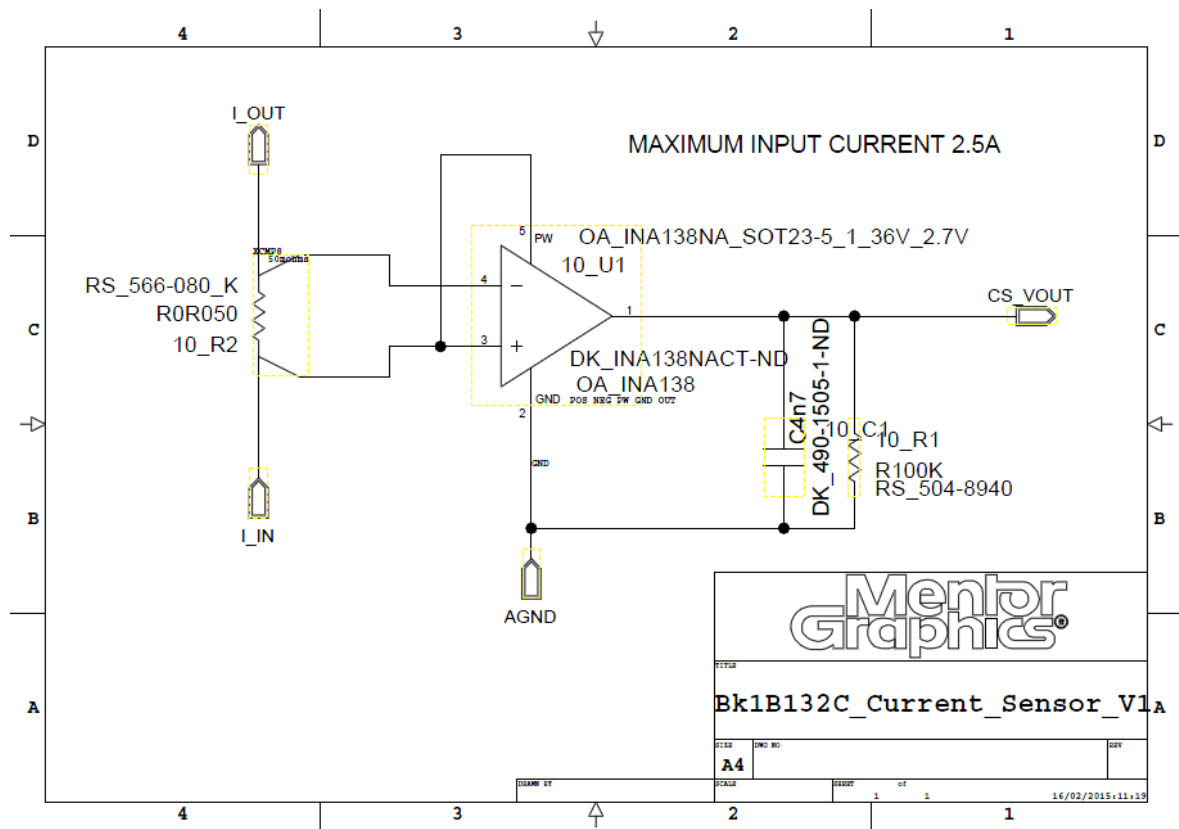


Figura 5.7: Schema Elettrico *1B132C Current Sensor*

5.4.1 1B132B e 1B132C Simulazioni

Al fine di garantire che la progettazione abbia sviluppato un complesso *hardware* che rispetti a pieno le specifiche costruttive, sono state sviluppate delle simulazioni per lo studio della caratteristica ingresso uscita e per la verifica delle sollecitazioni causate dal cambio di temperatura operativa.

Vengono in seguito elencate la *netlist* (Figura 5.8) e i parametri di gestione delle sorgenti (Figura 5.9) con i relativi risultati delle simulazioni per il circuito *1B132B Current Sensor* (Figura 5.10 e Figura 5.11).

```
* Project Bk1B132B_Current_Sensor_U1
* Mentor Graphics Wirelist Created with Version 6.4.002
* File created Thu Mar 05 16:16:42 2015
* Inifile      :
* ConfigFile:  C:\MentorGraphics\7.9.4EE\SDD_HOME\standard\wspice.cfg
* Options     :  __ -.spi -h -$ -7 -kC:\MentorGraphics\7.9.4EE\.cfg bk1b132b_current_sensor_v1
* Levels      :
*
CXCOMP2 CS_VOUT AGND 10.000000N CAP1
XCMP3 XSIG010009 XSIG010008 XSIG010009 AGND CS_VOUT INA138
XCMP8 I_IN I_OUT XSIG010009 XSIG010008 RES100M_4W
RXCOMP6 CS_VOUT AGND 100.000000K RES1
* Dictionary 0
*Warning : No ground node (Label a net GND)

.include
+\"..\..\Agenhd1\Bk1B132B_Current_Sensor_U1\Bk1B132B_Current_Sensor_U1_sources.spi"
.include "..\..\sym\CAP1.mod"
.include "..\..\sym\INA138.mod"
.include "..\..\sym\RES1.mod"
.include "..\..\sym\RES100M_4W.mod"
```

Figura 5.8: *Netlist 1B132B Current Sensor*

```
UAgnd AGND 0 DC 0
IIout I_OUT AGND DC 1.25
UVin I_IN AGND DC 10
```

Figura 5.9: Sorgenti *1B132B Current Sensor*

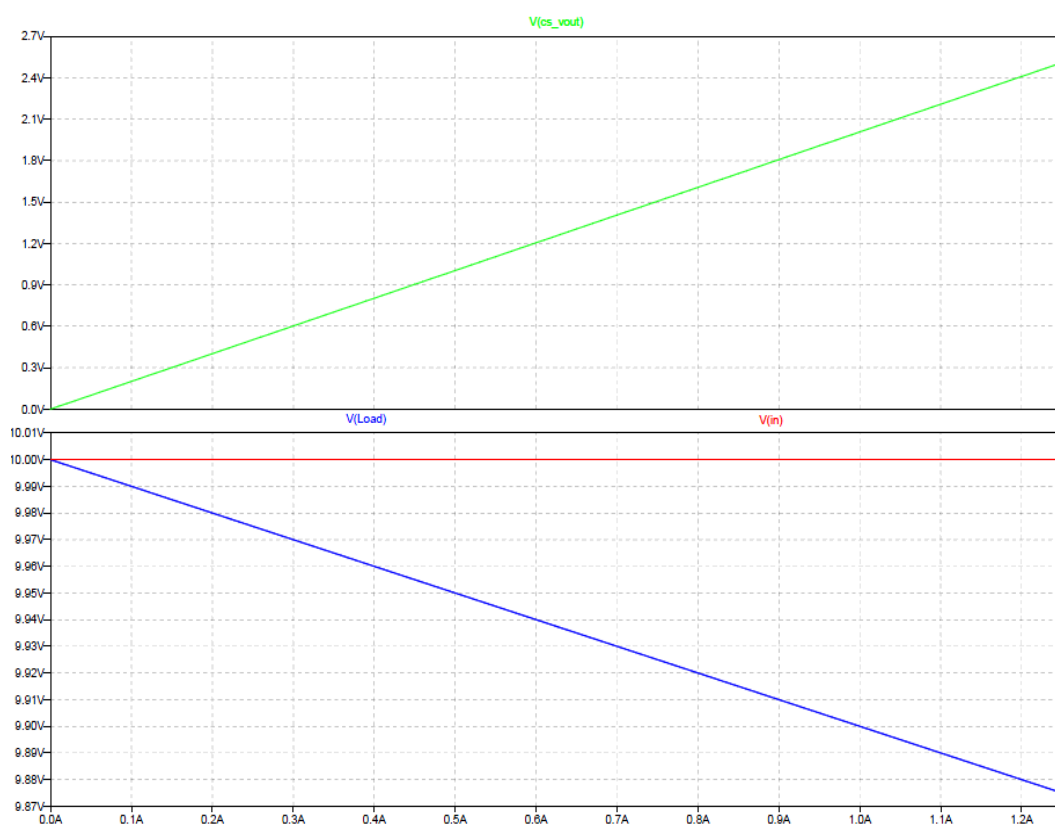


Figura 5.10: Studio caratteristica ingresso - uscita 1B132B Current Sensor

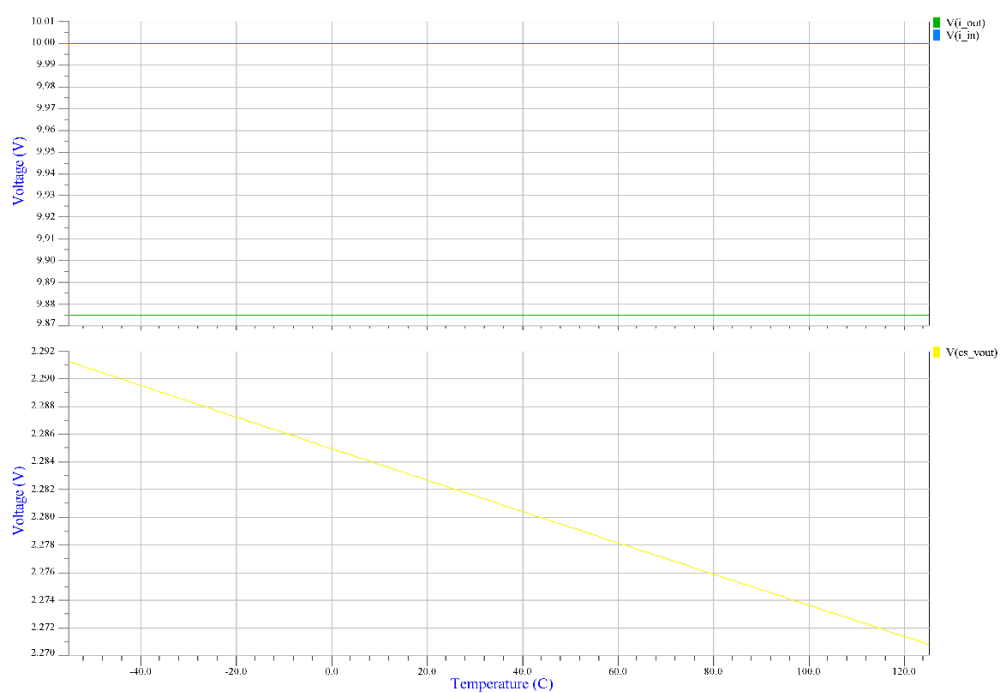


Figura 5.11: Studio uscita con variazione di temperatura 1B132B Current Sensor

Dai risultati delle simulazioni risulta evidente che il sistema risponde a pieno alle specifiche di progettazione.

Si definisce ora l'analisi del circuito *1B132C Current Sensor*, analogamente al caso precedente vengono proposte le immagini rappresentanti *netlist* (Figura 5.12), sorgenti (Figura 5.13) e risultati delle (Figura 5.14 e Figura 5.15).

```
* Project Bk1B132C_Current_Sensor_U1
* Mentor Graphics Wirelist Created with Version 6.4.002
* File created Thu Mar 05 16:53:07 2015
* Inifile      :
* ConfigFile:  C:\MentorGraphics\7.9.4EE\SDD_HOME\standard\wspice.cfg
* Options     :  __ -.spi -h -$ -kC:\MentorGraphics\7.9.4EE\wspice.cfg bk1b132c_current_sensor_u1
* Levels      :
*
XCMP2 XSIG010009 XSIG010008 XSIG010009 AGND CS_VOUT INA138
CXCM6 CS_VOUT AGND 4.700000N CAP1
RXCM7 CS_VOUT AGND 100.000000K RES1
XCMP8 I_IN I_OUT XSIG010009 XSIG010008 RES50M_4W
* Dictionary 0
*Warning : No ground node (Label a net GND)

.include "..\..\sym\CAP1.mod"
.include "..\..\sym\INA138.mod"
.include "..\..\sym\RES1.mod"
.include "..\..\sym\RES50M_4W.mod"

.include "..\..\genhd1\Bk1B132C_Current_Sensor_U1\Bk1B132C_Current_Sensor_U1_sources.spi"
```

Figura 5.12: *Netlist 1B132C Current Sensor*

```
VAgnd AGND 0 DC 0
IIout I_OUT AGND DC 2.5
UVin I_IN AGND DC 10
```

Figura 5.13: *Sorgenti 1B132C Current Sensor*

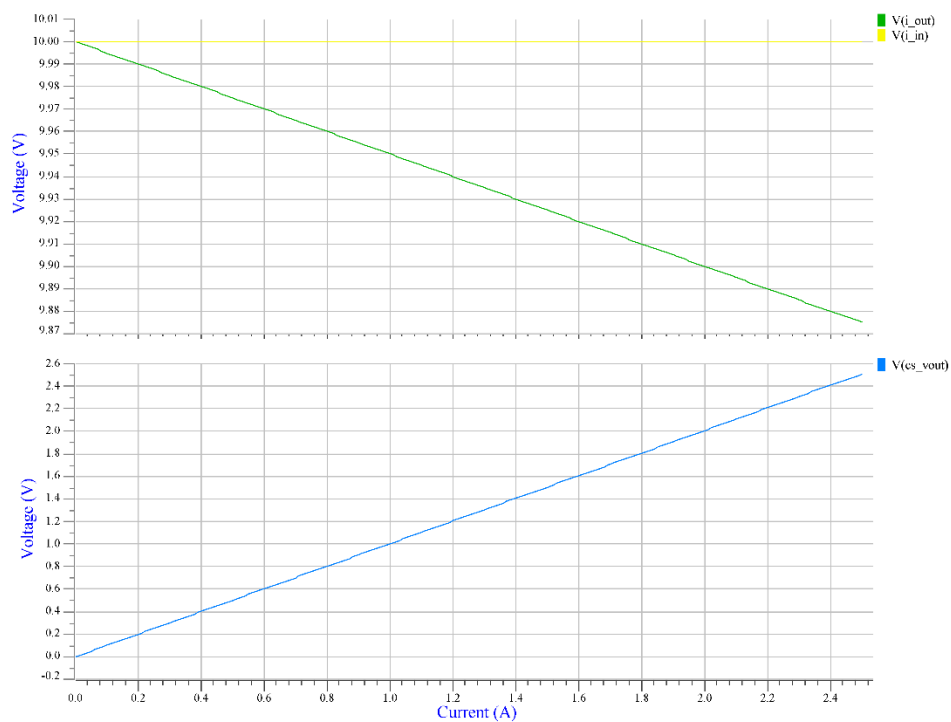


Figura 5.14: Studio caratteristica ingresso - uscita 1B132C Current Sensor

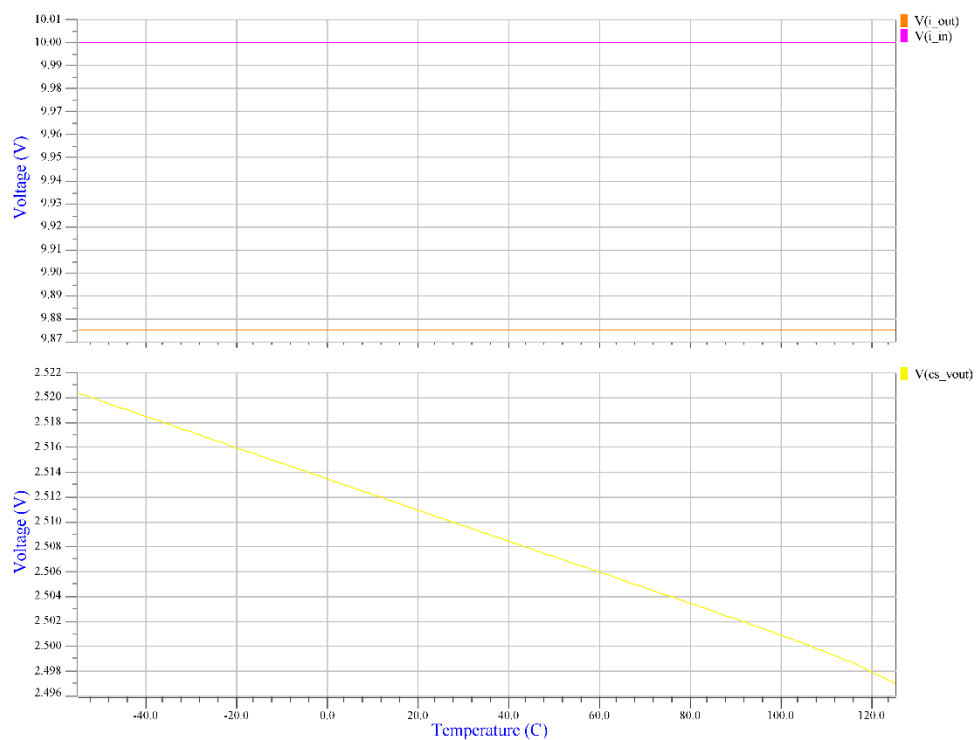


Figura 5.15: Studio uscita con variazione di temperatura 1B132C Current Sensor

5.5 1B121C e 1B121F

Come evidenziato nell'analisi introduttiva tra i vari dispositivi utilizzati su *AraMiS* troviamo numerosi circuiti dedicati al sezionamento delle linee di alimentazione.

In questo paragrafo vengono analizzati i blocchi *1B121C Load Switch* e *1B121F Load Switch High Current* che vengono ampiamente utilizzati all'interno del sistema *1B11 Power Generation and Storage*.

Il compito di questi circuiti è quello di aprire e chiudere due determinati nodi come se svolgessero il compito di semplici interruttori, seguendo il comando definito dal microprocessore di controllo.

Le specifiche richiedono che il solo microprocessore sia in grado di pilotare il circuito senza l'ausilio di un *buffer* e che il dispositivo possa lavorare in configurazione *high side*.

Inoltre per *1B121C Load Switch* viene richiesto:

$$\begin{cases} 2.5V \leq V_{supply} \leq 10V \\ I_{count\ max} = 1.5\ A \\ I_{peak\ max} = 15\ A \\ R_{ds\ on\ max} = 135m\Omega \end{cases}$$

Per soddisfare le specifiche sono stati selezionati due *transistor MOSFET*, un canale – N e un canale – P . Il primo svolge il ruolo di interfaccia per il microcontrollore e si occupa della polarizzazione del secondo, che invece svolge il vero e proprio ruolo di sezionatore.

Gli integrati scelti sono:

$$\begin{cases} Mosfet\ N = NTA7002 \\ Mosfet\ P = IRLML6402 \end{cases}$$

Il circuito ottenuto con questi elementi e due resistenze utilizzate per la polarizzazione viene mostrato in seguito (Figura 5.16).

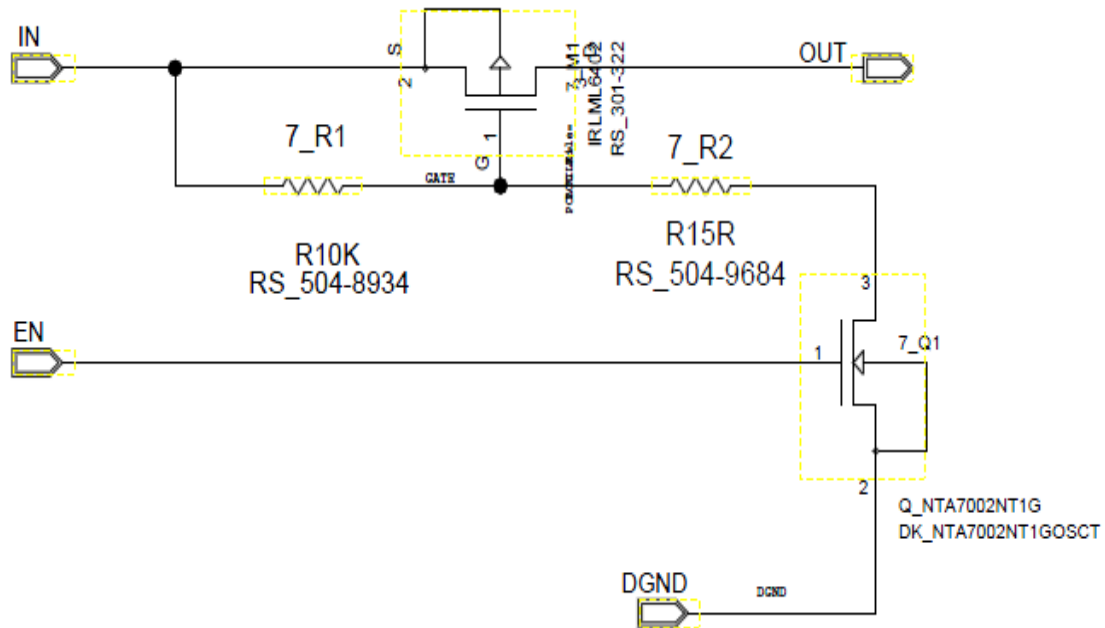


Figura 5.16: Schema elettrico 1B1121C Load Switch

Nel caso della configurazione 1B121F Load Switch High Current le specifiche sono:

$$\begin{cases} 4V \leq V_{supply} \leq 15V \\ I_{count\ max} = 5\ A \\ I_{peak\ max} = 25\ A \\ R_{ds_{on\ max}} = 65m\Omega \end{cases}$$

I componenti selezionati invece:

$$\begin{cases} Mosfet\ N = NTA7002 \\ Mosfet\ P = SI4435DY \end{cases}$$

La configurazione circuitale (Figura 5.17) risulta essere la medesima del caso precedente, l'unica variante è rappresentata dall'utilizzo di un diverso *transistor* per l'interfacciamento con il lato di potenza.

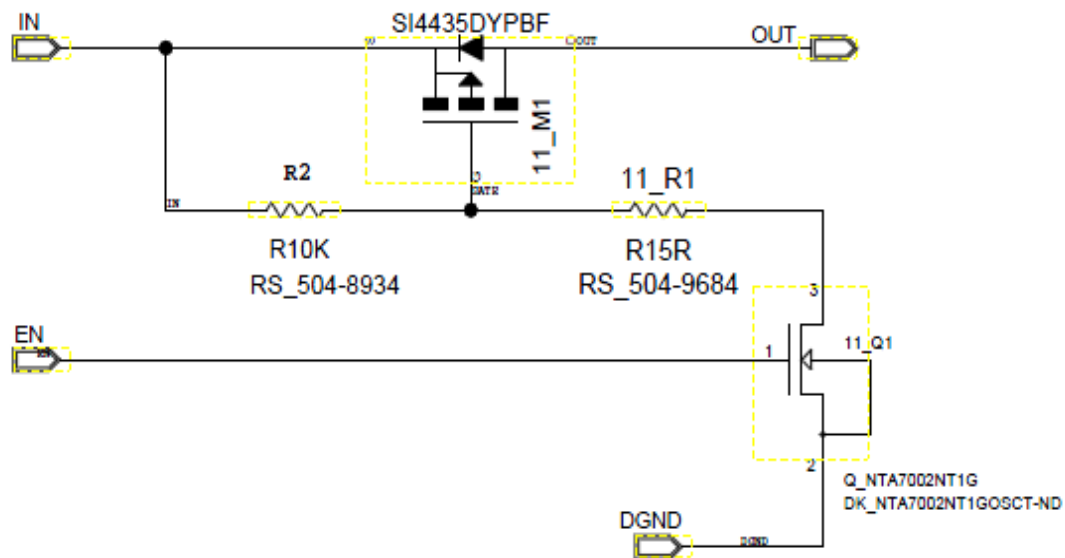


Figura 5.17: Schema elettrico 1B121F Load Switch High Current

5.5.1 1B121C e 1B121F Simulazioni

Definita la configurazione circuitale utilizzata si passa alla verifica della validità del *hardware* sviluppato.

Vengono mostrate *netlist* (Figura 5.18), sorgenti di simulazione (Figura 5.19) e risultati per il circuito 1B121C Load Switch (Figura 5.20 e Figura 5.21).

```
* Project Bk1B121C_Load_Switch_U1
* Mentor Graphics Wirelist Created with Version 6.4.002
* File created Thu Mar 05 12:59:11 2015
* Inifile :
* ConfigFile: C:\MentorGraphics\7.9.4EE\SDD_HOME\standard\wspice.cfg
* Options : -__ -.spi -h -$ -7 -kC:\MentorGraphics\7.9.4EE\wspice.cfg bk1b121c_load_switch_v1
* Levels :
*
RXCMP3 IN GATE 10Kohms RES1
X1I137 XSIG010005 EN DGND NTA7002N
RXCMP2 GATE XSIG010005 15.000000 RES1
XCMP1 OUT GATE IN IRLML6402
* Dictionary 0
*Warning : No ground node (Label a net GND)

.include
+\"..\..\genhd1\Bk1B121C_Load_Switch_U1\Bk1B121C_Load_Switch_U1_sources.spi"
.include "..\..\sym\IRLML6402.mod"
.include "..\..\sym\NTA7002N.mod"
.include "..\..\sym\RES1.mod"
```

Figura 5.18: Netlist 1B121C Load Switch

```

VVdgnd DGND 0 DC 0
**VVen EN DGND
VVen EN DGND PULSE (0 3.3 10u 10n 10n 50m 100m)
VVout Xth_Vout DGND DC 0
Rth_Vout Xth_Vout OUT 10

Vvin IN DGND DC 10
    
```

Figura 5.19: Sorgenti 1B121C Load Switch

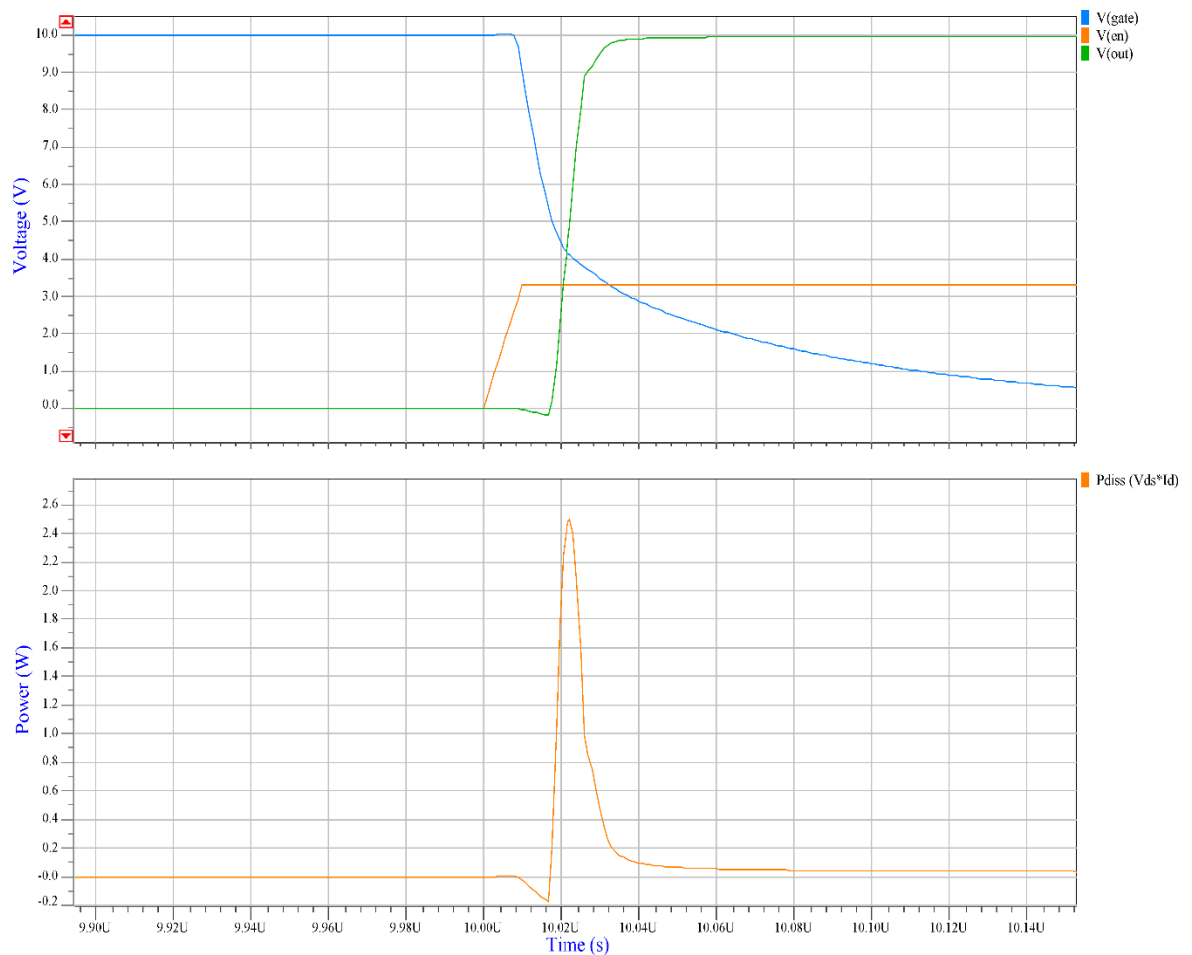


Figura 5.20: Studio transitorio e del consumo nel tempo di potenza per 1B121C Load Switch

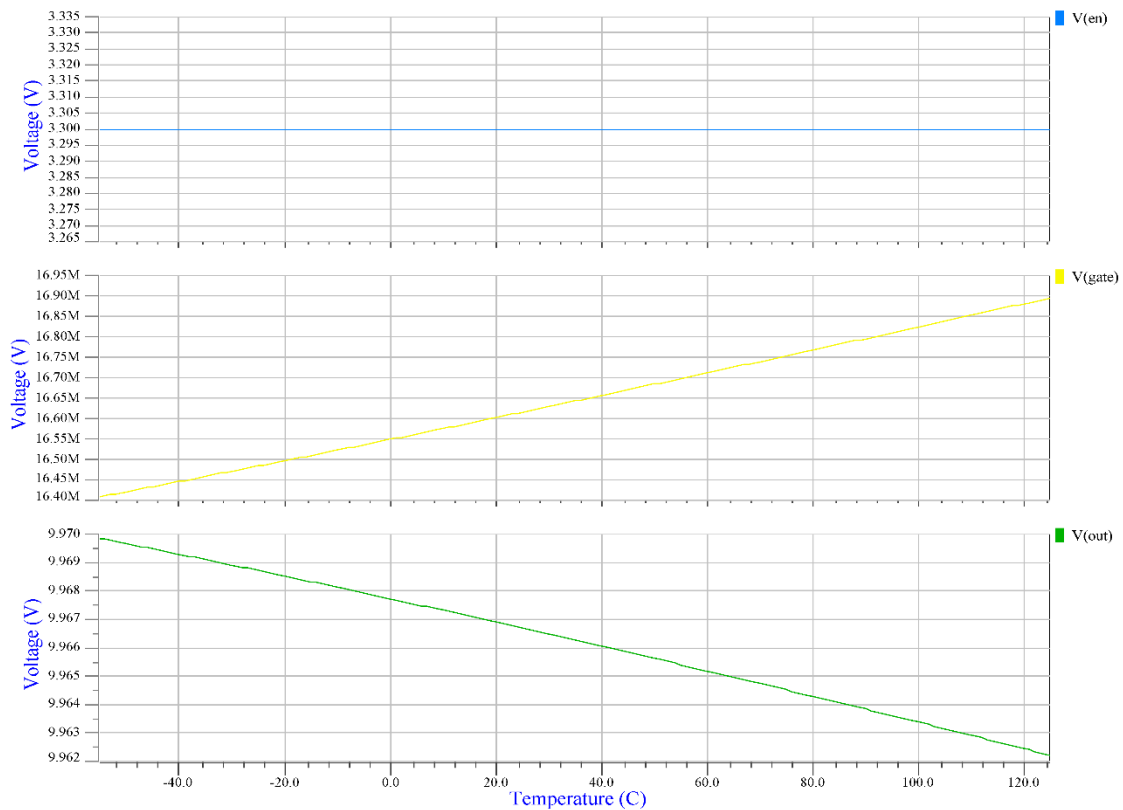


Figura 5.21: Studio del comportamento in funzione della temperatura di 1B121C Load Switch

Si procede ora alla definizione di *netlist* (Figura 5.22), sorgenti di simulazione (Figura 5.23) e risultati per il circuito 1B121F Load Switch High Current (Figura 5.24 e Figura 5.25).

```
* Project Bk1B121F_Load_Switch_HC_U1
* Mentor Graphics Wirelist Created with Version 6.4.002
* File created Thu Mar 05 14:37:44 2015
* Inifile :
* ConfigFile: C:\MentorGraphics\7.9.4EE\SDD_HOME\standard\wspice.cfg
* Options : -__ -.spi -h -$ -7 -kC:\MentorGraphics\7.9.4EE\wspice.cfg bk1b121f_load_switch_hc_v1
* Levels :
*
X1176 OUT GATE IN SI4435DY
R 112 GATE N_1N12 15.000000 RES1
R2 IN GATE 10Kohms RES1
X1108 N_1N12 EN DGND NTA7002N
* Dictionary 1
* _1N12=N_1N12
*Warning : No ground node (Label a net GND)

.include
+ "...\\genhd1\\Bk1B121F_Load_Switch_HC_U1\\Bk1B121F_Load_Switch_HC_U1_sources.spi"
.include "...\\sym\\NTA7002N.mod"
.include "...\\sym\\RES1.mod"
.include "...\\sym\\SI4435DY.mod"
```

Figura 5.22: Netlist 1B121F Load Switch High Current

```

VLoad Xth_Load 0 DC 0
Rth_Load Xth_Load OUT 3

**UVen EN DGND
UVen EN DGND PULSE (0 3.3 10u 10n 10n 50m 100m )
UVin IN DGND DC 15
VdgnD DGND 0 DC 0
    
```

Figura 5.23: Sorgenti 1B121F Load Switch High Current

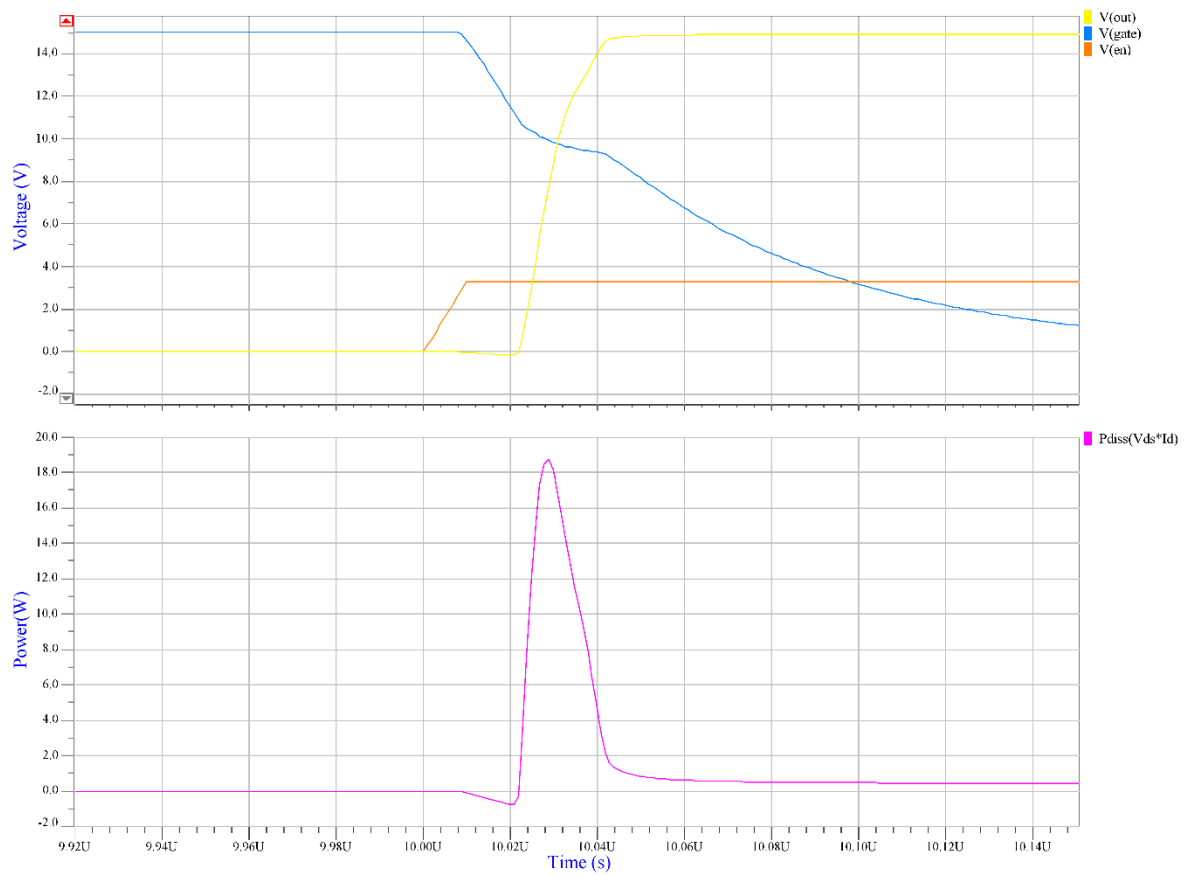


Figura 5.24: Studio transitorio e del consumo nel tempo di potenza per 1B121F Load Switch High Current

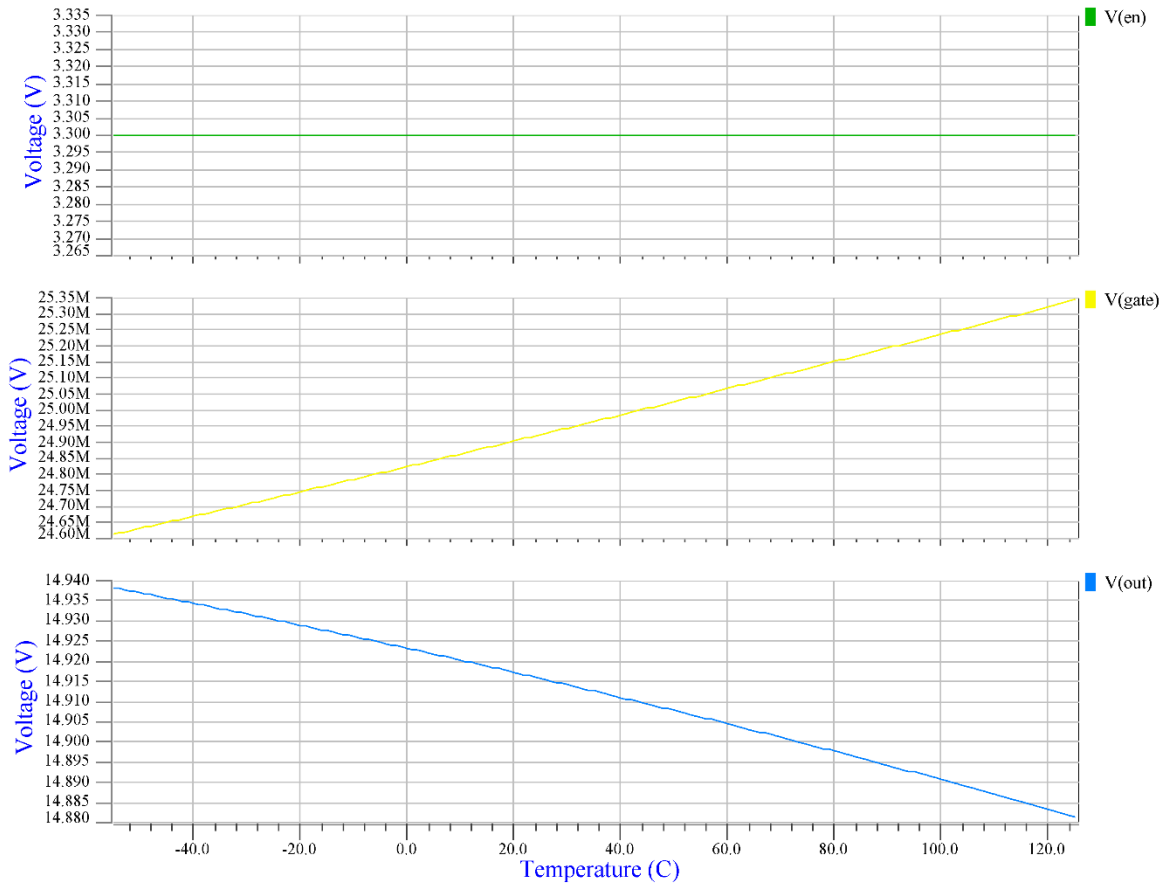


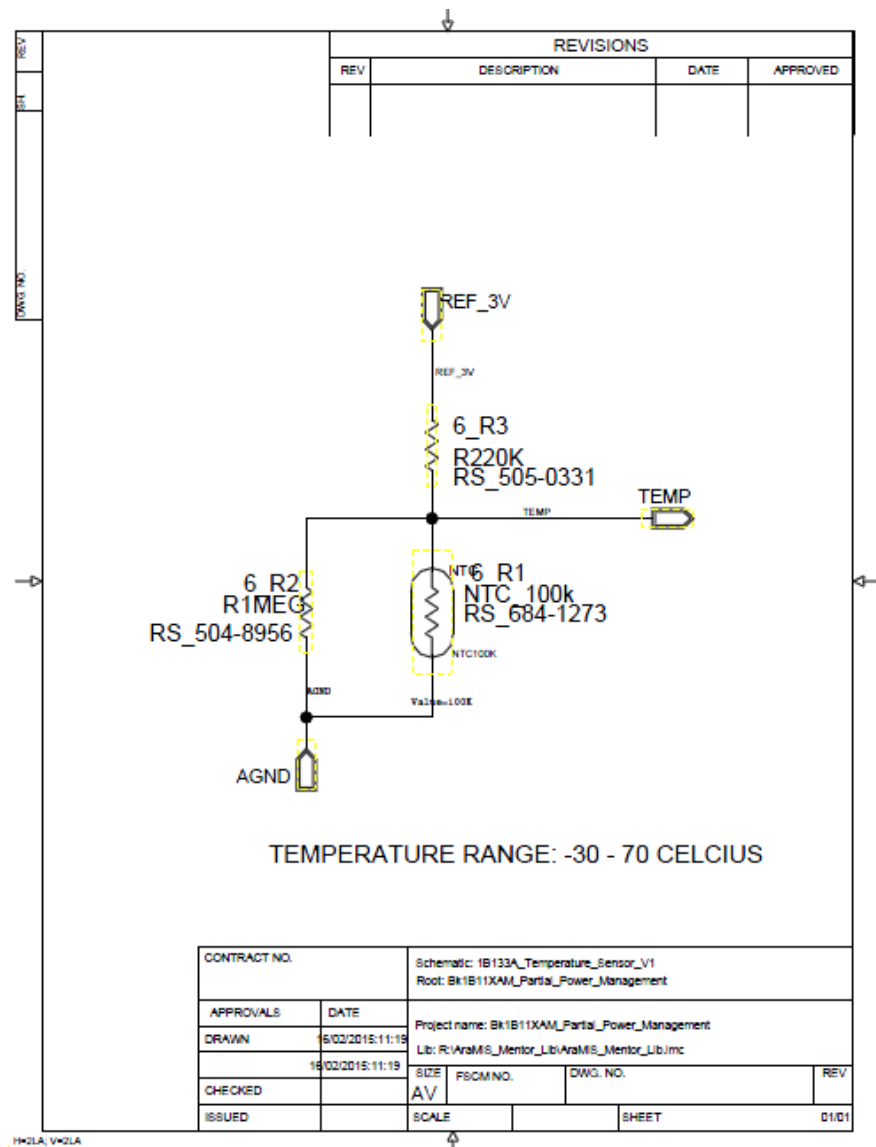
Figura 5.25: Studio del comportamento in funzione della temperatura di *1B121F Load Switch High Current*

5.6 1B133A Temperature Sensor

Si analizza ora il circuito *1B133A Temperature Sensor*, sistema utilizzato per il monitoraggio della temperatura sulla *Power Management Tile*.

L'implementazione di questo sistema si è resa necessaria visto il grande quantitativo di energia da gestire in questa zona del satellite. In particolare i sistemi da monitorare sono i gestori della carica e scarica delle batterie, quindi *1B113 Battery Charger* e *1B118 Battery Discharger*, e il sistema di distribuzione della potenza, ovvero il *PDB*.

Per svolgere questo compito è stato utilizzato un termistore a coefficiente di temperatura positivo (PTC) opportunamente posizionato rispetto ad una rete resistiva.



Il complesso circuitale fa variare il valore di tensione letto sul nodo di uscita denominato *Temp*, questo dato opportunamente digitalizzato viene elaborato dal microprocessore di bordo che valuta la criticità della temperatura.

Il *Range* di temperatura del sensore è compreso tra -30 °C e 70 °C, per rispettare queste specifiche sono stati utilizzati i seguenti componenti:

$$\left\{ \begin{array}{l} R1 = R_{th} = 100k\Omega, \text{ NTC50603E3104FXT} \\ R2 = 1M\Omega \\ R3 = 220k\Omega \\ V_{in} = 3V \end{array} \right.$$

Una delle principali difficoltà nell'utilizzo di questo sensore è rappresentata dalla forte non linearità del termistore che genera di conseguenza un'uscita fortemente non lineare.

Dal punto di vista dell'utilizzo pratico si è posto rimedio linearizzando in tre settori la tensione di uscita, viceversa dal punto di vista simulativo sono stati maggiori gli inconvenienti dato che il simulatore di *Mentor Graphics* non riusciva a gestire il modello matematico.

Considerata la situazione è stato sviluppato un listato matlab che partendo dalle specifiche fornite sul datasheet del componente è in grado di fornire il valore resistivo assunto dal termistore in funzione della temperatura e di propagarne l'influenza all'intero sistema.

I risultati ottenuti sono i grafici relativi a resistenza del termistore (Figura 5.26), resistenza equivalente tra il termistore e R2 (Figura 5.27) e il valore della tensione in uscita (Figura 5.28).

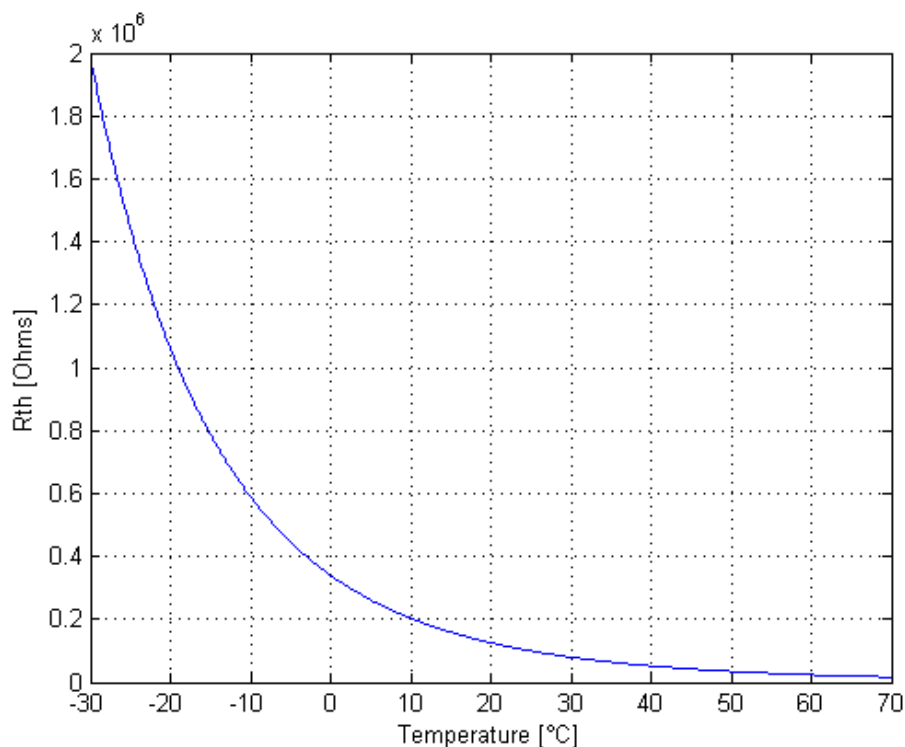


Figura 5.26: Valore resistivo termistore in funzione della temperatura

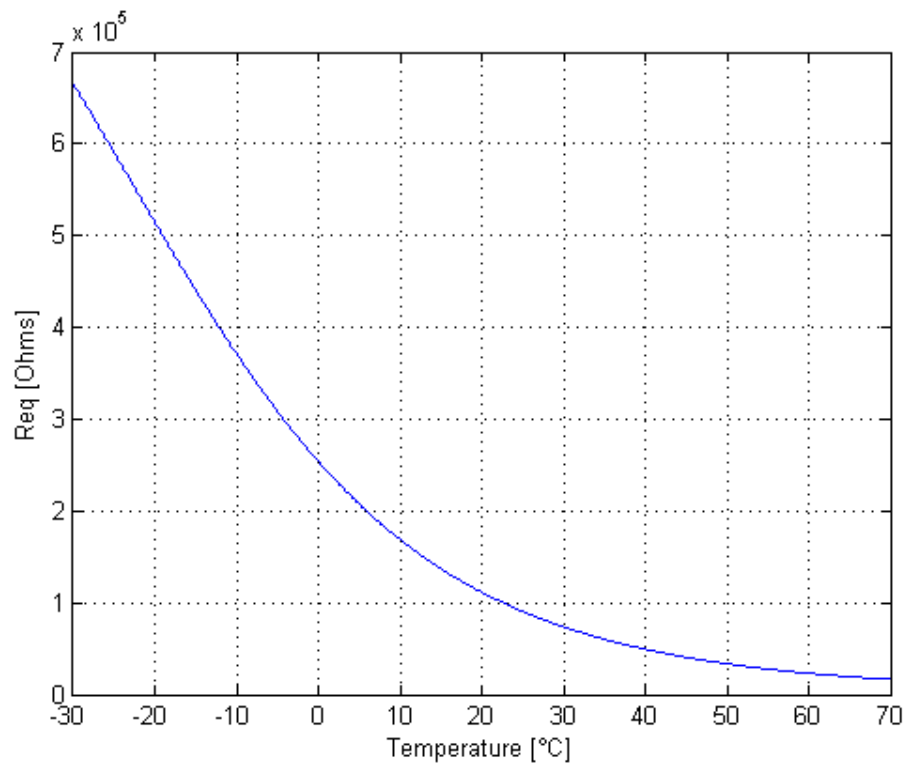


Figura 5.27: Resistenza equivalente parallelo termistore e R2 in funzione della temperatura

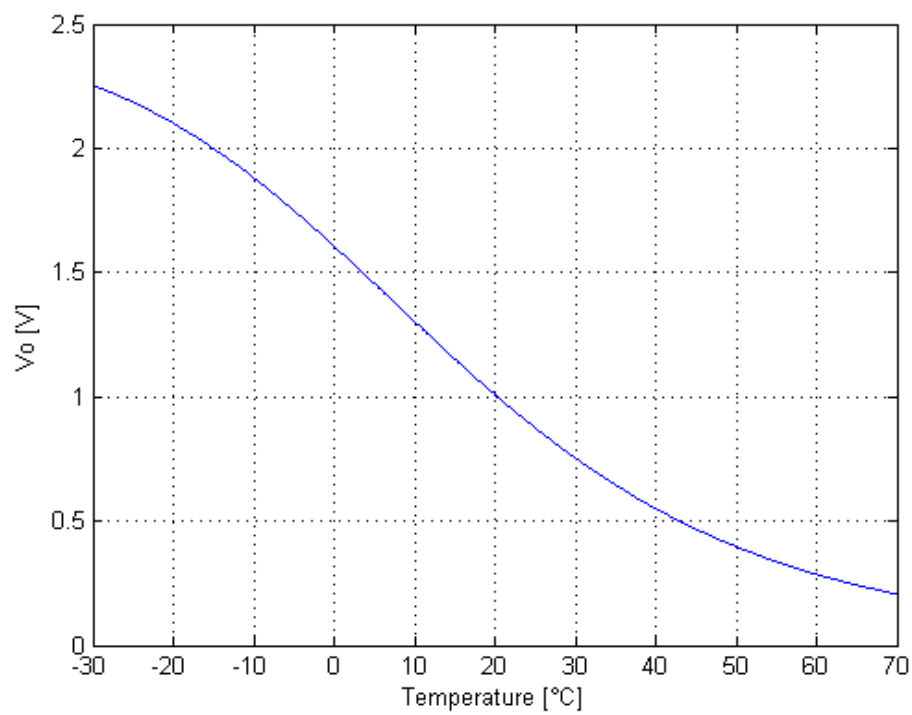


Figura 5.28: Tensione in uscita da 1B133A in funzione della temperatura

5.7 1B1142 Battery Equalizer

Ultimo circuito descritto è il *1B1142 Battery Equalizer* (Figura 5.29). Questo sistema già progettato e simulato si occupa del bilanciamento della carica delle batterie tramite comando del microprocessore centrale.

In questo elaborato ci si occuperà solamente dell'interfacciamento verso il processore e gli altri sistemi.

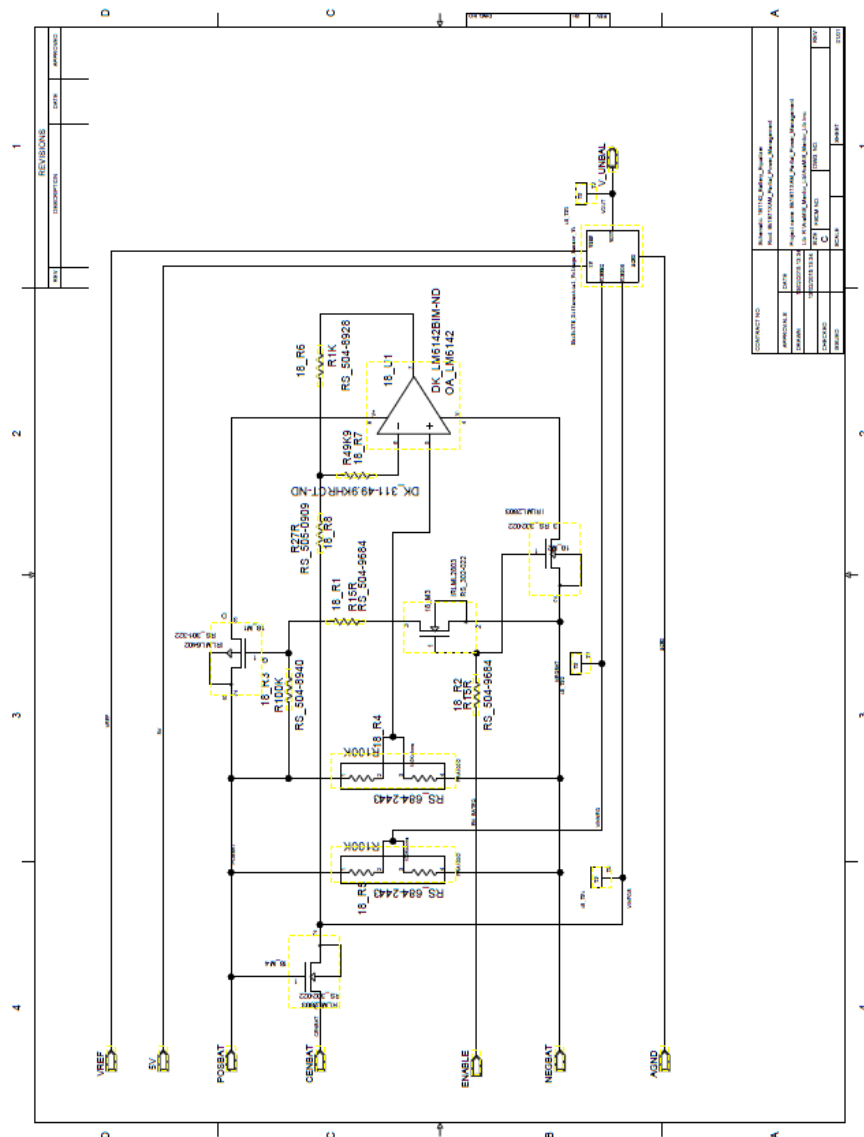


Figura 5.29: Schema elettrico *1B1142 Battery Equalizer*

5.8 1B4841W Quadruple Module Interface

In quest'ultimo paragrafo viene definito il sistema di interfacciamento tra il blocco circuitale *1B11 Power Generation and Storage* e il resto del satellite *AraMiS*.

Oltre al *Power Distribution Bus* infatti occorre definire un percorso per tutti i segnali di controllo dei circuiti visti in precedenza, per questo motivo è stato definito un modulo che contiene linee dedicate a segnali analogici, digitali, alimentazione e ovviamente uno spazio per il *PDB*, con il nome di *1B4841 Module Interface*.

Nel caso preso in esame la struttura presa in esame replica quattro volte il modulo base creando *1B4841W Quadruple Module Interface*.

L'elenco dei pin a disposizione di un singolo modulo di interfaccia è il seguente:

PDB
5V
3V3
REF
D0_RX_SOMI
D1_TX_SIMO
D2_SCL_SOMI
D3_SDA_SIMO
D4_CLK
D5_PWM
D6_A0
D7_A1
D8_ID
D9_EN_PWM2
EXT[1:2]

Tabella 5.1: Pin di connessione per modulo di interfaccia *1B4841 Module Interface*

Attraverso la sezione del modulo singolo (Figura 5.30), risulta possibile definire il posizionamento dei pin per la corretta realizzazione del circuito stampato finale.

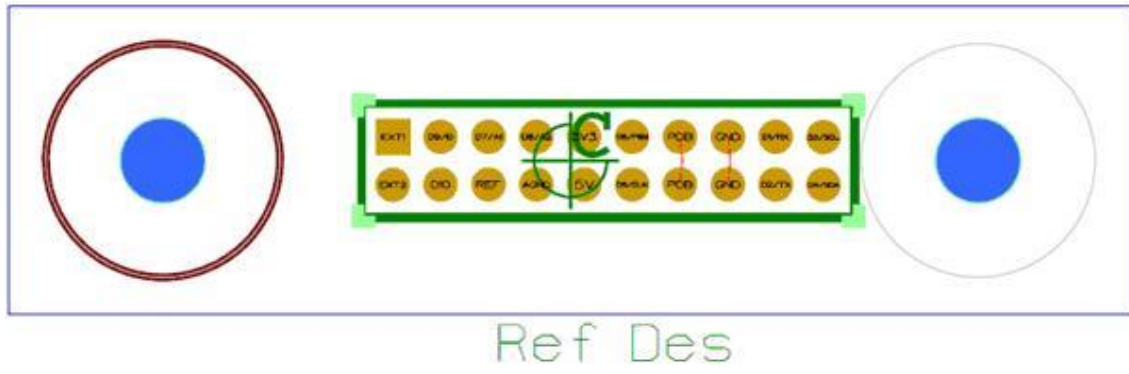


Figura 5.30: Sezione modulo di interfaccia *1B4841 Module Interface*

Capitolo 6

1B118 Battery Discharger

In questo capitolo viene descritto il processo di analisi per il blocco circuitale *1B118 Battery Discharger* che attraverso l'utilizzo di un convertitore *DC/DC* di tipo Boost fornisce una tensione consona sul *PDB* utilizzando come fonte le batterie.

Oltre ad un'analisi circuitale vengono fornite le motivazioni tecniche della necessità della riprogettazione a cui si è dovuti far fronte per garantire le funzionalità del dispositivo in ogni situazione di lavoro.

6.1 Composizione circuito 1B118 Battery Discharger

Il circuito *1B118 Battery Discharger* (Figura 6.1) è composto da un insieme di componenti elettronici e di *reusable blocks* già utilizzati in altri ambiti e presenti all'interno di *AraMiS Mentor Lib*, tra questi troviamo:

- *1B121C Load Switch*, utilizzato per sezionare la fonte di alimentazione esterna a +5V, viene controllato direttamente dal microcontrollore.
- *1B121F Load Switch High Current*, utilizzato allo scopo di permettere il sezionamento dell'intero convertitore dalle batterie.
- *1B132C Current Sensor*, impiegato per monitorare la corrente assorbita dagli accumulatori e fornire un *feedback* esterno al sistema *1B118 Battery Discharger*.

- *1B132B Current Sensor*, posizionato sull'uscita dello stadio di conversione. Questo circuito è di fondamentale importanza perché permette non solo di avere un riferimento della corrente in uscita all'esterno del macro blocco ma genera anche il segnale analogico utilizzato dalla rete di compensazione del sistema.
- *1B133A Temperature Sensor*, fornisce ai circuiti dedicati alla conversione analogico digitale un valore di tensione proporzionale alla temperatura misurata. La posizione del termistore sul circuito stampato finale sarà nelle strette vicinanze del transistor *MOSFET* che funziona come interruttore all'interno del convertitore *DC/DC*

Oltre ai *Reusable Blocks* appena indicati sono presenti altri singoli componenti con una specifica funzione, tra i più importanti troviamo:

- *CSD16401Q5*, transistor *MOSFET* a canale N con specifiche di potenza, utilizzato come interruttore nella configurazione *Boost*.
- *SL43*, diodo *Schottky* facente parte della configurazione fondamentale del convertitore di potenza.
- Induttore L1 da 10 μ H, componente della configurazione elementare di un convertitore *Step Up*, ha il compito di immagazzinare e rilasciare energia nelle fasi di lavoro del convertitore.
- *OPA2735*, amplificatori operazionali facenti parte della rete di reazione del convertitore.
- *TL5001A*, controllore della rete di reazione e generatore del comando per il transistor *N-MOS*.
- *TPS2828*, *Buffer* utilizzato per interfacciare l'uscita del modulo di controllo con il *Gate* del transistor di potenza. Questo dispositivo ha il compito di generare un comando con sufficiente corrente capace di far commutare il *MOSFET* alle frequenze generate dal *TL5001A*.

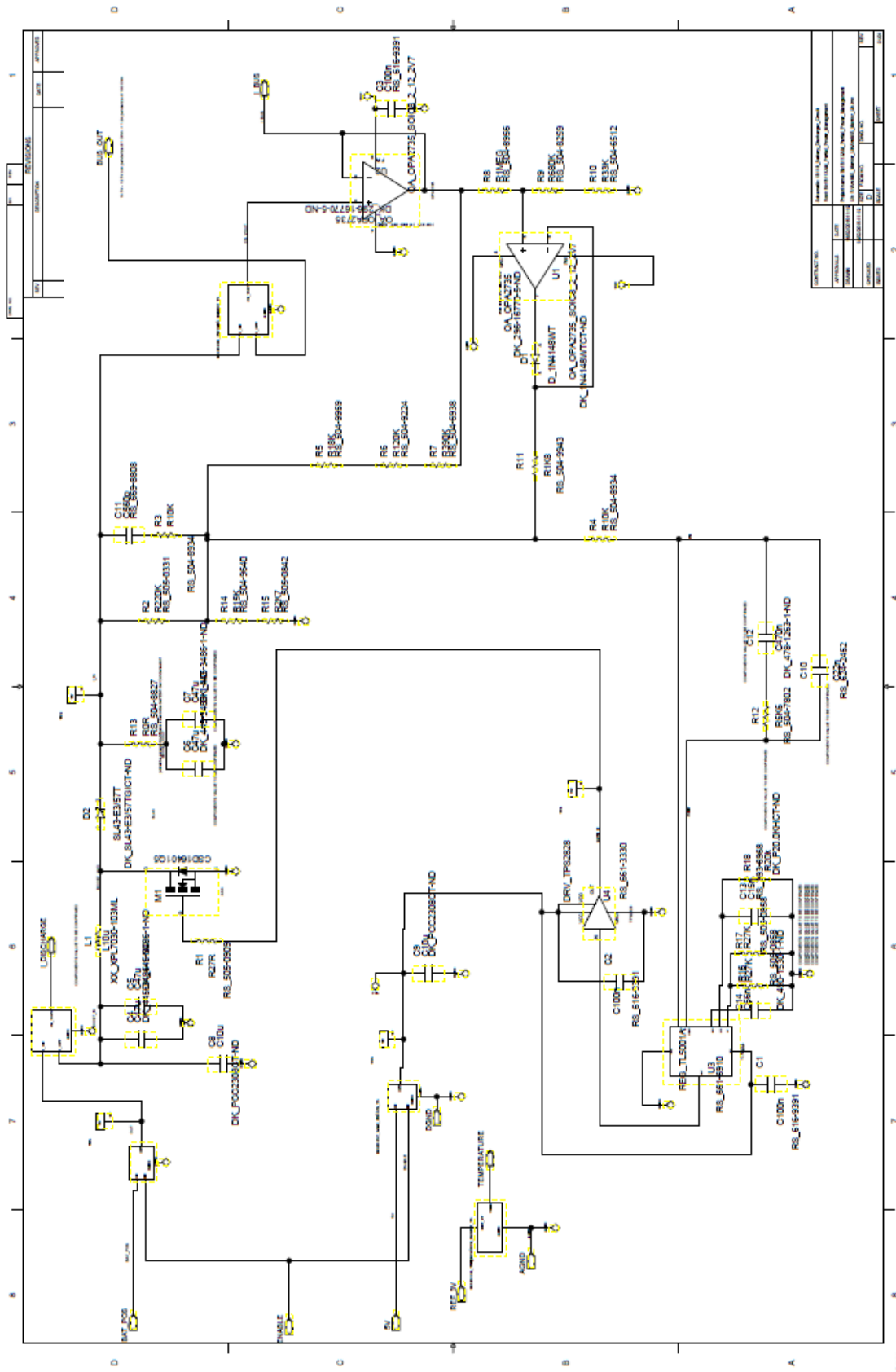


Figura 6.1: Schema elettrico 1B118 Battery Discharger

6.2 Teoria funzionamento convertitore Boost

La trattazione sulla teoria di funzionamento di un convertitore *Boost* o *Step Up*, può iniziare dalla definizione di quelle che sono le specifiche richieste a questo tipo di convertitore.

Data una sorgente, il convertitore deve elevare la tensione in ingresso fino ad un determinato valore in uscita cercando di avere il miglior rendimento energetico possibile.

La configurazione elementare di questo dispositivo è la seguente (Figura 6.2);

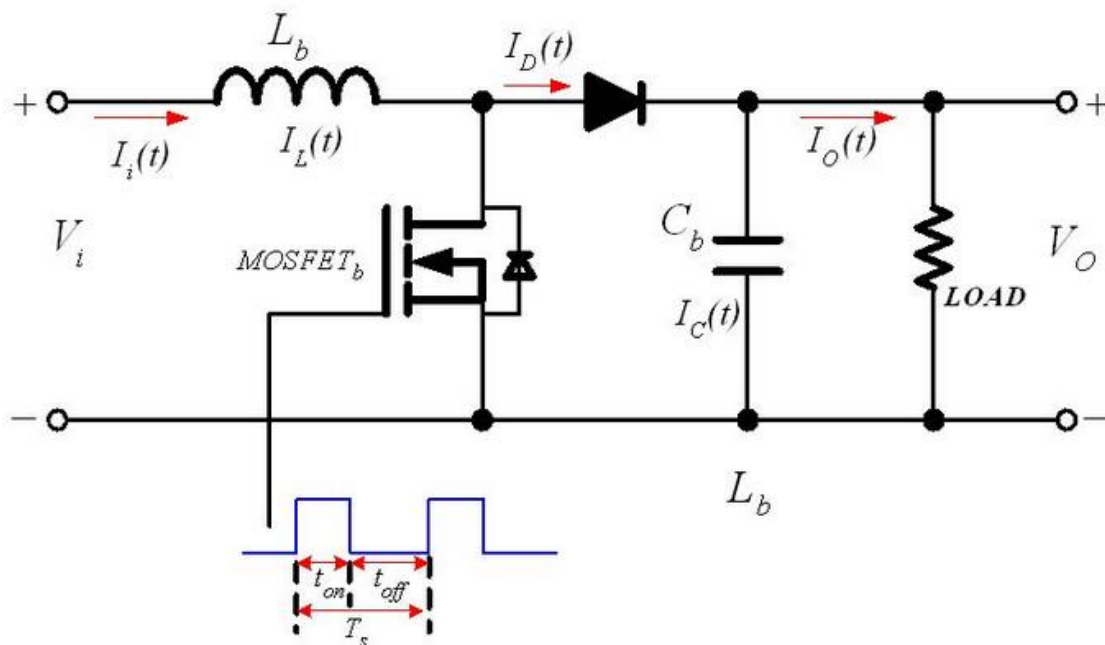
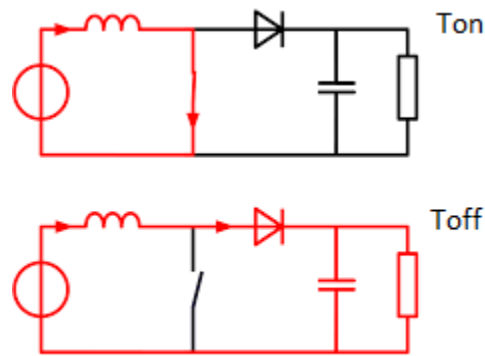


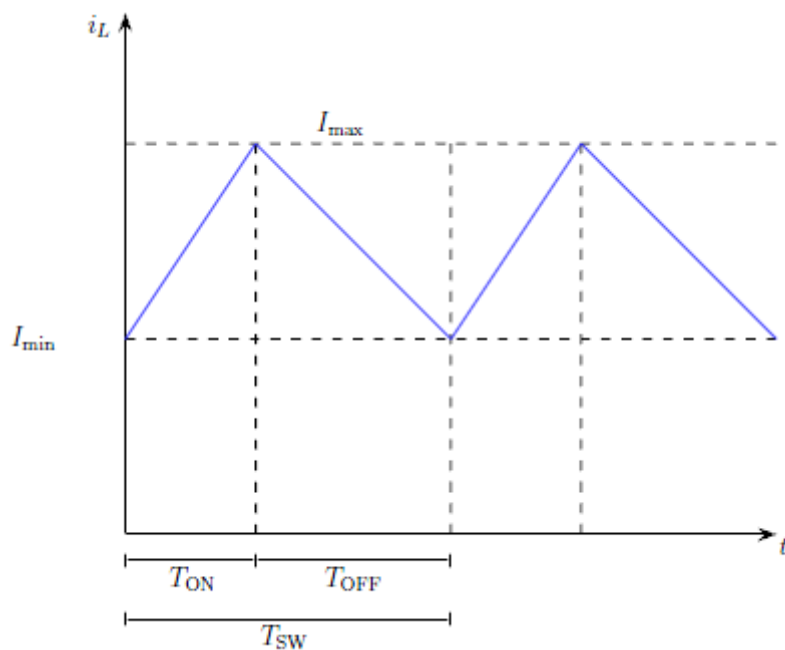
Figura 6.2: Configurazione base *Boost converter* senza controllo

Il *MOSFET-N* viene pilotato da un segnale costituito da un'onda quadra che ha come conseguenza l'interdizione o il funzionamento in regione triodo del transistor stesso.

In questa situazione si può considerare il *MOS* come un semplice interruttore che si presenta in un tempo T_{on} chiuso e in un tempo T_{off} aperto (Figura 6.3). A seconda dell'istante di tempo considerato si ha a che fare con un circuito differente.

Figura 6.3: Fasi Convertitore *Boost*

Per proseguire nella trattazione conviene analizzare la corrente che scorre sull'induttore in funzione del tempo (Figura 6.4) in modo da verificare gli effetti della commutazione dell'interruttore.

Figura 6.4: Corrente in funzione del tempo sull'induttore di un *Boost* in *CCM*

Due considerazioni devono essere fatte, la prima è che il sistema agisca in *Continuous Conduction Mode (CCM)* ovvero la corrente sull'induttore non deve mai essere nulla la seconda è che ogni ciclo di apertura e chiusura

dell'interruttore abbia uguali effetti sul circuito del ciclo precedente, la situazione si definisce ciclostazionaria.

Le equazioni ottenute sono le seguenti:

$$M = \frac{V_o}{V_{in}} \geq 1$$

$$\Delta I_L = \frac{V_{in}}{L} T_{on} \quad \text{e} \quad \Delta I_L = \frac{(V_{in}-V_o)}{L} T_{off}$$

Eguagliando le due precedenti relazioni si ottiene:

$$M = \frac{1}{1-D}$$

Dove D rappresenta il *Duty Cycle* dell'onda quadra presente sul *Gate* del transistor.

$$D = \frac{T_{on}}{T_{on} + T_{off}}$$

$$T_{sw} = T_{on} + T_{off}$$

Il parametro M rappresenta il guadagno in tensione tra ingresso ed uscita del convertitore, la presenza del parametro D a denominatore rende potenzialmente il circuito capace di guadagnare $M \rightarrow \infty$.

A causa della non idealità del circuito questa situazione è da scartare, nella realtà si possono ottenere uscite non molto superiori a $M=5$.

Questa situazione non compromette l'utilizzo del circuito *1B118 Battery Discharger* in modalità *CCM* perché si può notare che non vi è presenza della resistenza di carico nella relazione caratteristica. La soluzione verrà comunque scartata per altri motivi come vedremo in seguito.

Consideriamo ora la situazione *Discontinuous Conduction Mode (DCM)* (Figura 6.5) dove la corrente sull'induttore si annulla per qualche istante. Per rappresentare questa zona temporale si utilizza la variabile *Tidle*.

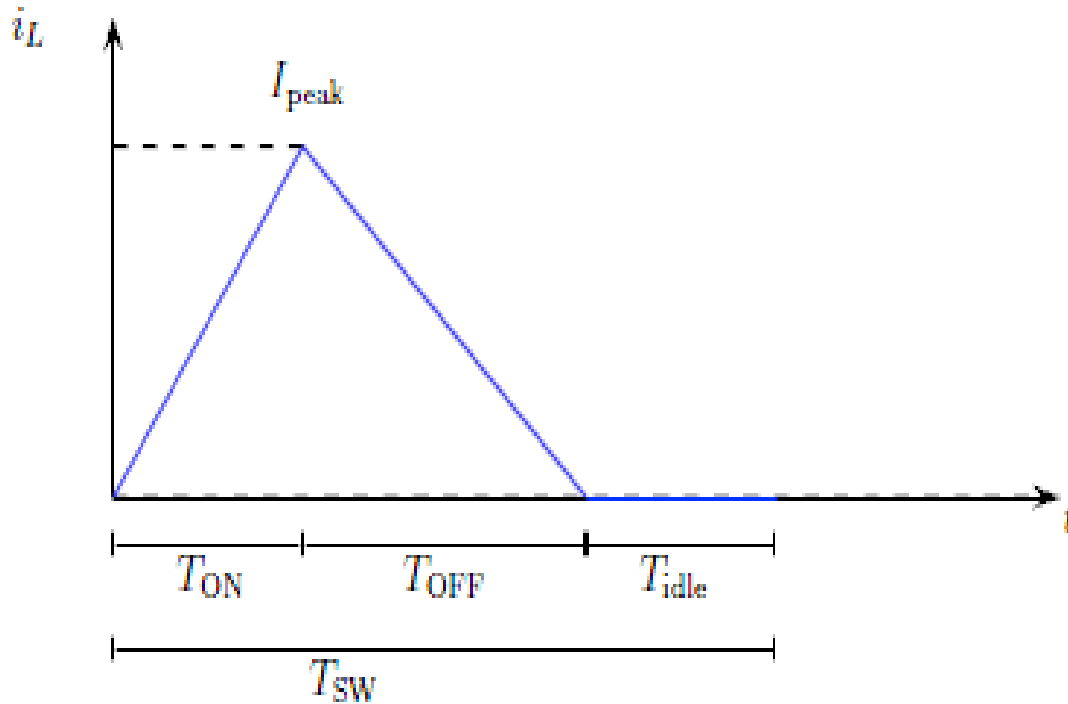


Figura 6.5: Corrente in funzione del tempo sull'induttore di un *Boost* in *DCM*

Considerando le seguenti equazioni si ottiene:

$$\Delta I_L = \frac{V_{in}}{L} T_{on} \quad \text{e} \quad \Delta I_L = \frac{(V_{in} - V_o)}{L} T_{off}$$

$$T_{sw} \neq T_{on} + T_{off}$$

$$M = \frac{T_{on} + T_{off}}{T_{off}}$$

Si può definire la corrente media che scorre sul diodo come:

$$I_{d_{ave}} = \frac{V_o}{R_{load}} = \frac{V_{in} * T_{on} * T_{off}}{2 * L * T_{sw}}$$

$$T_{sw} = T_{on} + T_{off} + T_{idle}$$

$$\frac{V_o}{V_{in}} = M = 1 + \frac{T_{on}}{T_{off}}$$

Sostituendo le equazioni si ottiene:

$$M = \frac{R_{load} * T_{on} * D}{2 * L * (M - 1)}$$

$$M = \frac{1 \pm \sqrt{1 + \left(\frac{2 * R_{load} * D^2}{L * f_{sw}}\right)}}{2}$$

Da quest'ultima relazione si ottiene il guadagno di tensione per il convertitore *Boost* in configurazione *DCM*.

Occorre ricordare inoltre che il limite di funzionamento tra la modalità *CCM* e quella *DCM* viene definito dalla relazione:

$$L_{crit} = \frac{R_{load} * D * (1 - D)^2}{2 * f_{sw}}$$

Se:

$$L > L_{crit} \quad DCM$$

$$L < L_{crit} \quad CCM$$

Definiti i principi di funzionamento del circuito si possono analizzare le problematiche che lo rendono inutilizzabile per il satellite *AraMiS*.

6.3 Problematiche 1B118 Battery Discharger

Il circuito è stato originariamente generato senza tenere presente quali sono le regioni di funzionamento che possono essere assunte dal convertitore. La progettazione infatti aveva erroneamente previsto una situazione statica da parte dei carichi connessi al *PDB*.

Consideriamo ora l'equazione che definisce il rapporto ingresso uscita del convertitore in modalità *DCM*:

$$M = \frac{1 \pm \sqrt{1 + \left(\frac{2 * R_{load} * D^2}{l * f_{SW}} \right)}}{2}$$

Si può notare come sia presente la variabile R_{load} nel denominatore dell'equazione, è facilmente comprensibile come questa configurazione sia potenzialmente catastrofica a livello circuitale.

Si consideri per ipotesi la situazione in cui il blocco *Battery Discharger* stia fornendo tensione sul *PDB* e che un singolo carico, come ad esempio il trasmettitore a 2.4GHz, stia assorbendo potenza.

In un determinato istante il microprocessore di bordo decide di disconnettere dal bus il trasmettitore perchè ha terminato il lavoro, in questa situazione la resistenza complessiva vista dal convertitore *Boost* tende a diventare molto elevata, nessun carico è più collegato e disponibile all'assorbimento.

Se:

$$R_{load} \rightarrow \infty$$

Allora anche:

$$M \rightarrow \infty$$

E quindi:

$$V_o \rightarrow \infty$$

E' evidente che se fosse generata una tensione di uscita molto elevata si rischierebbe la distruzione non solo di parte della circuiteria interna del *1B118 Battery Discharger*, ad esempio rete di reazione e condensatori di uscita, ma anche del *PDB* e di tutti i circuiti ad esso connessi.

Avendo un carico variabile in uscita il punto di lavoro è costante e quindi i valori di tensione generati siano totalmente fuori controllo.

Il circuito integrato *TL5001A* non è progettato per gestire questa situazione e quindi risulta essere totalmente inutile.

Nel caso invece dell'utilizzo in modalità *CCM* non si ha una relazione di ingresso uscita proporzionale al carico connesso. I problemi in questo caso sono da ricercarsi nella metodologia di controllo di questi circuiti (Figura 6.6).

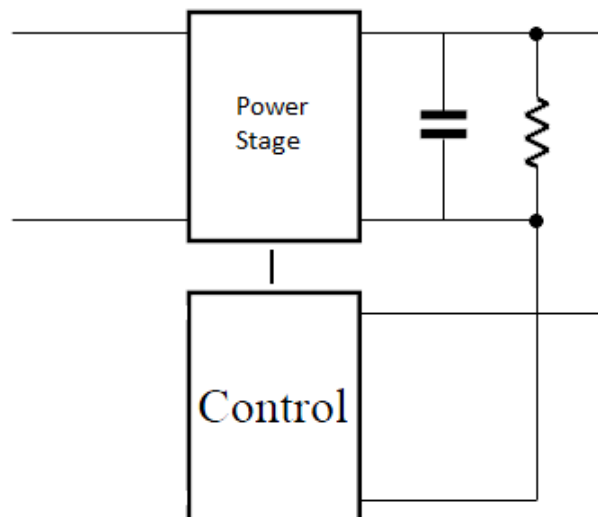


Figura 6.6: Struttura di controllo con *Feedback*

Al fine di ottenere un valore di tensione costante sull'uscita di un convertitore, si sono state studiate metodologie di controllo che riescono ad ovviare alle variazioni delle variabili principali del sistema.

A titolo di esempio si può considerare la variazione della resistenza di carico o magari il cambio di valore della tensione in ingresso del convertitore.

Attraverso la lettura di parametri quale tensione e corrente d'uscita i sistemi di controllo sono in grado di lavorare sul *Duty Cycle* nello *Switch* in modo da attuare correzioni.

La relazione che lega l'uscita al comando del MOS è la seguente:

$$H(s) = \frac{Vo(s)}{D(s)}$$

Per studiare le funzioni di trasferimento dei circuiti di potenza si utilizzano tecniche dette di *switching averaging*, i dati raccolti permettono la progettazione di circuiti di compensazione adeguati. Questa materia esula però dallo scopo dell'elaborato.

Nel nostro caso è sufficiente sapere che un circuito *Boost* in modalità *CCM*, presenta una funzione di trasferimento del tipo:

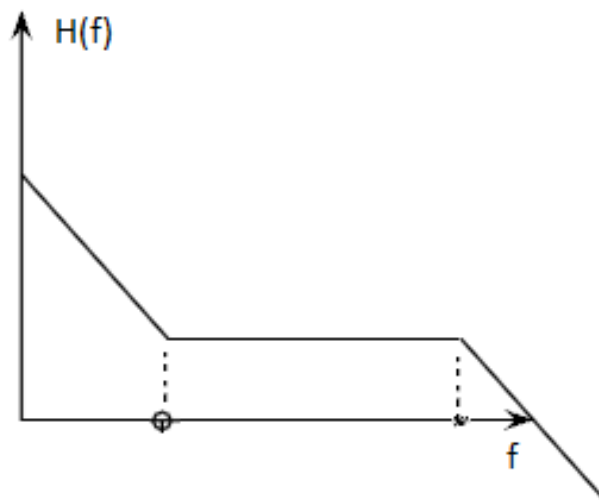


Figura 6.7: Funzione di trasferimento *Boost CCM*

Dove è evidente la presenza di due poli e uno zero. Vista la situazione non dovrebbero esserci problemi nel controllo ma lo zero indicato nel grafico esiste con parte reale positiva, quindi al posto di garantire un recupero di fase di 90° causa una perdita di -90° .

Questa condizione rende instabile il sistema con qualsiasi circuito di reazione ed è per questo motivo che solitamente i convertitori *Boost* non si utilizzano in modalità *DCM*.

6.4 Costruzione modelli di simulazione

Al fine di verificare la validità dei valori definiti per i componenti utilizzati per l'implementazione del convertitore *Boost* sono stati generati i modelli di matematici necessari per ottenere una simulazione dell'intero sistema.

Questo lavoro si è reso necessario visto che molti modelli di simulazione per componenti elettronici non sono disponibili o semplicemente non supportano il sistema *SPICE*.

Tra i sistemi sviluppati si trovano:

- *TPS2828*, Per simulare questo componente è stato sviluppato un modello basato su di un semplice interruttore pilotato da una tensione di ingresso ed una resistenza di *pull-up*. Essendo un driver di tipo invertente si è utilizzata una configurazione che prevede la connessione dell'interruttore tra massa e l'uscita e del resistore tra l'uscita e la tensione di alimentazione. Quando la tensione in ingresso supera la soglia di 1.5 V, l'interruttore commuta connettendo l'uscita alla massa. Avendo quindi l'ingresso a livello di 1 logico si ottiene un uscita a 0. Nel caso contrario con una tensione di ingresso inferiore a 0.5 V l'interruttore è aperto e l'uscita riceve la tensione di alimentazione attraverso la resistenza di *pull-up*. In questo caso avendo uno 0 logico in ingresso si ottiene un 1 in uscita. In seguito viene mostrata la netlist del modello (Figura 6.8) e lo schema elettrico equivalente (Figura 6.9).

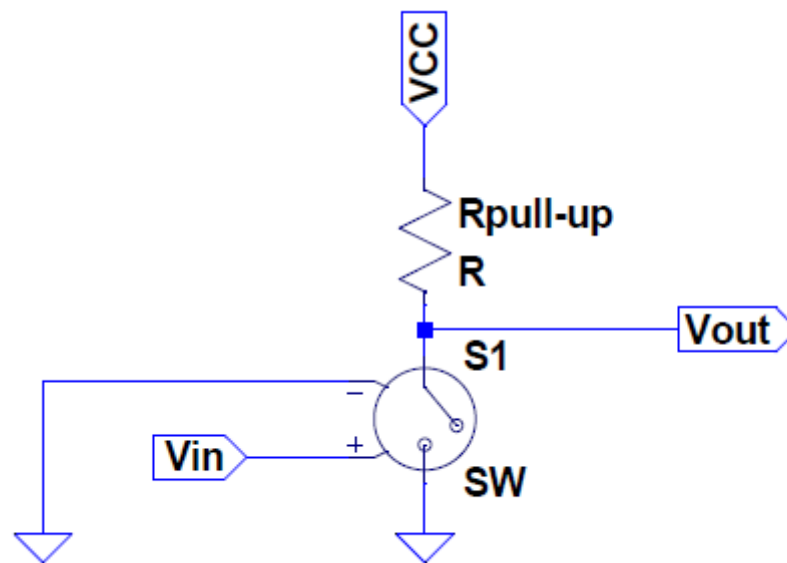
```

.SUBCKT TPS2828 UCC DGND IN OUT VDD
R1 UCC OUT 1
S0 OUT DGND IN DGND SMOD2

.ENDS

.MODEL SMOD2 SW (RON=0.01 ROFF=1MEG VH=0.5 VT=1.0)

```

Figura 6.8: Netlist modello *TPS2828*Figura 6.9: Schema elettrico equivalente *TPS2828*

- IND_real*, questo modello è stato sviluppato inserendo in serie ad un induttore ideale una resistenza che deve modellizzare una componente parassita. Si ottiene così il netlist che descrive un induttore reale. Questo approccio è stato utile per due motivi, il primo e più ovvio è dovuto alla necessità di poter valutare le perdite su un induttore dovute al flusso di corrente, il secondo invece deriva dalle difficoltà incontrate dal simulatore nel connettere una sorgente direttamente ad un induttore. Nella fase iniziale il software di simulazione calcola i bias points del circuito, se si presentano situazioni circuitali critiche come ad esempio un corto circuito ai capi di un generatore, vengono definiti parametri iniziali falsati che compromettono la simulazione.

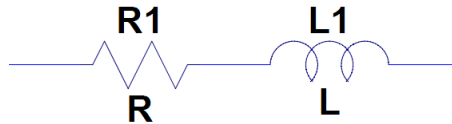
In seguito vengono mostrate netlist (Figura 6.10) ed equivalente elettrico del modello (Figura 6.11).

```

.SUBCKT IND_real 1 2
L1 1 3 10U
R1 3 2 87.5M
.ENDS

```

Figura 6.10: Netlist modello IND_real

Figura 6.11: Schema elettrico equivalente *IND_real*

Oltre alla definizione dell'induttore reale è stata inserita in fase di simulazione una resistenza serie alla sorgente in modo da ottenere nuovamente i benefici appena descritti.

- *MYOPAMP*, Durante le fasi di simulazione dei circuiti costituenti il satellite AraMiS vi è stata spesso la necessità di poter simulare qualche configurazione con un amplificatore operazionale che presentasse delle caratteristiche simili ad un amplificatore operazionale ideale. I parametri fondamentali per questo tipo di dispositivo sono i seguenti:

$$R_{in} \rightarrow \infty$$

$$G \rightarrow \infty$$

$$R_{out} \rightarrow 0$$

Dove G rappresenta il guadagno ad anello aperto del amplificatore operazionale.

Per realizzare il modello di simulazione di un oggetto che possa offrire prestazioni simili a quelle ottenute dal dispositivo ideale, si è studiato il modello interno di piccolo segnale di un amplificatore operazionale reale (Figura 6.13) realizzando la relativa *netlist* (Figura 6.12).

```

.subckt myopamp      in+   in-   vcc  vee  out
* input impedance
rin in+ in- 1000meg
* dc gain=1meg and pole1=100hz
* unity gain = dcgain x pole1 = 100Mhz
egain 33 vee in+ in- 1meg
rp1 33 4 1k
cp1 4 vee 1.5915uf
* output buffer and resistance
ebuffer 5 vee 4 vee 1
rout 5 out 10
* voltage limiting
dp 4 105 dlim
evp 105 106 vcc vee 1
voff_vp 106 vee dc -0.7v
*vp vcc 105 dc 3.3v
dn 104 4 dlim
*evn 104 107 vee 0 1
voff_vn 107 vee dc 0.7v
*vn 104 vee dc 0v
.model dlim d(is=1e-15)
.ends

```

Figura 6.12: Netlist modello MYOPMP

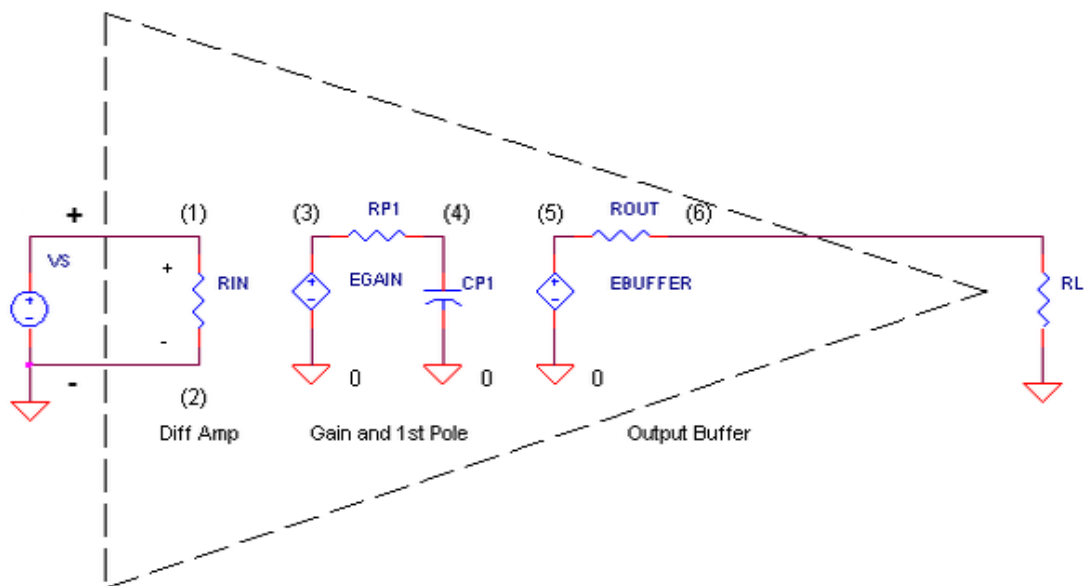


Figura 6.12: Equivalente elettric MYOPAMP

I valori utilizzati per la costruzione del modello di *MYOPAMP* cercano di avvicinarsi ai parametri ideali che però a livello simulativo non possono essere utilizzati.

$$R_{in} = 1G\Omega$$

$$G = 10^6$$

$$R_{out} \rightarrow 10\Omega$$

Il modello di simulazione prevede anche un meccanismo di limitazione della tensione d'uscita, in questo modo risulta possibile alimentare l'amplificatore operazionale con qualsiasi tensione e il modello sarà in grado di proporre valori in uscita adattati.

- *TL5001A*, più importante tra i modelli di simulazione sviluppati per il test del sistema *1B118 Battery Discharger*, rappresenta il sistema di gestione di tutta la rete di reazione del convertitore *Boost*.

Questo circuito integrato implementa le funzioni elementari di controllo dei convertitori *DC/DC*, esso infatti va a confrontare i segnali analogici in retroazione con una tensione di riferimento interna e con un onda triangolare attraverso dei comparatori di soglia. Da queste elaborazioni viene definito il segnale in modalità *Pulse Width Modulation (PWM)* utilizzato per pilotare il *MOSFET* utilizzato come interruttore.

Oltre a queste funzionalità di base il dispositivo permette un'ampia gamma di impostazioni supplementari quali regolazione del *Duty Cycle* massimo o possibilità di attivazione di sistemi di protezione del dispositivo (Figura 6.13).

Tutte queste opzioni non sono state introdotte all'interno del modello di simulazione sviluppato perché superflue, risultano essere molto importanti per il circuito reale. All'interno della netlist (Figura 6.14) si trovano soltanto i circuiti necessari per la generazione *PWM*, una resistenza per la simulazione del consumo di energia e il sistema per la limitazione del *Duty Cycle*.

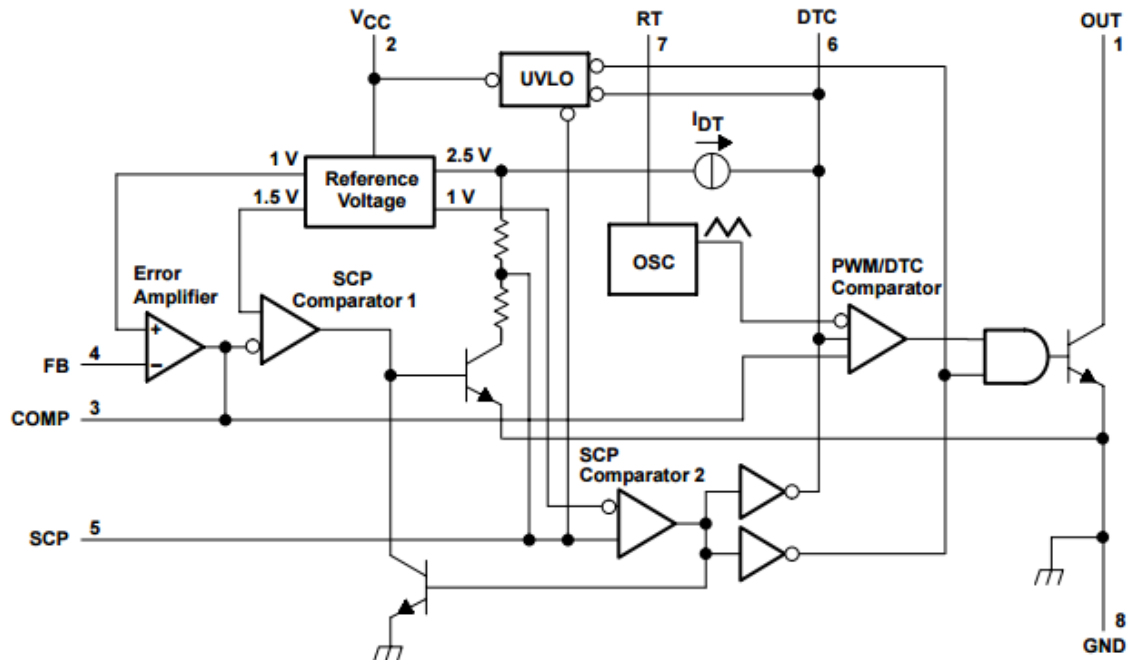


Figura 6.13: TL5001A circuito interno completo

```
.SUBCKT TL5001A UO UCC COMP FB SCP DTC RT DGND

*UO is the Output
*MYOPAMP pin order + - UCC USS out

X1 U1 FB VAL DGND COMP MYOPAMP
X2 COMP UOSC VAL DGND 2 MYOPAMP
U_DCVAL VAL DGND DC 3.3
U_DCU1 U1 DGND DC 1

SOUT_OC UO DGND 2 DGND SMOD
*R1 is placed to simulate power consumption

R1 UCC 0 4.000000K

*frequency of UVOSC is defined by the resistance between RT and GND
*see how to set the frequency on datasheet TL5001A
UVOSC UOSC 0 PULSE (0.7 1.3 0 1u 1u 0 2u)
.ENDS TL5001A

*.INCLUDE MYOPAMP.mod

.MODEL SMOD SW (RON=100 ROFF=1MEG VH=0.5 VT=1.0)
```

Figura 6.14: Netlist modello TL5001A

6.5 Simulazione

Viene proposto il risultato della simulazione in configurazione *Open Loop*, con un carico costante collegato all'uscita del convertitore tale da garantire l'assorbimento di circa 1 A (Figura 6.15).

Per permettere il corretto svolgimento della simulazione è stato inserito un generatore di tensione costante sul ramo di reazione, in questo modo l'integrato *TL5001A* è stato capace di generare un segnale ottimizzato per ottenere una tensione di uscita pari a:

$$V_o \approx 13.5V$$

Con i seguenti parametri circuitali impostati per la simulazione:

$$V_{in} = 7.2V$$

$$R_{in} = 500m\Omega$$

$$R_{out} = 13\Omega$$

Non è stato possibile verificare il funzionamento del circuito con un carico costante in configurazione *Closed Loop* a causa delle difficoltà riscontrate dal simulatore di *Mentor Graphics*. Infatti ogni volta che si è tentato di lanciare una simulazione ad anello chiuso si sono verificati errori di convergenza numerica.

Nonostante l'inserimento di modelli per la simulazione appositamente sviluppati non sono state simulabili alcune configurazioni circuitali come quella definita in precedenza. Anche cambiando tipo di simulatore, passando da *HyperLynx* a *LTSpice*, non si sono ottenuti risultati significativamente migliori.

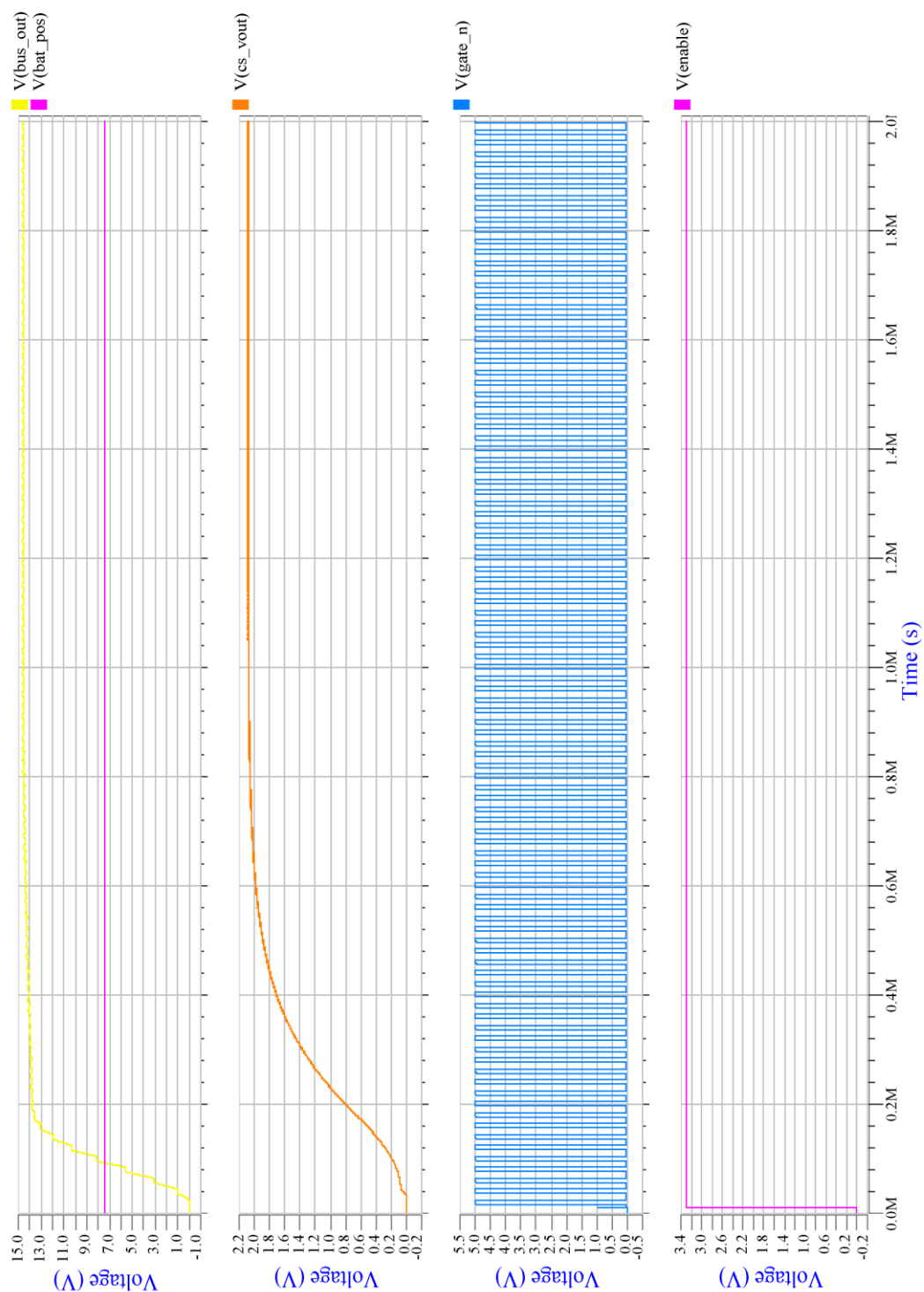


Figura 6.15: Grafici funzionamento 1B118 Battery Discharger configurazione Open Loop, carico collegato 13 Ω

Capitolo 7

1B118 Battery Discharger V2

In queste pagine vengono discusse le fasi per la definizione e la progettazione di una topologia alternativa a quella esistente per il blocco funzionale *1B118 Battery Discharger*.

Lo sviluppo della nuova soluzione ha seguito le specifiche utilizzate per tutto il sistema *AraMiS*, ovvero basso costo specifico con piccolo impatto sotto il punto di vista del peso e del volume occupato.

7.1 Topologie alternative

Valutata l'impossibilità di utilizzare un convertitore di tipo *Boost* con le modalità di controllo classiche si è ricercato un circuito alternativo che potesse sostituire la configurazione di base.

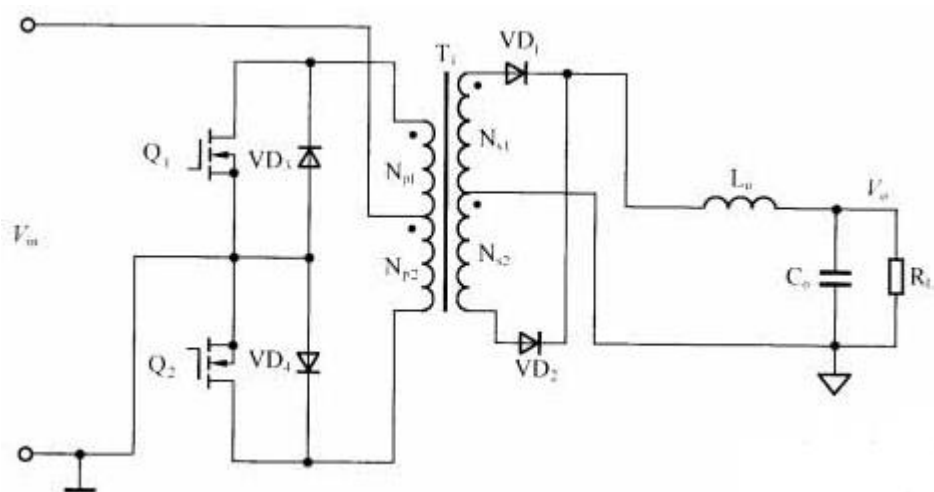


Figura 7.1: *Push Pull converter*

Lo studio ha portato all'individuazione di due topologie circuitali simili tra loro e completamente differenti da quella esistente per *1B118 Battery Discharger*.

Si tratta di circuiti derivati dalla configurazione *Buck* attraverso l'introduzione di un trasformatore, in particolare sono noti come convertitore *Push-Pull* (Figura 7.1) e convertitore *Forward* (Figura 7.2).

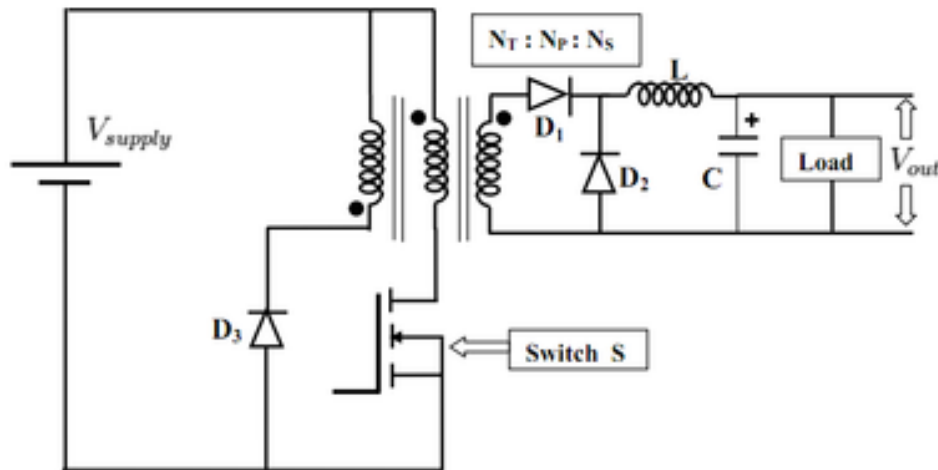


Figura 7.2: *Forward converter*

Questi due convertitori presentano due grandi vantaggi rispetto la topologia *Boost*, il primo è legato al fatto che attraverso l'inserimento di un trasformatore si introduce isolamento galvanico tra sorgente e carico, il secondo è che essendo entrambi i circuiti derivati dalla configurazione *Buck* si ha un sistema di controllo stabile sia in *CCM* che in *DCM* con l'uscita non dipendente dal carico.

La scelta di utilizzare una di queste soluzioni sembrerebbe ovvia ma sono apparse difficoltà non trascurabili che lo hanno impedito.

La questione verte essenzialmente sul dimensionamento del trasformatore, componente essenziale per entrambe le configurazioni. Esso infatti risulta essere sul mercato principalmente con soluzioni non ottimizzate sotto il punto di vista del peso e del volume.

Nemmeno i componenti per il montaggio superficiale garantiscono le condizioni definite in precedenza, fondamentali per la costruzione di una scheda elettronica costituente un nano satellite.

Per questo motivo si è cercata una soluzione più complessa che potesse soddisfare tutte le specifiche, non solo elettriche ma anche meccaniche.

L'utilizzo di una configurazione che utilizzi una topologia derivata non è completamente scartata ma viene antenuta come soluzione di emergenza.

7.2 Sviluppo controllo 1B118 Battery Discharger

Vista l'impossibilità di utilizzare topologie derivate si è deciso di cercare un sistema per sfruttare al meglio il sistema esistente.

Come dimostrato dalla simulazione finale del capitolo 6, la configurazione originale di *1B118 Battery Discharger* con opportuni accorgimenti sotto il punto di vista del controllo, può tranquillamente generare le tensioni e le correnti richieste dalle specifiche del modulo.

Si è deciso quindi un nuovo approccio al controllo del convertitore *Boost*, questo metodo prevede un controllo non solo sul *Duty Cycle* ma anche sulla frequenza di *switching* dell'interruttore.

L'idea alla base del sistema è quella di mantenere il convertitore in uno stato limite di funzionamento tra il *DCM* e il *CCM* a prescindere dal carico applicato.

Per essere più precisi si definisce una situazione in cui la corrente che scorre sull'induttore riesce ad annullarsi ma mantiene questa condizione per un tempo estremamente limitato. In letteratura questo sistema viene definito come *BcCM* (*Boundary condition Conduction Mode*)

Implementando un controllo capace di mantenere a prescindere questa condizione si ottengono diversi vantaggi, infatti non trovandosi mai in una condizione di *CCM* si evitano le problematiche legate al controllo dovute allo zero nel semipiano destro, mentre evitando il *DCM* non si incontra la dipendenza dal carico.

Risulta evidente come con questo sistema si abbia un circuito di potenza che lavora a frequenze molto diverse le une dalle altre e che sono di fatto difficilmente prevedibili dato che variano con il variare del carico.

Questa situazione porta all'irradiazione di campi elettromagnetici ad ampio spettro che in situazioni normali rappresenterebbero un grosso problema,

fortunatamente trovandosi nello spazio il satellite non deve soddisfare specifiche riguardanti la compatibilità elettromagnetica consentendo l'utilizzo del dispositivo.

Per sperimentare la soluzione circuitale (Figura 7.3) senza avere a disposizione un controllore adeguato, si è sviluppato un circuito costituito da comparatori di soglia e *SR-latch*.

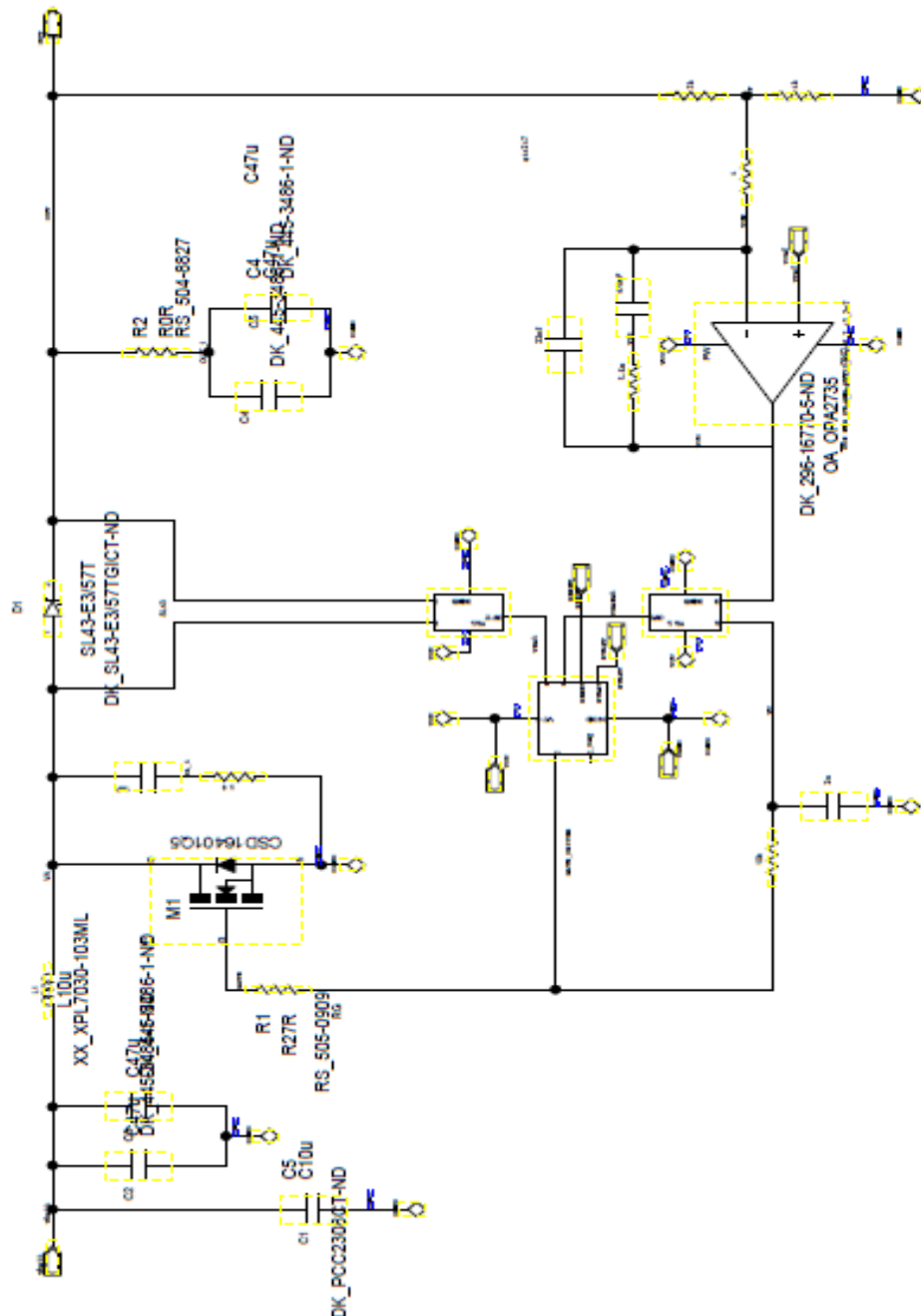


Figura 7.3: Circuito di test per *Boundary condition Conduction Mode*.

Attraverso un approccio sperimentale si sono definiti i parametri necessari per i componenti in modo da garantire il valore di tensione richiesto in uscita.

Il processo decisionale del controllore è molto semplice e segue un flusso ben definito. Un oscillatore di tipo *RC* va a definire la frequenza di funzionamento del circuito agendo su un comparatore di soglia che confronta i valori di tensione presente ai capi del condensatore con quelli provenienti dal ramo di reazione collegato sull'uscita del convertitore.

L'uscita di questo primo convertitore si presenta all'ingresso di *Reset* del *SR-latch*. Un secondo comparatore di soglia invece è stato posizionato sul diodo di ricircolo del *Boost*, con il compito di verificare quando:

$$V_{\gamma} = 0$$

durante la fase di *Toff* dello *switch*. Questo sistema permette di cogliere l'istante in cui la corrente sul diodo si annulla e se la corrente sul diodo risulta essere uguale a zero lo è anche quella che scorre sull'induttore.

Verificatasi la condizione avviene la commutazione dell'uscita del comparatore di soglia che è a sua volta collegata con il pin di *Set* del *latch*.

Si giunge ora alla definizione del lavoro svolto dal *SR-latch*, il quale grazie alla configurazione circuitale adottata svolge le seguenti operazioni:

- Se il convertitore si trova in un punto stabile si limita a gestire la commutazione del *MOSFET* utilizzato come interruttore nel momento in cui il comparatore di soglia utilizzato per il controllo del diodo non segnala l'avvenuto annullamento della corrente. Il tutto avviene con una frequenza definita dal circuito *RC* descritto in precedenza.
- Se il convertitore deve affrontare una transizione dovuta ad esempio all'accensione o alla variazione del carico, il ramo dominante diventa quello controllato dal comparatore di soglia che lavora sul *feedback* e sull'oscillatore. La frequenza viene determinata dall'uscita dell'integratore presente sul ramo di reazione che cambiando i valori di tensione generata modifica anche i valori delle soglie del comparatore.

Per dimostrare la bontà del sistema è stata sviluppata una simulazione che rappresenta l'accensione del convertitore con un carico aggangiato di circa 10Ω (Figura 7.4).

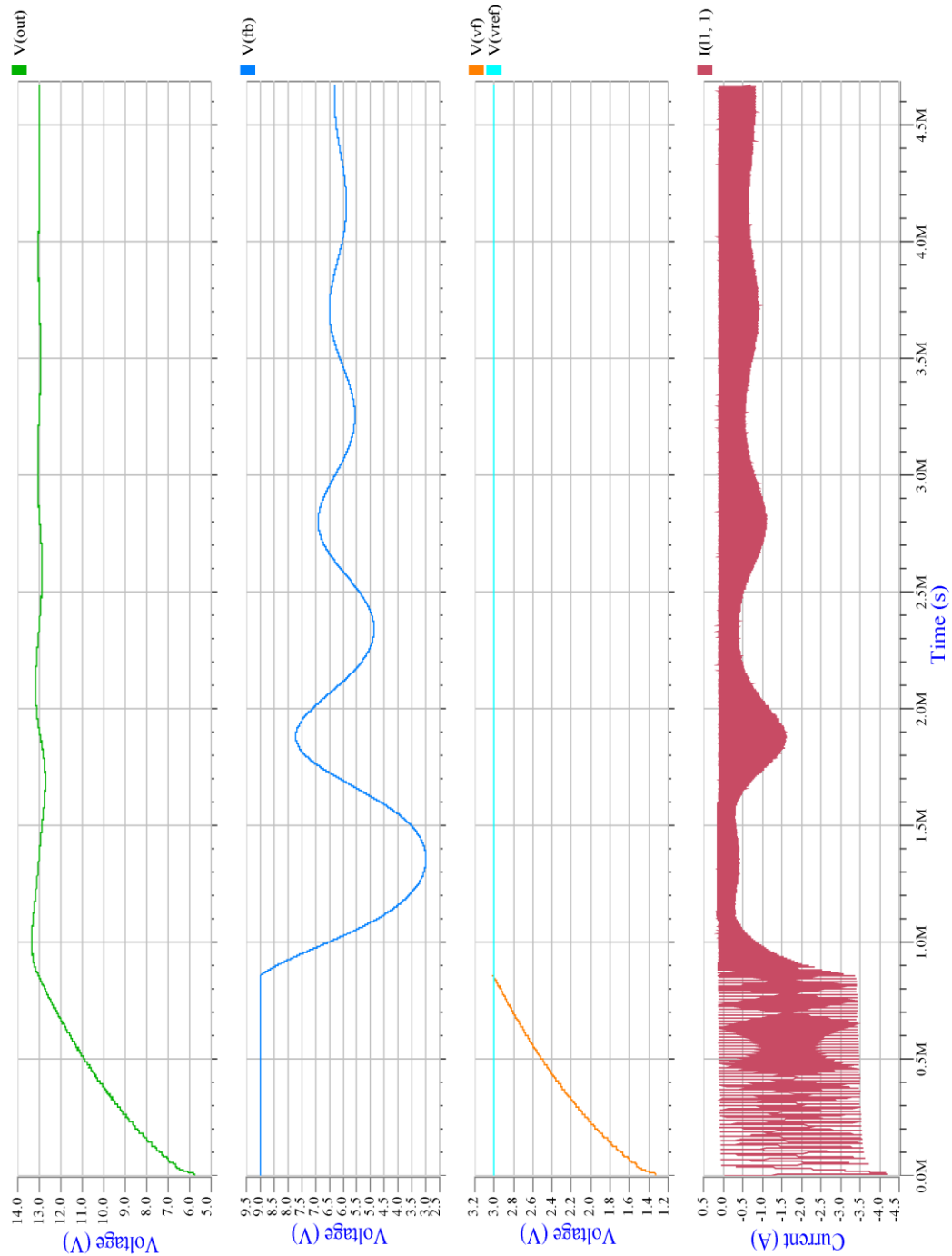


Figura 7.4: Simulazione in BcCM

7.3 Modelli sviluppati

Al fine di simulare il circuito mostrato nelle pagine precedenti si è reso necessario lo sviluppo di modelli dedicati per alcuni componenti.

In particolare è stato utilizzato il modello di *MYOPAMP* per gli amplificatori operazionali costituenti i comparatori di soglia, la descrizione non viene ripetuta perché già presente nel capitolo precedente, viene mostrato il circuito interno costituente il comparatore (Figura 7.5).

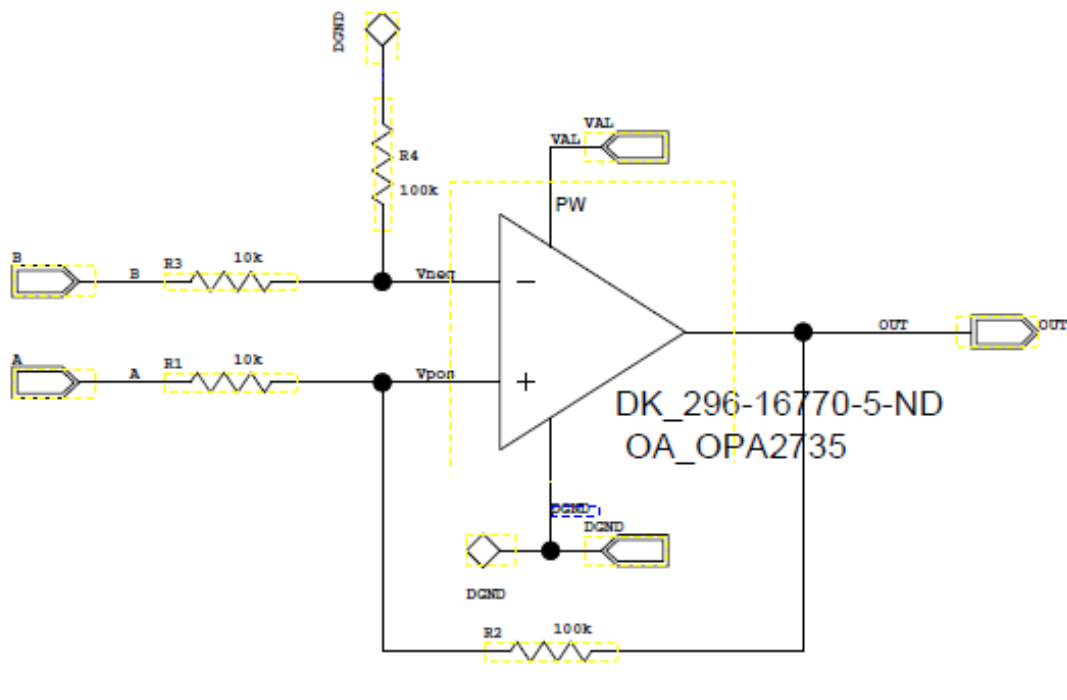


Figura 7.5: Comparatore di soglia

Una situazione più complessa si è invece verificata con il *SR-latch*, questo dispositivo infatti non è presente all'interno delle librerie di *Mentor* nemmeno in chiave di utilizzo generica.

Si è quindi sviluppata la netlist (Figura 7.6) delle porte logiche interne attraverso il posizionamento di interruttori pilotati in tensione, opportunamente posizionati in modo da rispettare le tabelle di verità di ogni componente.

```

X1I49 S Q UCC DGND Q_neg NOR
X1I67 Q_neg R START UCC DGND Q NOR_3_INPUT
* Dictionary 0
*Warning : No ground node (Label a net GND)

.include "..\..\sym\NOR.mod"
.include "..\..\sym\NOR_3_INPUT.mod"

```

Figura 7.6: Netlist semplificata SR-latch

Per lo sviluppo del modello globale si sono incontrate particolari difficoltà legate al fatto che il simulatore non è capace di gestire i nodi interni di un circuito digitale.

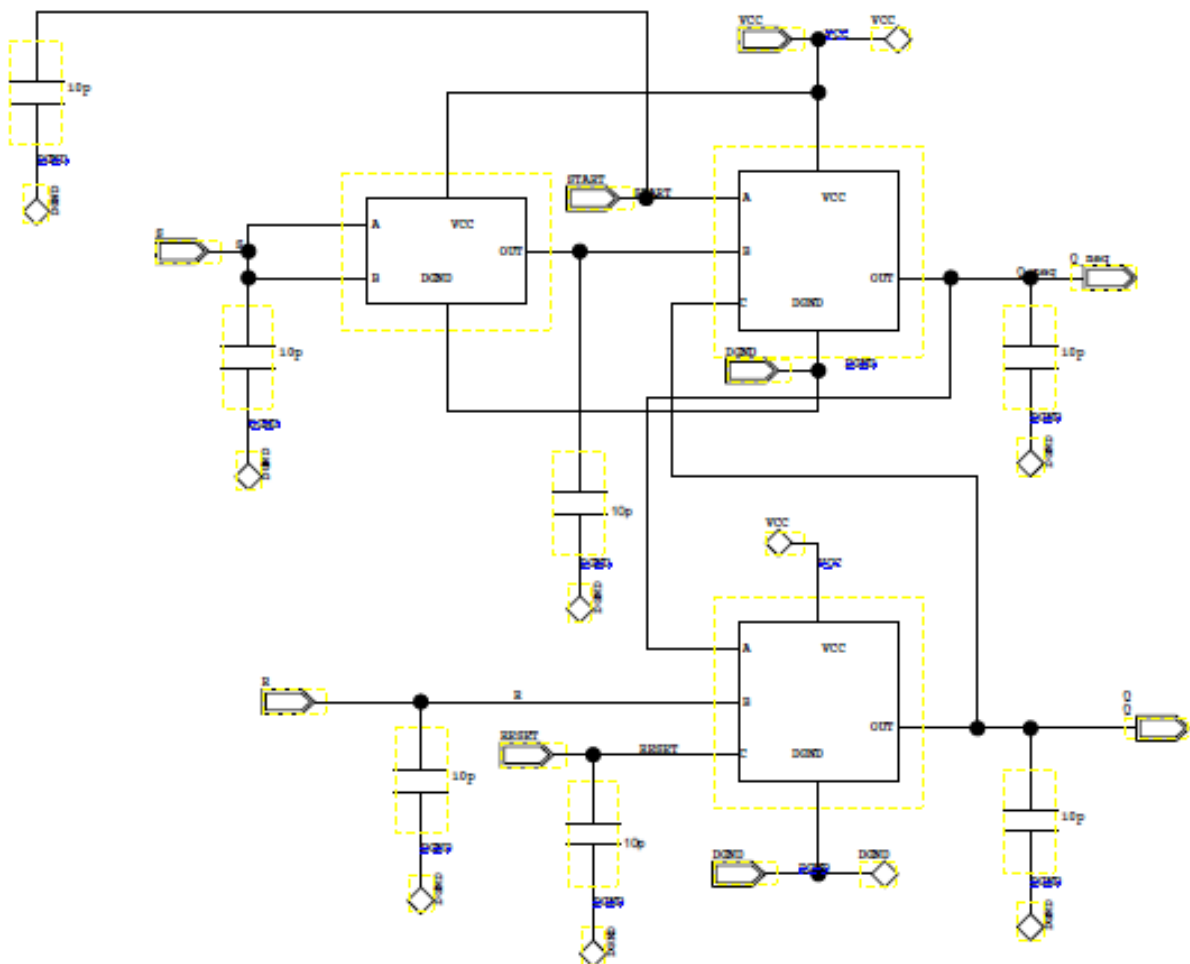


Figura 7.7: Schema elettrico interno SR-latch

Questi nodi infatti durante l'analisi preliminare del simulatore risultano essere sprovvisti di una condizione iniziale, fondamentale per definire i *bias point* del circuito. Con questa situazione si sono spesso incontrati errore di convergenza numerica durante la *DC analysis*.

Per ovviare a questo problema sono state introdotte capacità su ogni nodo interno del *SR-latch* (Figura 7.7). Introducendo questi elementi con memoria risulta possibile definire condizioni iniziali e quindi procedere con la simulazione.

7.4 1B118 Battery Discharger V2

Terminata la fase di valutazione teorica riguardante l'effettiva bontà del controllo *BcCM* si è deciso di svolgere un'approfondita ricerca per verificare se effettivamente non esistessero controllori integrati validi a sostituire tutto il complesso circuitale teorico.

Questo per garantire una maggiore affidabilità all'intero convertitore e per miniaturizzare il dispositivo, evitando di inserire su circuito stampato una moltitudine di componenti.

Fortunatamente è stato individuato il componente *NCP1607* che corrisponde esattamente ad un controllore per convertitori *Boost* in *BcCM* (Figura 7.8).

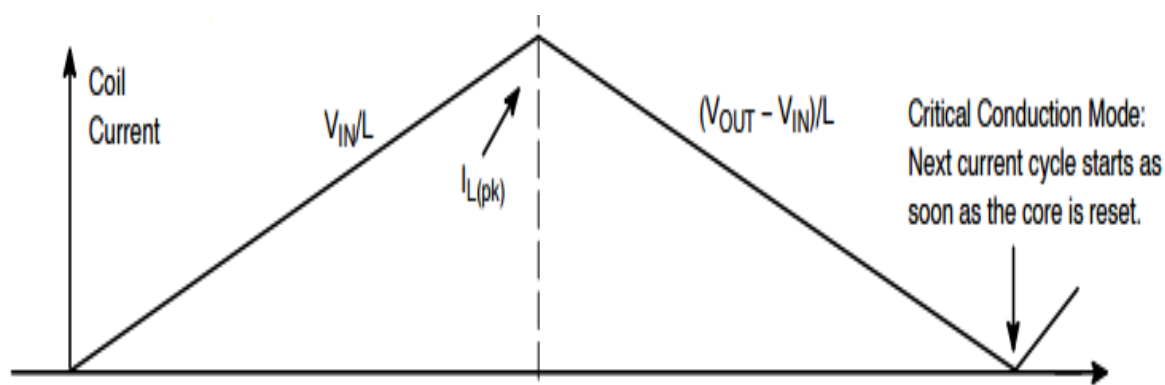


Figura 7.8: Funzionamento in *BcCM* del componente *NCP1607*

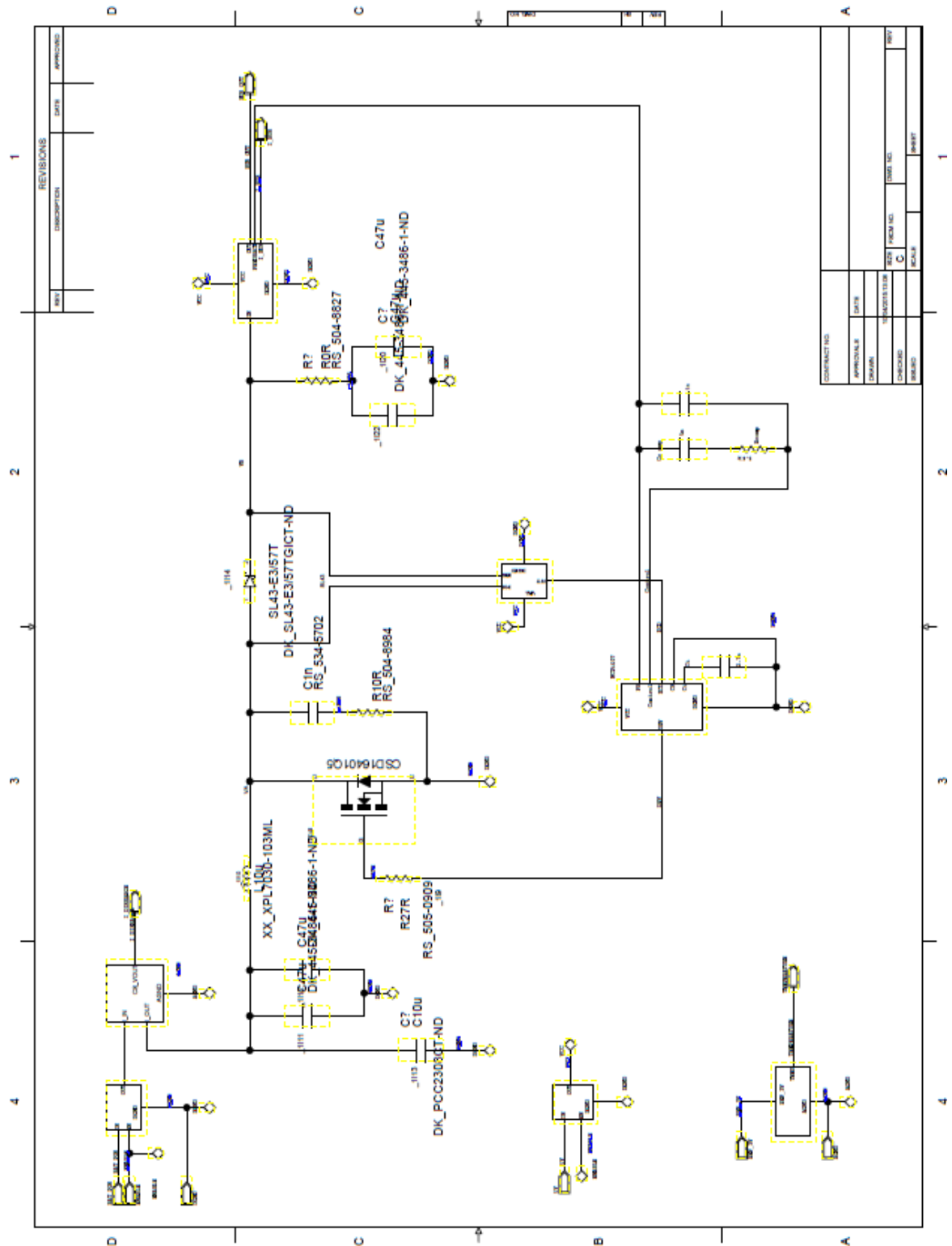


Figura 7.9: Schema elettrico *1B118 Battery Discharger V2*

Per evitare di aggiungere peso eccessivo, viste le specifiche già discusse in precedenza, si è preferito evitare l'inserimento del nucleo magnetico e si è utilizzato il sistema adottato per la definizione del modello teorico. Infatti si è posizionato un compartore di soglia sul diodo di ricircolo del convertitore *Boost*, proprio come nel circuito mostrato in precedenza.

Attraverso questa operazione e mantenendo tutti i blocchi di supporto, quali sensori di temperatura, corrente e tensione, si giunge alla definizione del nuovo schema elettrico per il blocco *1B118 Battery Discharger* (Figura 7.9).

7.5 Rete di reazione

Una funzione molto importante viene svolta dalla rete di compensazione posizionata tra l'uscita del convertitore *Boost* e l'integrato con funzione di controllo.

Il circuito ha il compito di far assestare il comportamento del convertitore *DC/DC* alle specifiche definite per il *Power Distribution Bus* nei capitoli precedenti. In particolare veniva richiesta un'uscita differenziale per il modulo predisposto alla scarica delle batterie pari a $dV/dI = -1\Omega$.

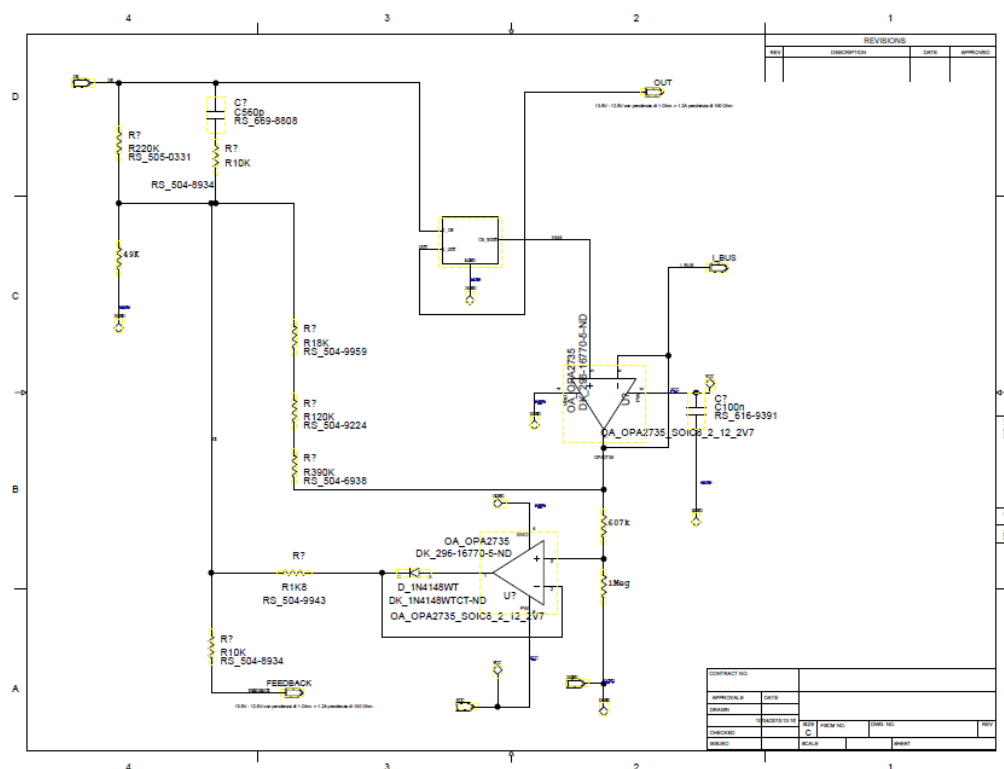


Figura 7.10: Rete analogica di reazione

Per implementare queste specifiche, è stata costruita una rete analogica (Figura 7.10) con il compito di fornire una tensione sul nodo di reazione del controllore tale da essere paragonabile alla riferimento interno del dispositivo stesso.

La rete in esame fornisce livelli di tensione diversi a seconda della regione di funzionamento del convertitore, se ad esempio dal carico viene richiesta una corrente di 1 A a 13.5 V, la rete farà in modo che questo non avvenga, seguendo le specifiche definite in precedenza. Verrà quindi garantita una caratteristica di uscita del tipo (Figura 7.11).

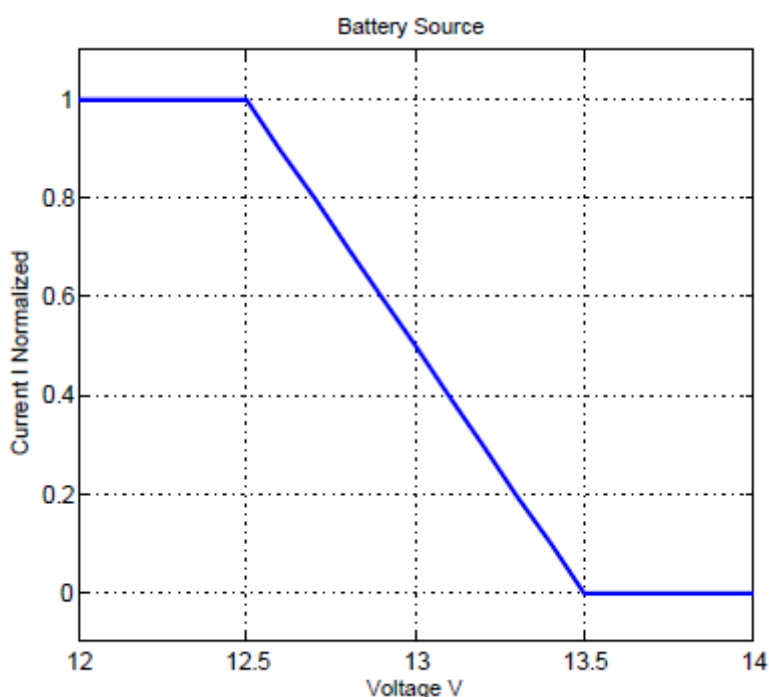


Figura 7.11: Caratteristica d'uscita garantita dalla rete di reazione

Considerato che la tensione di riferimento interna all'integrato *NCP1607* risulta essere pari a 2.5V, occorre adattare il circuito di compensazione in modo che mantenga questo valore di tensione fino a quando non si deve garantire la caratteristica mostrata in precedenza.

Per comprendere al meglio il funzionamento della rete bisogna dividere il circuito in due zone di lavoro e quindi studiarne le equazioni caratteristiche. La discriminante è rappresentata dal funzionamento del diodo collegato sull'uscita del secondo amplificatore operazionale, verrà considerato in un caso interdetto e in un altro in conduzione.

Viene definita V_a la tensione presente sul nodo chiamato “*Feedback*”.

Considerando il diodo interdetto:

$$V_a = \frac{\frac{V_o + R_s I_o}{R_2} + \frac{I_o K_i}{R_5}}{\frac{1}{R_2} + \frac{1}{R_5} + \frac{1}{R_{14}}} = 2.5V$$

Ipotizzando:

$$\begin{cases} V_o = 12.5V \\ I_o = 1A \\ R_s = 0.1\Omega \\ K_i = 4\Omega \\ R_2 = 220k\Omega \\ R_5 = 528k\Omega \end{cases}$$

Si calcola:

$$R_{14} = 49k\Omega$$

Lavorando invece con il diodo in conduzione si ottiene:

$$V_a = \frac{\frac{V_o + R_s I_o}{R_2} + \frac{I_o K_i}{R_5} + \frac{R_9}{R_9 + R_8} * \frac{I_o K_i}{R_{11}}}{\frac{1}{R_2} + \frac{1}{R_5} + \frac{1}{R_{14}} + \frac{1}{R_{11}}} = 2.5V$$

Risulta evidente che in questo caso lo studio effettuato secondo il metodo di *Millman* sia più complesso vista la presenza di un ramo in più, cosa permessa dal diodo in conduzione.

Ipotizzando le medesime condizioni del caso precedente si ottengono i seguenti risultati:

$$\begin{cases} R8 = 600k\Omega \\ R9 = 1M\Omega \\ R11 = 1.8k\Omega \end{cases}$$

Definite le componenti circuitali non resta che utilizzarle a livello di scheda reale per ottenere il controllo desiderato.

Capitolo 8

1B11XBM Battery Management System

Nell'ultimo capitolo di questo elaborato viene descritto il circuito finale *1B11XBM* (Figura 8.1) ottenuto dalla composizione di tutti i blocchi precedentemente trattati, considerando ogni elemento come un *Reusable Block*, definendo il loro *PinOut* e assegnando le connessioni tra un attore e l'altro.

Questo sistema implementa tutte le funzionalità dei sottocircuiti e tramite lo sviluppo di un apposito software di gestione è in grado di controllare ogni processo riguardante la potenza sul satellite *AraMiS*.

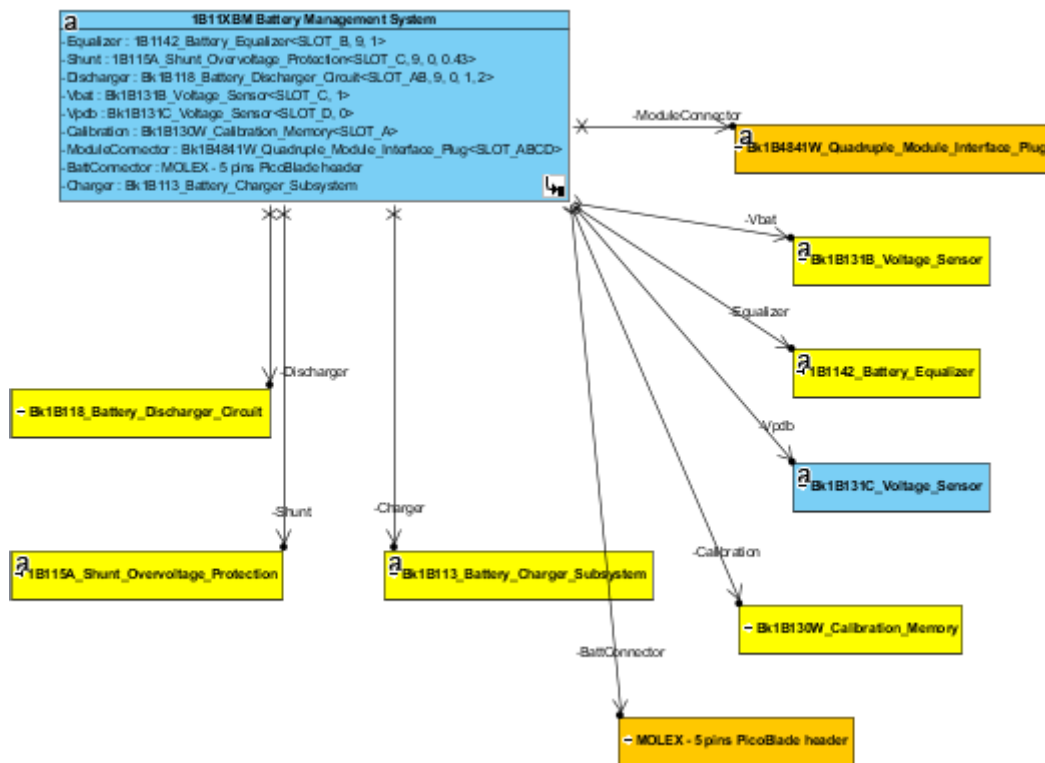


Figura 8.1: Class Diagram 1B11XBM Battery Management System

8.1 Reusable Blocks

In questo paragrafo vengono illustrati i blocchi circuitali utilizzati ed i pin necessari per la loro corretta connessione.

Una particolare strategia adottata nel progetto *AraMiS* consiste nel mantenere, per quanto possibile, lo stesso numero di pin tra una versione di un blocco riutilizzabile e la successiva. In questo modo una volta fatta l'assegnazione dei segnali di controllo sarà sufficiente eseguire la sostituzione dei blocchi nello schema elettrico di livello superiore.

In seguito vengono descritti i blocchi e i relativi pin:

- *1B113 Battery Charger* (Figura 8.2) e lista pin (Tabella 8.1)

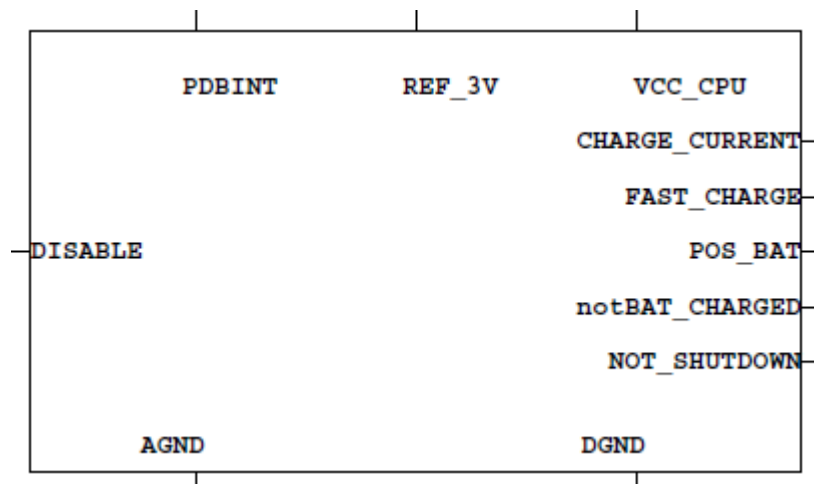


Figura 8.2: Simbolo *Reusable Block 1B113 Battery Charger*

Pin name	Pin type
PDBINT	Power I/O
VCC_CPU	Power IN
REF_3V	Power IN
notBAT_CHARGED	Digital IN
FAST_CHARGE	Digital IN
NOT_SHUTDOWN	Digital IN
CHARGE_CURRENT	Analog OUT
DISABLE	Digital IN
POS_BAT	Power OUT
AGND	Analog OUT
DGND	Digital OUT

Tabella 8.1: Lista pin *1B113 Battery Charger*

- *1B1142 Battery Equalizer* (Figura 8.3) e lista pin (Tabella 8.2)

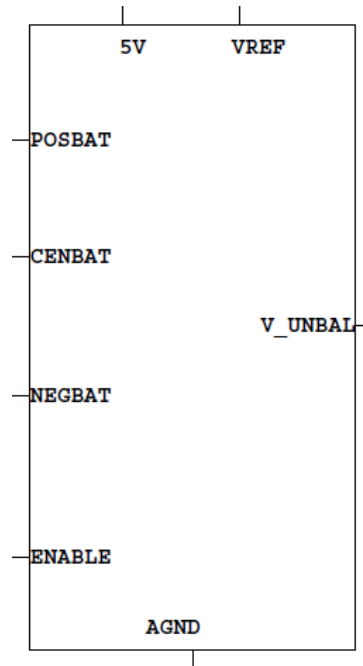


Figura 8.3: Simbolo *Reusable Block 1B1142 Battery Equalizer*

Pin name	Pin type
5V	Power IN
VREF	Power IN
POSBAT	Power I/O
CENBAT	Power I/O
NEGBAT	Power I/O
ENABLE	Digital IN
V_UNBAL	Analog OUT
AGND	Analog OUT

Tabella 8.2: Lista pin *1B1142 Battery Equalizer*

- *1B115 Shunt Overvoltage Protection* (Figura 8.4) e lista pin (Tabella 8.3)

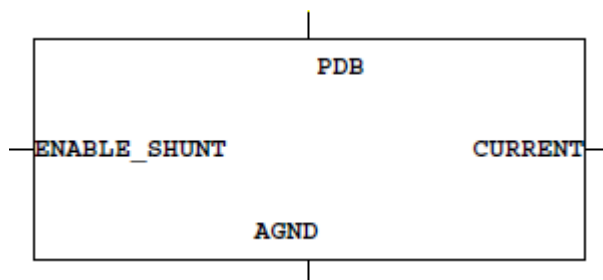


Figura 8.4: Simbolo *Reusable Block 1B115 Shunt Overvoltage Protection*

Pin name	Pin type
PDB	Power IN
ENABLE_SHUNT	Digital IN
CURRENT	Analog OUT
AGND	Analog OUT

Tabella 8.3: Lista pin *1B115A Shunt Overvoltage Protection*

- *1B118 Battery Discharger* (Figura 8.5) e lista pin (Tabella 8.4)

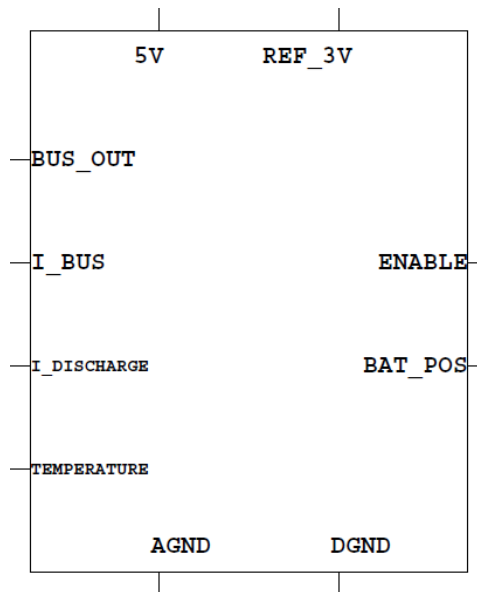


Figura 8.5: Simbolo *Reusable Block 1B118 Battery Discharger*

Pin name	Pin type
BUS_OUT	Power OUT
REF_3V	Power IN
5V	Power IN
I_BUS	Analog OUT
TEMPERATURE	Analog OUT
I_DISCHARGE	Analog OUT
ENABLE	Digital IN
BAT_POS	Power IN
AGND	Analog OUT
DGND	Digital OUT

Tabella 8.4: Lista pin *1B118 Battery Discharger*

- *1B131B Voltage Sensor* (Figura 8.6) e lista pin (Tabella 8.5)

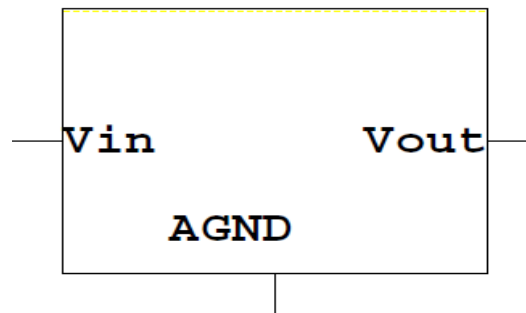


Figura 8.6: Simbolo *Reusable Block 1B131B Voltage Sensor*

Vin	Power IN
Vout	Analog OUT
AGND	Analog OUT

Tabella 8.5: Lista pin *1B131B Voltage Sensor*

- *1B131C Voltage Sensor* (Figura 8.7) e lista pin (Tabella 8.6)

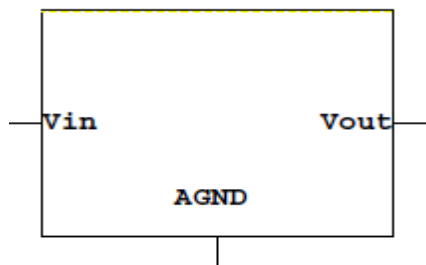


Figura 8.7: Simbolo *Reusable Block 1B131C Voltage Sensor*

Pin name	Pin type
Vin	Power IN
Vout	Analog OUT
AGND	Analog OUT

Tabella 8.6: Lista pin *1B131C Voltage Sensor*

- *1B4841W Quadruple Module Interface* (Figura 8.8) e lista pin (Tabella 8.7)

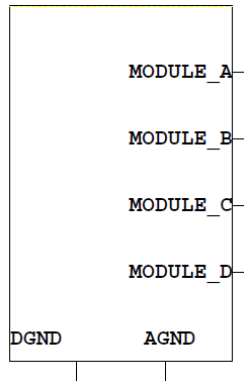


Figura 8.8: Simbolo *Reusable Block 1B4841W Quadruple Module Interface*

Pin name	Pin type
MODULE A	BUS
MODULE B	BUS
MODULE C	BUS
MODULE D	BUS
AGND	Analog OUT
DGND	Digital OUT

Tabella 8.7: Lista pin *1B4841W Quadruple Module Interface*

- *1B130W Calibration Memory* (Figura 8.9) e lista pin (Tabella 8.8)

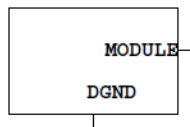


Figura 8.9: Simbolo *Reusable Block 1B130W Calibration Memory*

1b130W

Pin name	Pin type
MODULE	Digital I/O
DGND	Digital OUT

Tabella 8.8: Lista pin *1B130W Calibration Memory*

8.2 1B11XBM Battery Management Subsystem circuito finale

In questo paragrafo vengono definite le connessioni tra i blocchi circuitali appena descritti e i bus dati e di potenza dei moduli appartenenti al blocco *1B4841W Quadruple Module Interface*.

L'assegnazione di ogni pin dei blocchi ai canali, siano essi digitali, analogici o di potenza ha tentato di rispettare due fondamentali principi, il primo secondo cui tutti i pin di un blocco devono essere mantenuti su un unico modulo, il secondo che ad ogni pin di un blocco corrisponda un solo canale.

Definite le specifiche si è definita l'assegnazione seguendo le seguenti tabelle:

bk1b118	expected module: A	expected module: B
PIN	MODULE_A	MODULE_B
PDB	BUS_OUT	free
5V	5V	free
3V3	free	free
REF	REF_3V	free
D0_RX_SOMI	free	free
D1_TX_SIMO	free	free
D2_SCL_SOMI	free	free
D3_SDA_SIMO	free	free
D4_CLK	free	free
D5_PWM	free	free
D6_A0	I_BUS	TEMPERATURE
D7_A1	I_DISCHARGE	free
D8_ID	free	free
D9_EN_PWM2	ENABLE	free
EXT[1:2]	free	free

Tabella 8.9: *1B118 Battery Discharger*

bk1b1142	expected module: B
PIN	MODULE
PDB	free
5V	5V
3V3	free
REF	VREF
D0_RX_SOMI	free
D1_TX_SIMO	free
D2_SCL_SOMI	free
D3_SDA_SIMO	free
D4_CLK	free
D5_PWM	free
D6_A0	free
D7_A1	V_UNBAL
D8_ID	free
D9_EN_PWM2	ENABLE
EXT[1:2]	free

Tabella 8.10: 1B1142 Battery Equalizer

bk1b115A	expected module: C
PIN	MODULE
PDB	PDB
5V	free
3V3	free
REF	free
D0_RX_SOMI	free
D1_TX_SIMO	free
D2_SCL_SOMI	free
D3_SDA_SIMO	free
D4_CLK	free
D5_PWM	free
D6_A0	CURRENT
D7_A1	free
D8_ID	free
D9_EN_PWM2	ENABLE_SHUNT
EXT[1:2]	free

Tabella 8.11: 1B115A Shunt Overvoltage Protection

bk1b131B	expected module: C
PIN	MODULE
PDB	free
5V	free
3V3	free
REF	free
D0_RX_SOMI	free
D1_TX_SIMO	free
D2_SCL_SOMI	free
D3_SDA_SIMO	free
D4_CLK	free
D5_PWM	free
D6_A0	free
D7_A1	VOUT
D8_ID	free
D9_EN_PWM2	free
EXT[1:2]	free

Tabella 8.12: *1B131B Voltage Sensor*

bk1b131C	expected module: D
PIN	MODULE
PDB	VIN
5V	free
3V3	free
REF	free
D0_RX_SOMI	free
D1_TX_SIMO	free
D2_SCL_SOMI	free
D3_SDA_SIMO	free
D4_CLK	free
D5_PWM	free
D6_A0	VOUT
D7_A1	free
D8_ID	free
D9_EN_PWM2	free
EXT[1:2]	free

Tabella 8.13: *1B131C Voltage Sensor*

bk1b113	expected module: D
PIN	MODULE
PDB	PDBINT
5V	VCC_CPU
3V3	free
REF	REF_3V
D0_RX_SOMI	notBAT_CHARGED
D1_TX_SIMO	FAST_CHARGE
D2_SCL_SOMI	NOT_SHUTDOWN
D3_SDA_SIMO	free
D4_CLK	free
D5_PWM	free
D6_A0	free
D7_A1	CHARGE_CURRENT
D8_ID	free
D9_EN_PWM2	DISABLE
EXT[1:2]	free

Tabella 8.14: 1B113 Battery Charger

bk1b130W	expected module: A
PIN	MODULE
PDB	free
5V	free
3V3	free
REF	free
D0_RX_SOMI	free
D1_TX_SIMO	free
D2_SCL_SOMI	free
D3_SDA_SIMO	free
D4_CLK	free
D5_PWM	free
D6_A0	free
D7_A1	free
D8_ID	DATA
D9_EN_PWM2	free
EXT[1:2]	free

Tabella 8.15: 1B130W Calibration Memory

Illustrati i singoli elementi, si può definire una tabella globale contenente tutte le connessioni presenti in *1B11XBM Battery Management System* (Tabella 8.16).

Bisogna tenere presente che se si volesse introdurre del nuovo *hardware* servirà rispettare la tabella seguente per occupare solo i canali liberi.

Table with all connections using 1B4841W				
PIN	MODULE_A	MODULE_B	MODULE_C	MODULE_D
PDB	bk1b118	free	bk1b115A	bk1b131C/bk1b113
5V	bk1b118	bk1b1142	free	bk1b113
3V3	free	free	free	free
REF	bk1b118	bk1b1142	free	bk1b113
D0_RX_SOMI	free	free	free	bk1b113
D1_TX_SIMO	free	free	free	bk1b113
D2_SCL_SOMI	free	free	free	bk1b113
D3_SDA_SIMO	free	free	free	free
D4_CLK	free	free	free	free
D5_PWM	free	free	free	free
D6_A0	bk1b118	bk1b118	bk1b115A	bk1b131C
D7_A1	bk1b118	bk1b1142	bk1b131B	bk1b113
D8_ID	free	free	free	free
D9_EN_PWM2	bk1b118	bk1b1142	bk1b115A	bk1b113
EXT[1:2]	free	free	free	free

Tabella 8.16: Tabella complessiva connessioni *1B11XBM Battery Management System*

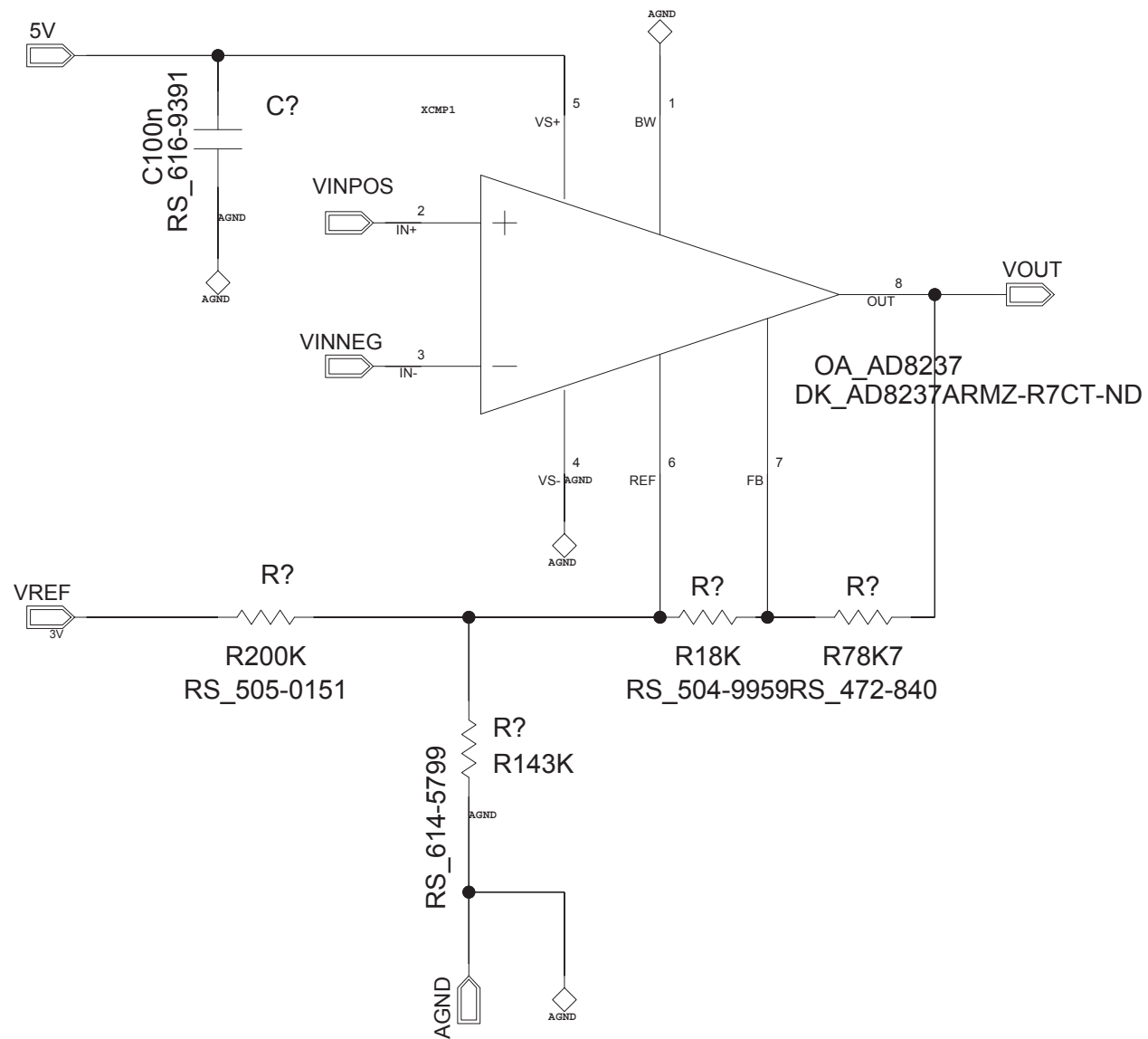
Avendo a disposizione tutte le specifiche si giunge alla definizione del circuito finale (Figura 8.10).

Lo schema elettrico illustrato rappresenta la configurazione finale ad alto livello per il sistema di gestione della potenza per il satellite *AraMiS*, alcuni di questi blocchi non sono ancora stati definiti a basso livello in modo completo, è il caso di *1B113 Battery Charger*.

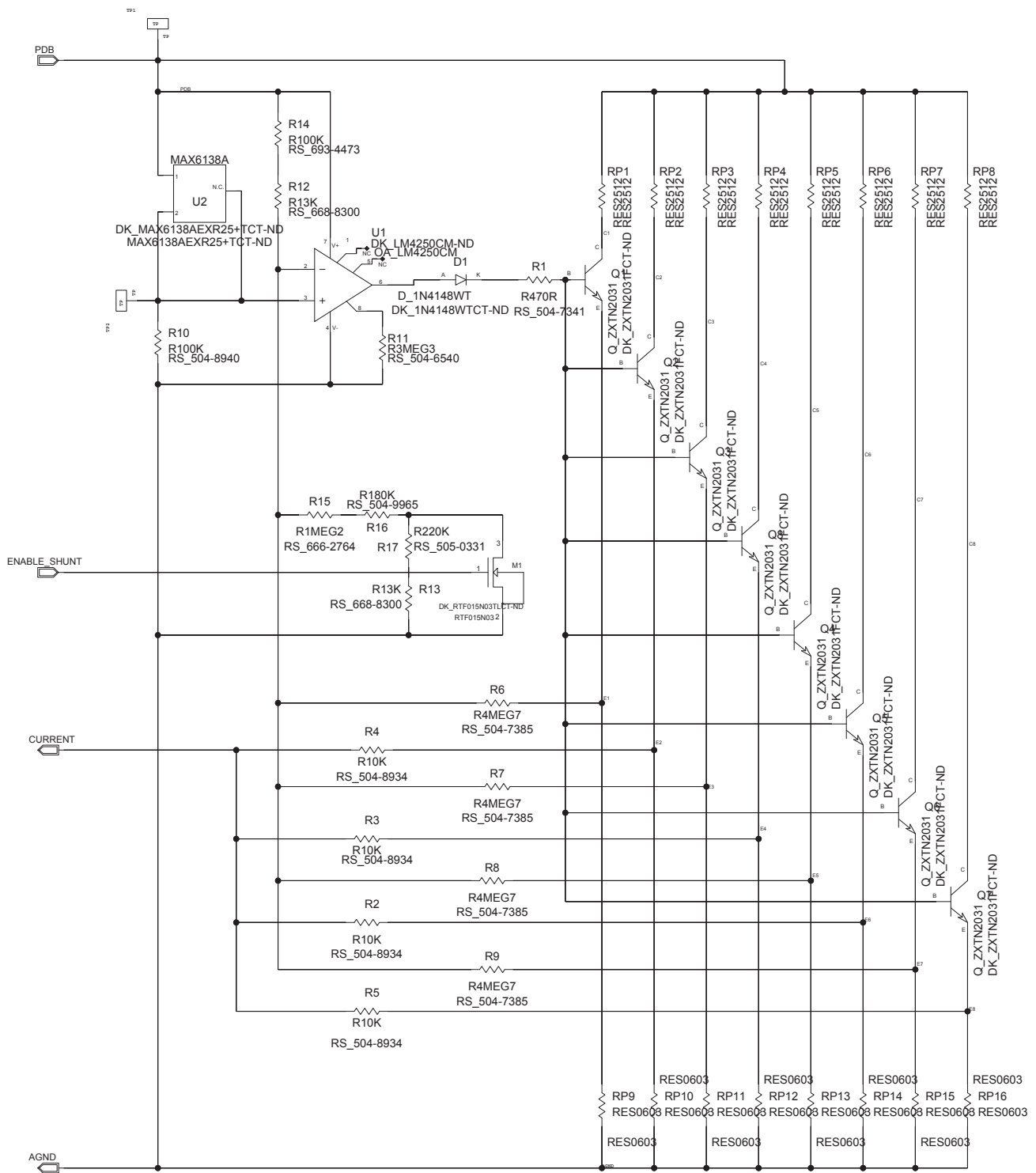
Nel momento in cui tutte le configurazioni *hardware* saranno definite, sarà possibile arrivare alla progettazione e alla costruzione del circuito stampato prima e in seguito della scheda vera e propria.







REVISIONS			
REV	DESCRIPTION	DATE	APPROVED



CONTRACT NO.		Schematic: 18115A_Shunt_Overvoltage_Protection Root: Bk18115XAM_Partial_Power_Management		
APPROVALS	DATE	Project name: Bk18115XAM_Partial_Power_Management		
DRAWN	18/02/2015:11:20	Lib: R:\AraMIS_Mentor_Lib\AraMIS_Mentor_Lib.Inc		
CHECKED	18/02/2015:11:20	SIZE	FSCM NO.	DWG. NO.
ISSUED		SCALE		SHEET



4

3

2

1

D

D

C

C

B

B

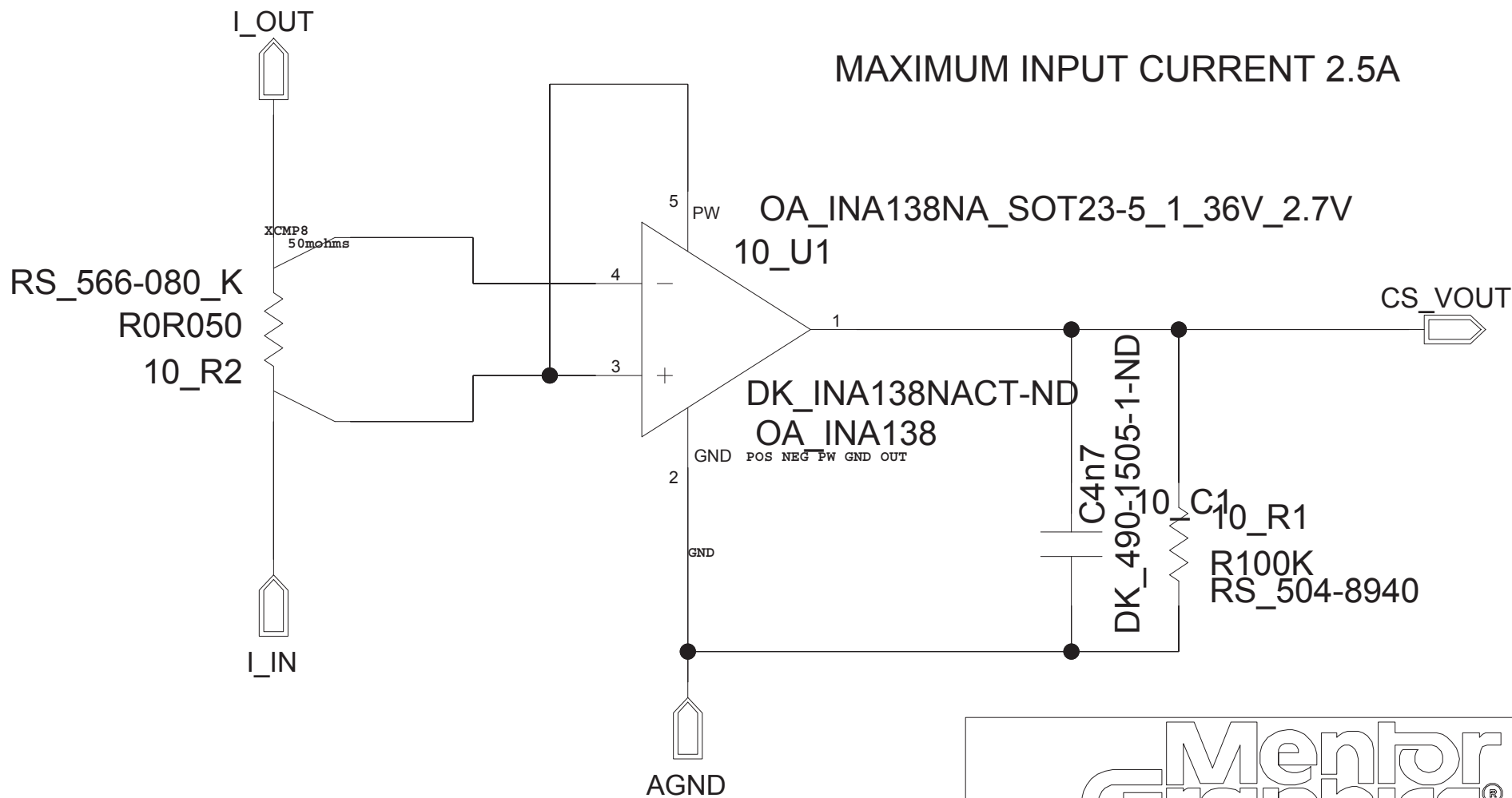
A

4

3

2

1



Mentor
Graphics®

TITLE			
Bk1B132C_Current_Sensor_V1_A			
SIZE	DWG NO		REV
A4			
SCALE	SHEET of 1 16/02/2015:11:19		

DRAWN BY

SCALE

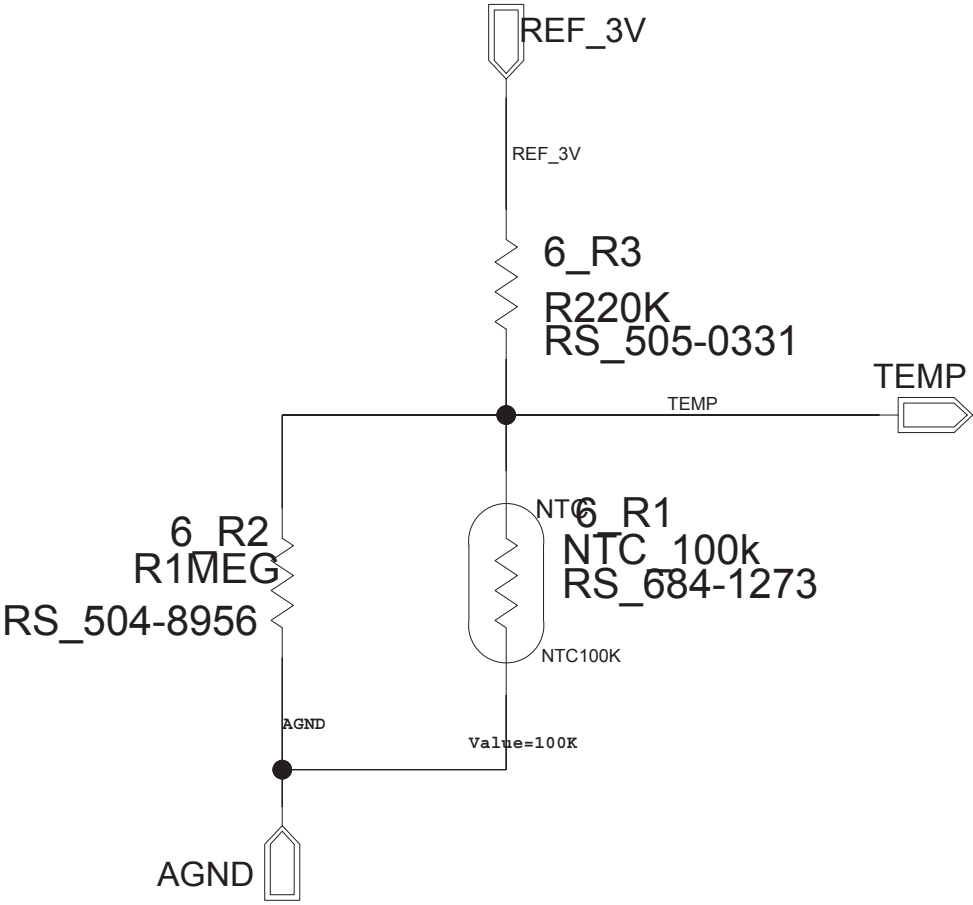
SHEET

of

16/02/2015:11:19

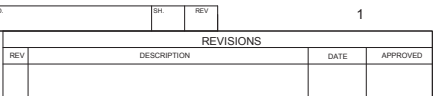
REV
SH.
DWG. NO.

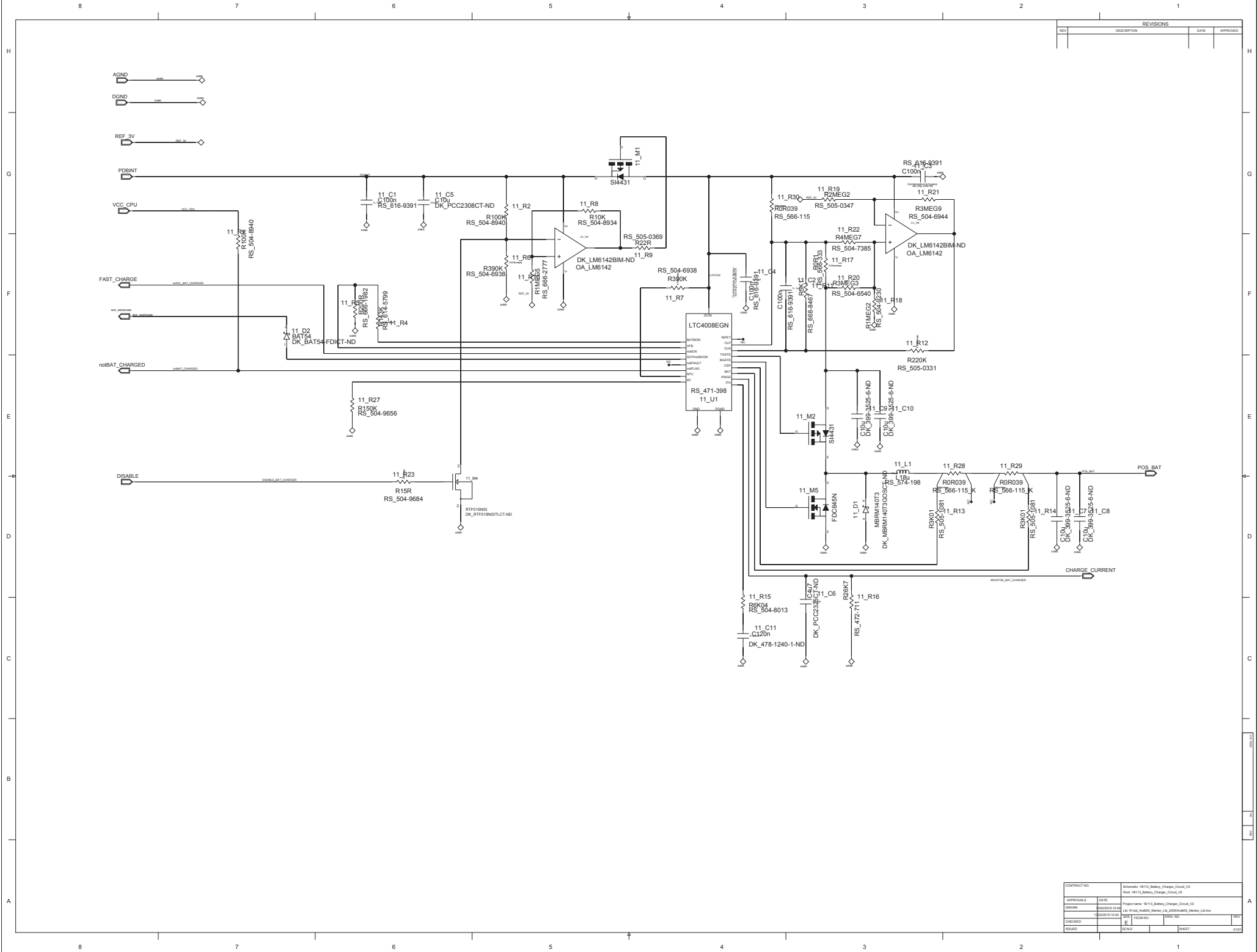
REVISIONS			
REV	DESCRIPTION	DATE	APPROVED



TEMPERATURE RANGE: -30 - 70 CELCIUS

CONTRACT NO.		Schematic: 1B133A_Temperature_Sensor_V1 Root: Bk1B11XAM_Partial_Power_Management			
APPROVALS	DATE	Project name: Bk1B11XAM_Partial_Power_Management Lib: R:\AraMiS_Mentor_Lib\AraMiS_Mentor_Lib.lmc			
DRAWN	16/02/2015:11:19				
	16/02/2015:11:19	SIZE	FSCM NO.	DWG. NO.	REV
CHECKED		AV			
ISSUED		SCALE		SHEET	01/01





REVISIONS			
REV	DESCRIPTION	DATE	APPROVED

CONTRACT NO		Schematic: 18113_Battery_Charge_Circuit_V2	
APPROVALS		Project Name: 18113_Battery_Charge_Circuit_V2	
DATE		Rev: 18113_Battery_Charge_Circuit_V2	
DRAWN		18113_Battery_Charge_Circuit_V2	
CHECKED		18113_Battery_Charge_Circuit_V2	
DESIGNED		18113_Battery_Charge_Circuit_V2	
REVIEWED		18113_Battery_Charge_Circuit_V2	

4

3

2

1

D

D

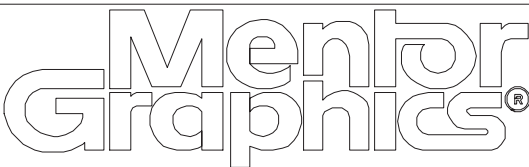
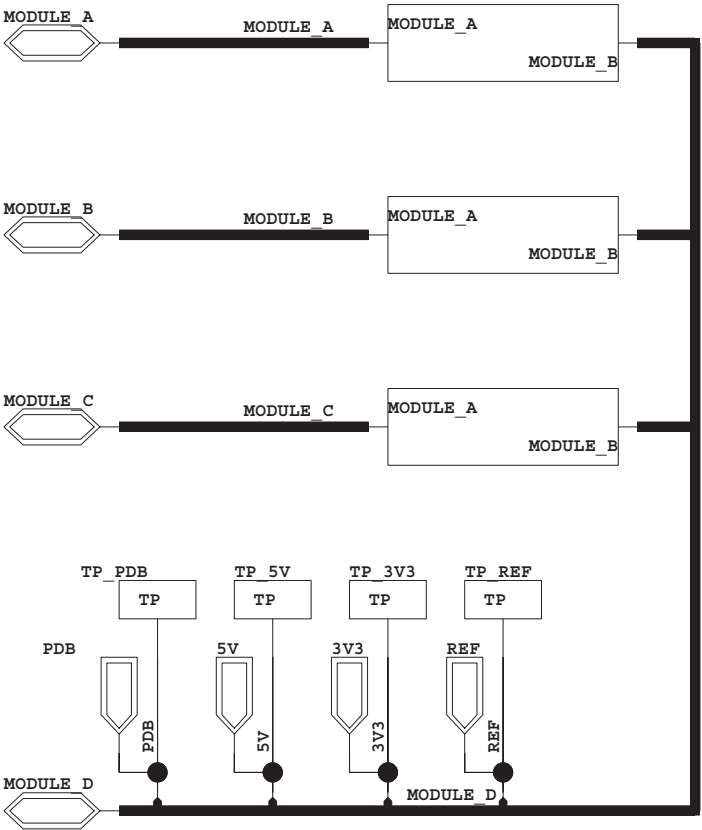
C

C

B

B

A



Bk1B1261B_Quadruple_InterModule_Power_Di

TITLE		
SIZE	DWG NO	REV
A4		
SCALE	SHEET	of
	1	1
12/02/2015:15:04		

DRAWN BY

4

3

2

1

4

3

2

1

D

D

C

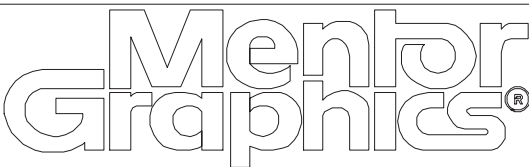
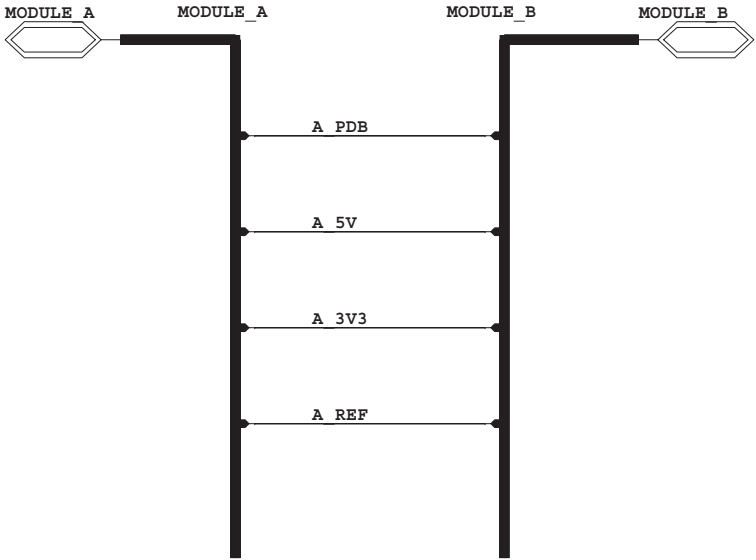
C

B

B

A

A



TITLE			
1B1261A_InterMo9			
SIZE	DWG NO		REV
A4			
DRAWN BY	SCALE	SHEET 1 of 1	12/02/2015:14:59

4

3

2

1



4

3

2

1

D

D

C

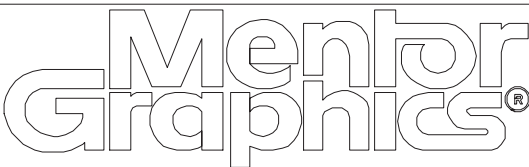
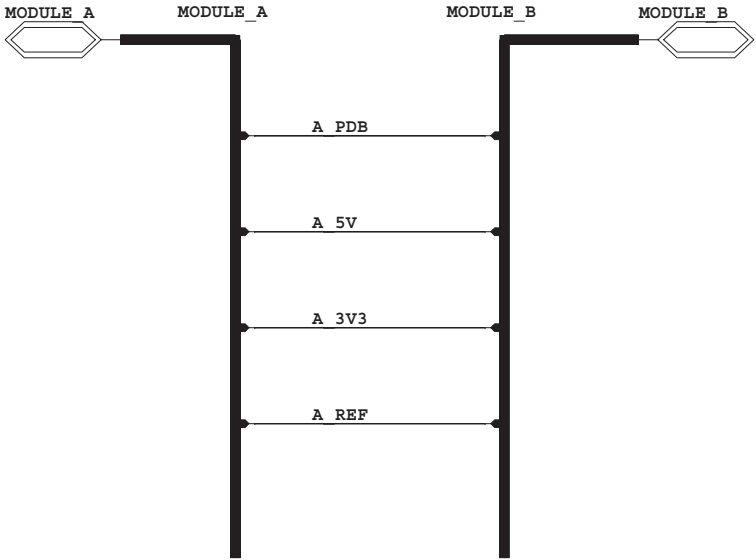
C

B

B

A

A



TITLE			
1B1261A_InterMo9			
SIZE	DWG NO		REV
A4			
DRAWN BY	SCALE	SHEET 1 of 1	12/02/2015:14:59

4

3

2

1



4

3

2

1

D

D

C

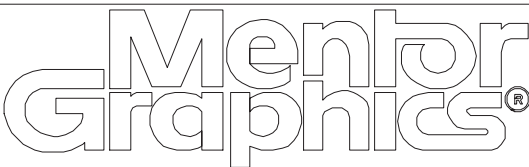
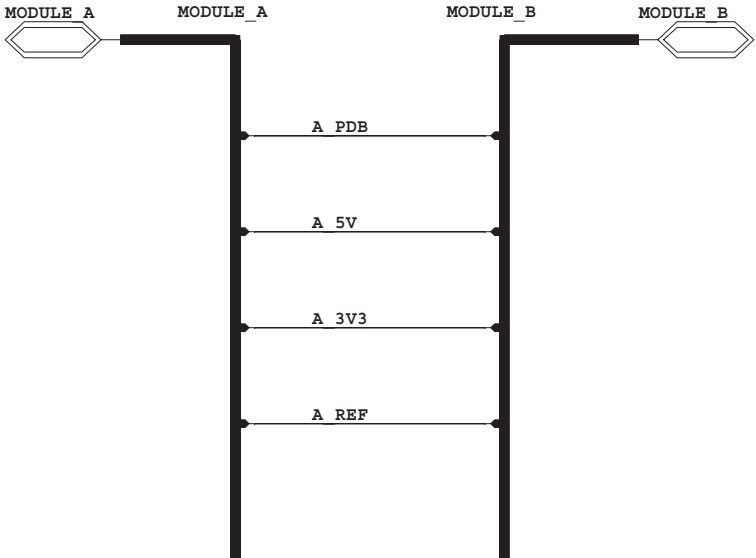
C

B

B

A

A



TITLE

1B1261A_InterMo9

SIZE

DWG NO

REV

A4

DRAWN BY

SCALE

SHEET

of

1

1

12/02/2015:14:59

4

3

2

1





REVISIONS

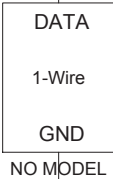
REV	DESCRIPTION	DATE	APPROVED

MODULE



MODULE

D8_ID



13_U1
MEM_DS2502
DK_DS2502P+-ND

DGND



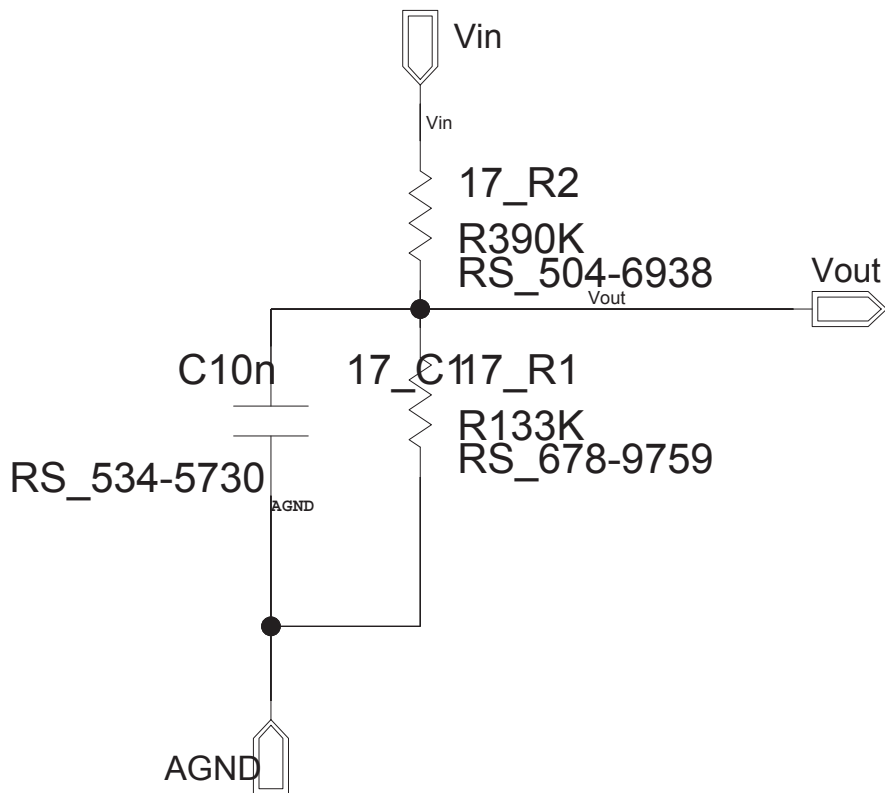
DGND



CONTRACT NO.		Schematic: 1B130W_Calibration_Memory_V1 Root: Bk1B11XAM_Partial_Power_Management			
APPROVALS	DATE	Project name: Bk1B11XAM_Partial_Power_Management Lib: R:\AraMiS_Mentor_Lib\AraMiS_Mentor_Lib.lmc			
DRAWN	11/02/2015:13:07				
	11/02/2015:13:07	SIZE	FSCM NO.	DWG. NO.	REV
CHECKED		A			
ISSUED		SCALE		SHEET	01/01



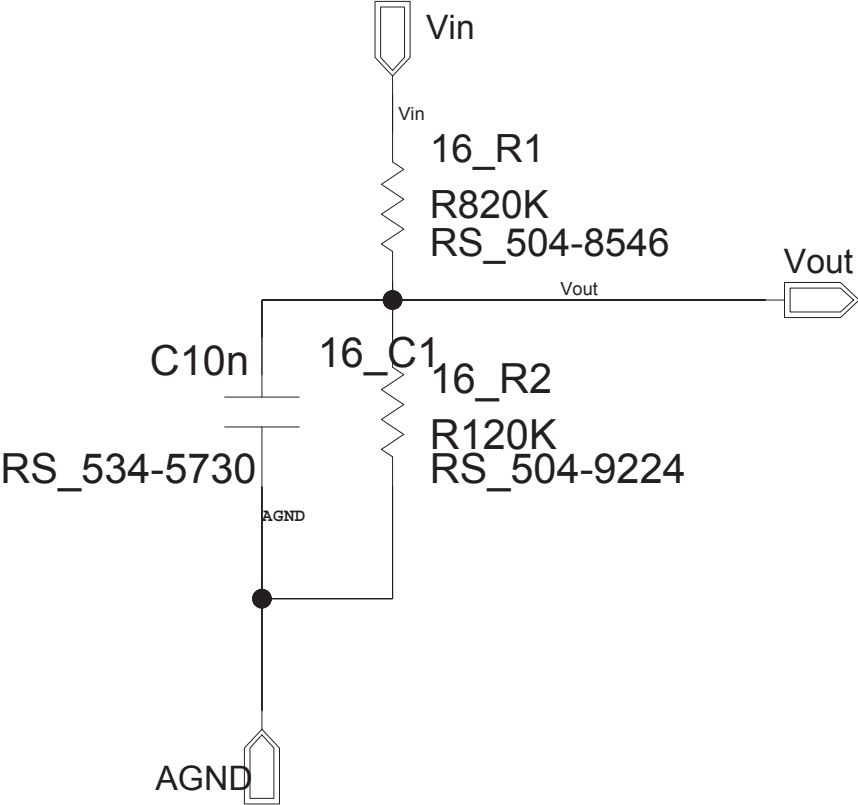
REVISIONS			
REV	DESCRIPTION	DATE	APPROVED



MAXIMUM INPUT VOLTAGE 10V

CONTRACT NO.		Schematic: 1B131B_Voltage_Sensor_V1 Root: Bk1B31B1M_Transceiver_2_4_GHz			
APPROVALS	DATE	Project name: Bk1B131B_2_4GHz_OBRF_Board Lib: R:\AraMiS_Mentor_Lib\AraMiS_Mentor_Lib.lmc			
DRAWN	12/02/2015:12:28				
	12/02/2015:12:28	SIZE	FSCM NO.	DWG. NO.	REV
CHECKED		AV			
ISSUED		SCALE		SHEET	01/01

REVISIONS			
REV	DESCRIPTION	DATE	APPROVED



MAXIMUM INPUT VOLTAGE 20V

CONTRACT NO.		Schematic: 1B131C_Voltage_Sensor_V1 Root: Bk1B31B1M_Transceiver_2_4_GHz			
APPROVALS	DATE	Project name: Bk1B131B_2_4GHz_OBRF_Board Lib: R:\AraMiS_Mentor_Lib\AraMiS_Mentor_Lib.lmc			
DRAWN	12/02/2015:12:02				
	12/02/2015:12:02	SIZE	FSCM NO.	DWG. NO.	REV
CHECKED		AV			
ISSUED		SCALE		SHEET	01/01

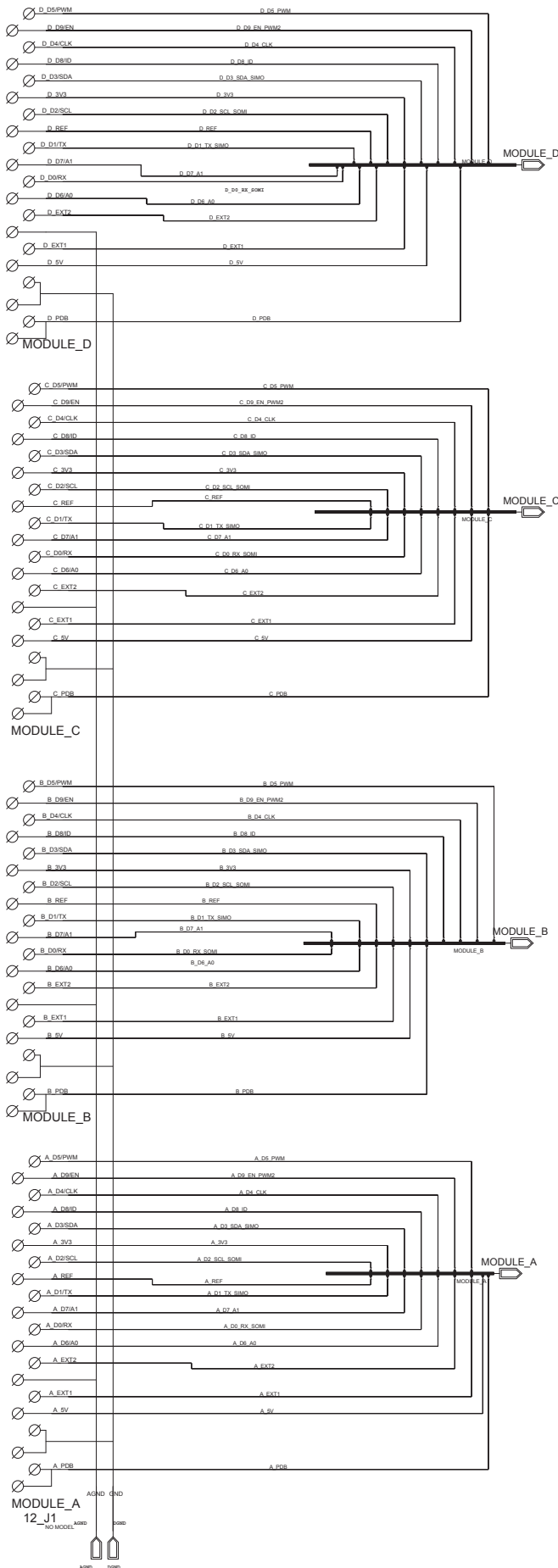
A

B

C

D

J_20x4_P1_TH_1mm27_2A_PLUG
PEM_SMTSO-M2-6ET_PLUGX4



REVISIONS			
REV	DESCRIPTION	DATE	APPROVED

CONTRACT NO.		Schematic: 184841W_Quadtriple_Module_Interface_Plug_V2 Root: Bk1B11XAM_Partial_Power_Management		
APPROVALS	DATE	Project name: Bk1B11XAM_Partial_Power_Management		
DRAWN	12/02/2015:14:10	Lib: R:\AraMIS_Mentor_Lib\AraMIS_Mentor_Lib.Inc		
CHECKED	12/02/2015:14:10	SIZE	FSCM NO.	DWG. NO.
ISSUED		SCALE		SHEET
				01/01

Bibliografia

[1] Pagina web documenti-sviluppo CUBESAT. [Online]: <http://www.cubesat.org/index.php/documents/developers>

[2] Appunti corso Prof. Franco Maddaleno, “*Power Electronic*”

[3] Dispense Prof. Claudio Sansoè, “*Elettronica Applicata*”

[4] Daniel W. Hart, “*Power Electronics*”, ISBN 978-0-07-338067-4

[5] Sedra Smith, “*Microelectronic Circuit*”, ISBN 8879597345

[6] Modelli di simulazione Spice. [Online]:

<http://www.ecircuitcenter.com/Circuits>

[7] Manuale Spice. [Online]:

<http://www.eecg.toronto.edu/~kphang/teaching/spice/index.html>

[8] Riferimenti convertitore *Boost*. [Online]:

https://en.wikipedia.org/wiki/Boost_converter

[9] Riferimenti convertitore *Push-Pull* [Online]:

https://en.wikipedia.org/wiki/Push%E2%80%93pull_converter

[10] Riferimenti convertitore *Forward* [Online]:

https://en.wikipedia.org/wiki/Forward_converter