

POLITECNICO DI TORINO

Collegio di Ingegneria Elettronica, delle Telecomunicazioni e Fisica (ETF)

Corso di Laurea Magistrale in Ingegneria Elettronica (Electronic Engineering)

Tesi di Laurea Magistrale

Sviluppo di un sistema di gestione dell'energia per satelliti modulari



Relatori:

prof. Leonardo M. Reyneri

prof. Claudio Sansoè

Candidato:

Joseph Samuel Bonasera

Luglio 2016

*"Chi sa concentrarsi
su qualche cosa e perseguirla
come unico scopo ottiene,
alla fine,
la capacità di fare qualsiasi cosa."*

Sommario

Questo lavoro di tesi ha come obiettivo lo sviluppo di un sistema di gestione dell'energia per satelliti di tipo modulare, ed in particolare di tipo ARAMIS[1].

In generale, questo genere di satelliti sono soluzioni a basso costo e di piccole dimensioni sempre più in via di sviluppo, adattabili a svariati tipi di applicazioni e missioni.

Per ARAMIS si intende *Architettura Altamente Modulare per Infrastrutture Satellitari*, esso viene visto come un nuovo approccio per la realizzazione di nanosatelliti, ovvero sistemi miniaturizzati aventi forma cubica denominati CubeSat[2]. Esso è caratterizzato dall' utilizzo di schede PCB (che forniscono le funzioni base di una struttura satellitare, ad esempio power management system, magnetometro) che costituiscono le facce fisiche laterali vere e proprie del cubo costituente il satellite. Nella parte esterna di queste schede sono opportunamente posizionati dei pannelli solari che rappresentano la fonte primaria di alimentazione dell'intero sistema. Tutto lo spazio interno invece è lasciato a disposizione per l'inserimento dell'opportuno *payload* caratterizzante la missione.

L' approccio utilizzato si basa su un'architettura fortemente modulare, derivandone diversi vantaggi sia in termini di costi sia di tempi (sviluppo e testing). Infatti i diversi moduli possono essere riutilizzati per diversi tipi di situazioni, evitando di dover realizzare appositi sottosistemi per ogni specifica missione.

Pertanto ri assemblando i singoli blocchi, si riesce ad ottenere le specifiche necessarie per il profilo di missione desiderata.

Essendo che quest'ultima può avere diverse durate e dato un aumento della complessità dei nanosatelliti, l'utilizzo di un sistema di gestione dell'energia a bordo risulta di fondamentale importanza non solo perché una perdita delle sue funzionalità porterebbe al fallimento della missione stessa, ma anche perché la necessità di ridurre costi, masse e volumi richiede lo sviluppo di soluzioni ad elevata efficienza.

Per garantire il corretto funzionamento dell'intero sistema per tutto il periodo della missione, è utilizzata un'ulteriore fonte di energia detta secondaria, in grado di fornire potenza al satellite nel caso in cui il sistema primario non sia in grado di funzionare, o di soddisfare a pieno il fabbisogno energetico richiesto dallo scenario operativo (ad esempio quando il satellite si trova in zone cosiddette d'ombra).

La sorgente secondaria utilizzata è costituita da un banco batterie a polimeri di litio (Li-Po) che in funzione della tensione presente sul PDB (power distribution bus) viene caricato e scaricato mediante circuiti appositamente progettati. E' previsto inoltre un opportuno sistema di monitoraggio al fine di evitare il distruggimento delle celle e della circuiteria sopra indicata .

Nel seguente elaborato ci si occupa della descrizione delle fasi di progettazione e realizzazione di questi circuiti, che permettono la gestione di tutte le attività relative alle sorgenti secondarie a bordo del satellite. In particolare il **CAPITOLO 1** è dedicato alla descrizione del funzionamento generale del sistema ARAMIS. Nel dettaglio vengono

illustrati i due moduli principali, denominati *Tile*. Il primo è il *Power Management and ACS Tile (PMT)*[3] il cui compito è quello di accumulare, gestire e distribuire potenza a tutto il satellite. Il secondo è il *On-Board Computer and Telecommunication Tile (TT)* utilizzato per la gestione dell'unità informatica e delle telecomunicazioni. Viene inoltre indicato l'ambiente in cui il satellite è sottoposto a lavorare, fondamentale per definire le specifiche operative e le eventuali problematiche da tenere in conto durante la fase progettuale.

Nel **CAPITOLO 2** sono introdotti i principali tools utilizzati e le motivazioni che hanno spinto all'utilizzo di quest'ultimi, andandone a descrivere le funzioni basi. Elementi chiave sono:

-) la gestione del progetto mediante la libreria *AraMis_Mentor_Lib*, che attraverso il software di sviluppo *Mentor Graphics 7.9.4* permette la realizzazione di blocchi circuitali che possono essere utilizzati facilmente da tutti i diversi utenti
-) la descrizione dell'intero progetto in linguaggio UML mediante l'utilizzo del software *Visual Paradigm 11.2*. Questo tipo di linguaggio permette con l'utilizzo di elementi di tipo grafico (blocchi, diagrammi) e testuali di definire le specifiche elettriche, meccaniche, e funzionali del sistema, garantendo un elevato grado di cooperatività tra i vari sviluppatori.
-) Il software di simulazione *LTspice IV*, considerato un ottimo simulatore per regolatori switching, con cui sono state eseguite la gran parte delle simulazioni presenti nel seguente elaborato.

Nel **CAPITOLO 3** si descrivono brevemente le caratteristiche:

-) del sistema *IB1_Power_Management_Subsystem* che gestisce la potenza proveniente dal modulo PMT.
-) del sistema *IB126_Power_Distribution_Bus* che descrive la distribuzione della potenza attraverso il PDB, assorbita e generata dai vari dispositivi.

E si definisce in modo chiaro quali sono le necessità e le specifiche di progetto delle varie parti costituenti il sistema di gestione dell'energia da realizzare. Quest'ultime saranno descritte nel dettaglio nei capitoli successivi, andandone a definire i processi decisionali che hanno portato alle scelte attuate, e le relative simulazioni di validazione delle stesse.

Nel **CAPITOLO 4** si descrive nel dettaglio la fonte di energia secondaria selezionata, ovvero le batterie, definendone: le caratteristiche elettriche e meccaniche principali, e i vincoli e le problematiche derivanti dal loro utilizzo. Come ad esempio, il metodo di carica da utilizzare e i fenomeni di sbilanciamento che si presentano durante questa fase.

Si illustrano inoltre le linee guida per un migliore e efficiente utilizzo delle batterie implementate con i circuiti realizzati in seguito.

Nel **CAPITOLO 5** si descriver il blocco *Bk1B118_Battery_Discharger_V2*, che permette la scarica delle celle utilizzate, nel momento che l'energia prodotta dai pannelli solari non è sufficiente ad alimentare l'intero sistema.

In particolare si descrivono le problematiche incontrate sia da un punto di vista teorico che pratico e le innovative soluzioni adottate, con i relativi schematici sia del blocco generale sia dei suoi sottoblocchi e le simulazioni ad essi annessi.

Nel **CAPITOLO 6** si esamina invece il *Bk1B113_Battery_Charger_V3*. Quest'ultimo svolge una funzione complementare alla precedente. Esso infatti permette la carica della fonte secondaria di energia qualora i pannelli solari, grazie ad una posizione favorevole del satellite, riescono a produrre un quantitativo di energia superiore alla richiesta necessaria per mantenere in funzione il sistema globale. Si descrivono nel dettaglio, i relativi

schematici del circuito complessivo e dei blocchi che lo costituiscono, validandone il funzionamento con mirate simulazioni.

Nel **CAPITOLO 7** è descritto l'ultimo macroblocco progettato chiamato *Bk1B114_Battery_Monitor*. L'utilizzo di questo sottosistema, permette di monitorare costantemente la corrente di carica e scarica del banco batterie (in questo caso due celle poste in serie), la tensione ai loro capi, e la temperatura dell'intero sistema. Inoltre è presente anche un dispositivo di bilanciamento delle due celle, fondamentale per evitare un'eccessiva carica di una delle due, che ne comporterebbe la sua distruzione.

La descrizione dettagliata dei blocchi principali, porta alla realizzazione del sistema generale di gestione dell'energia che viene mostrato nel **CAPITOLO 8**. Esso è chiamato *Bk1B114_Battery_System_V2* ed è costituito, oltre che dalle parti mostrate nei precedenti capitoli, da interfacce che permettono di interagire con l'intero satellite, dalle batterie vere e proprie e da un uP MSP430F5437 che attraverso opportuno software ne permette il suo corretto funzionamento.

Nel **CAPITOLO 9** viene mostrato il PCB dell'intero sistema realizzato, la board in formato 3D, e la sua collocazione all'interno della struttura satellitare con conseguente analisi meccanica ed infine nel **CAPITOLO 10** vengono riportati gli aspetti peculiari, le conclusioni e i possibili sviluppi futuri.

Indice

Capitolo 1 AraMis	1
1.1 Introduzione	1
1.2 Specifiche tecniche di AraMis	4
1.3 Ambiente Operativo.....	7
1.3.1 Radiazioni ed interferenze elettromagnetiche	7
1.3.2 Temperatura.....	8
1.3.3 Vuoto	9
Capitolo 2 Tools ed ambienti di sviluppo	10
2.1 Visual Paradigm 10.2.....	10
2.1.1 Case Diagram	11
2.1.2 Class Diagram	12
2.2 Mentor Graphics 7.9.4	15
2.2.1 Aramis_Mentor_Lib	15
2.2.2 Design Capture e Expedition PCB	18
2.3 Passaggio da Mentor Graphics all'ambiente di simulazione LTSpice IV.....	19
Capitolo 3 1B1_Power_Management_Subsystem	23
3.1 1B126_Power_Distribution_Bus	25
3.2 Scenario degli elementi attivi sul Power Distribution Bus	26
3.2.1 Primary Source	27
3.2.2 Energy Storage	28
3.2.3 Load	29
3.2.4 Battery Source	29
3.2.5 Battery Charger.....	30
3.2.6 Active Shunt	32
3.2.7 Overvoltage Protector.....	33
3.3 Comportamento globale del Power Distribution Bus	34
Capitolo 4 Batterie.....	37
4.1 Batteria Mikroe 1120	37
4.2 Metodo di carica delle batterie CC-CV (constant current - constant voltage) e analisi sull'efficienza delle batterie	39

4.3	Problematiche relative allo sbilanciamento delle batterie	43
4.4	Spice Netlist della batteria Mikroe1120	45
Capitolo 5 Bk1B118_Battery_Discharger_V2		47
5.1	Aspetti teorici e problematiche dell'utilizzo di un convertitore DC-DC Boost	47
5.1.1	Inadeguatezza dei convertitori isolati	53
5.1.2	Boundary Condition Conduction Mode (BCCM)	54
5.2	Elementi principali del Bk1B118_Battery_Discharger_V2	55
5.2.1	Bk1B118_V2_Boost_Converter.....	56
5.2.1.1	Progettazione del Bk1B118_V2_Boost_Converter	56
5.2.1.2	SpiceNetlist e componenti del Bk1B118_V2_Boost_Converter.....	58
5.2.2	Bk1B118_V2_BCCM_Control	59
5.2.2.1	Progettazione del Bk1B118_V2_BCCM_Control.....	60
5.2.2.2	Simulazioni del Bk1B118_V2_BCCM_Control	67
5.2.2.3	Spice Netlist del Bk1B118_V2_BCCM_Control e lista dei componenti.....	72
5.2.3	Bk1B118_V2_Feedback_Net.....	72
5.2.3.1	Progettazione del Bk1B118_V2_Feedback_Net	73
5.2.3.2	Simulazioni del Bk1B118_V2_Feedback_Net.....	76
5.2.3.3	Spice Netlist del Bk1B118_V2_Feedback_Net e lista dei componenti.....	79
5.3	Bk1B121L_Load_switch_slow e Bk1B121H_Load_switch_slow	80
5.3.1	Progettazione del Bk1B121L_Load_switch_slow	80
5.3.2	Progettazione del Bk1B121H_Load_switch_slow	82
5.3.3	Spice Netlist e lista dei componenti dei Bk1B121L_Load_switch_slow e Bk1B121H_Load_switch_slow	83
5.4	Sistema completo del Bk1B118_Battery_Discharger_V2	84
5.4.1	Simulazioni del sistema Bk1B118_Battery_Discharger_V2	87
5.4.2	Spice Netlist del sistema Bk1B118_Battery_Discharger_V2	96
Capitolo 6 Bk1B113_Battery_Charger_V3.....		97
6.1	Bk1B113_V3_Feedback_Net	98
6.1.1	Progettazione del Bk1B113_V3_Feedback_Net.....	99
6.1.2	Simulazioni del Bk1B118_V2_Feedback_Net.....	102
6.1.3	Spice Netlist e lista componenti del Bk1B113_V3_Feedback_Net	108
6.2	Elementi principali del sistema Bk1B113_Battery_Charger_V3.....	109
6.2.1	Bk1B113_V3_Buck_Converter_charger.....	110
6.2.1.1	Progettazione del Bk1B113_V3_Buck_Converter_charger	110

6.2.1.2	Spice Netlist del Bk1B113_V3_Buck_Converter_charger e lista dei component utilizzati	113
6.2.2	Bk1B113_V3_Compensator.....	114
6.2.2.1	Progettazione del Bk1B113_V3_Compensator	114
6.2.2.2	Spice Netlist e componenti del Bk1B113_V3_Compensator.....	117
6.2.3	Bk1B113_V3_Triwave_Gen.....	117
6.2.3.1	Progettazione del Bk1B113_V3_Triwave_Gen	118
6.2.3.2	SpiceNetlist del Bk1B113_V3_Triwave_Gen e componenti utilizzati	121
6.3	Bk1B121I_Load_Switch_Delayed/Bk1B121G_Load_Switch_Shunt	121
6.3.1	Progettazione del Bk1B121I_Load_Switch_Delayed.....	122
6.3.2	Progettazione del Bk1B121G_Load_Switch_Shunt	123
6.3.3	Spice Netlist del Bk1B121I_Load_Switch_Delayed e del Bk1B121G_Load_Switch_Shunt e i relative component utilizzati	124
6.4	Sistema completo del Bk1B113_Battery_Charger_V3	125
6.4.1	Simulazioni del sistema Bk1B113_Battery_Charger_V3	128
6.4.2	SpiceNetlist del sistema Bk1B113_Battery_Charger_V3.....	136
Capitolo 7 Bk1B114_Battery_Monitor		138
7.1	Bk1B1142_Equalizer_V1	138
7.1.1	Progettazione del Bk1B1142_Equalizer_V1	138
7.1.2	Bk1B137E_Diff_V_Sensor_V1	142
7.1.3	Simulazioni relative al blocco Bk1B1142_Equalizer_V1	143
7.1.4	Spice Netlist del Bk1B1142_Equalizer_V1 ,del Bk1B137E_Diff_V_Sensor_V1 e componenti utilizzati	149
7.2	Bk1B123H_BID_Current_Sensor	150
7.2.1	Progettazione del Bk1B123H_BID_Current_Sensor	151
7.2.2	Simulazioni del blocco Bk1B123H_BID_Current_Sensor	152
7.2.3	Spice Netlist del Bk1B123H_BID_Current_Sensor e componenti utilizzati ...	154
7.3	1B133A_Temperature_Sensor_V1	155
7.3.1	Progettazione del 1B133A_Temperature_Sensor_V1.....	155
7.3.2	Spice Netlist del blocco 1B133A_Temperature_Sensor_V1 e componenti.....	156
7.4	Bk1B131B_Voltage_Sensor_V1	157
7.4.1	Progettazione del Bk1B131B_Voltage_Sensor_V1	157
7.4.2	Spice Netlist del blocco Bk1B131B_Voltage_Sensor_V1 e componenti	158
7.5	Sistema completo del Bk1B114_Battery_Monitor.....	158

7.5.1	Spice Netlist del blocco Bk1B114_Battery_Monitor e componenti utilizzati .	160
Capitolo 8	Bk1B114_Battery_System_V2	162
8.1	Bk1B14221W_Tile_Processor_4M_V1	164
8.2	Bk1B4854_JTAG_Interface	165
8.3	Bk1B4851_I2C_Interface	166
8.4	1B1262A_Inter_Tile_Distribution.....	167
8.5	Sistema finale Bk1B114_Battery_System_V2	167
8.5.1	Simulazione del sistema finale Bk1B114_Battery_System_V2	169
8.5.2	Spice Netlist del sistema Bk1B114_Battery_System_V2.....	170
Capitolo 9	Progettazione della scheda Bk1B114_Battery_System_V2 e analisi meccanica a bordo del satellite	171
9.1	PCB.....	171
9.2	Risultati.....	172
9.3	Analisi meccanica del PCB realizzato	175
Capitolo 10	Conclusioni e sviluppi futuri	180
Appendice A	183
Appendice B	196
Bibliografia	198

Capitolo 1

AraMis

1.1 Introduzione

Negli ultimi anni l'interesse rivolto sia dall'ambito industriale sia da quello accademico verso lo spazio, e le attività connesse ad esso, è in forte crescita.

Tuttavia i costi elevati di una progettazione ad-hoc dei satelliti e soprattutto dell'accesso di quest'ultimi nello spazio, hanno portato alla ricerca di soluzioni alternative e economicamente più accessibili.

La miniaturizzazione continua della componentistica elettronica ha giocato un ruolo fondamentale per l'ottenimento di ciò, permettendo la realizzazione di satelliti di dimensioni e pesi sempre più ridotti ma con complessità progressivamente crescente. Questo porta ad avere elevati vantaggi in termini economici, poiché più grande è il satellite più grande deve essere il razzo per portarlo in orbita, con conseguente aumento dei costi.

Inoltre satelliti più piccoli, oltre che ad essere messi in orbita con minori sforzi, danno la possibilità di lanciarne contemporaneamente un maggior numero col medesimo lanciatore. Dando la possibilità di condivisione di quest'ultimo tra i diversi produttori, e quindi fornendo opportunità di lancio più accessibili (low cost) anche ad Università e ad aziende medio/piccole.

Si è reso necessario quindi la definizione di diverse categorie per i satelliti, in particolare al momento sono classificati nel seguente modo:

- *Mini-satellite* , satellite con massa compresa tra 100 Kg e 500 Kg. Mantiene la tecnologia del satellite standard nonostante la sua massa ridotta.
- *Micro-satellite*, satellite con massa compresa tra 10Kg e 100 Kg.
- *Nano-satellite*, satellite con massa compresa tra 1Kg e 10 Kg.
- *Pico-satellite* , satellite con massa compresa tra i 100g e 1Kg.
- *Femto-satellite*, satellite con massa inferiore a i 100g.

Di nostro particolare interesse è la categoria dei *Nano-satelliti*, il cui primo è stato sviluppato nel 1999 dal *Politecnico Statale della California* e dall' *Università di Stanford*, con la collaborazione dello *Space System Development Laboratory (SSDL)*, e che fu denominato CUBESAT[4], in Figura 1.1.



Figura 1.1: Satellite CUBESAT.

Esso oggi rappresenta lo standard di riferimento principale per la realizzazione di questo tipo di satelliti, e il suo nome è strettamente correlato alla forma fisica definita in fase di progetto perfettamente cubica. Infatti le caratteristiche principali che lo caratterizzano (e che definiscono le linee guida per chiunque si volesse cimentare nella progettazione dei nanosatelliti) sono:

- Forma cubica di dimensioni 10cm x 10cm x 10cm .
- Massa totale inferiore a 1.33Kg.

La struttura meccanica del satellite deve essere compatibile con il lanciatore *Poly-PicoSatellite Orbital Deployer (P-POD)* (in Figura 1.2). Inoltre una particolarità della fase di progettazione di questi satelliti è l'utilizzo di soli componenti *COTS (Commercial Off-the-Shelf component)*. Ovvero componenti facilmente reperibili sul mercato e acquistabili a prezzi decisamente più competitivi ai corrispettivi per applicazioni specifiche, ma che comunque forniscono un ottimo livello di affidabilità.



Figura 1.2: Poly-PicoSatellite Orbital Deployer (P-POD).

Nel 2004 anche il Dipartimento di Elettronica e Telecomunicazioni (DET) del Politecnico di Torino sviluppò il suo primo prototipo di nanosatellite a basso costo che fu chiamato *PicPot (Piccolo Cubo del Politecnico di Torino)*[5], Figura 1.3.

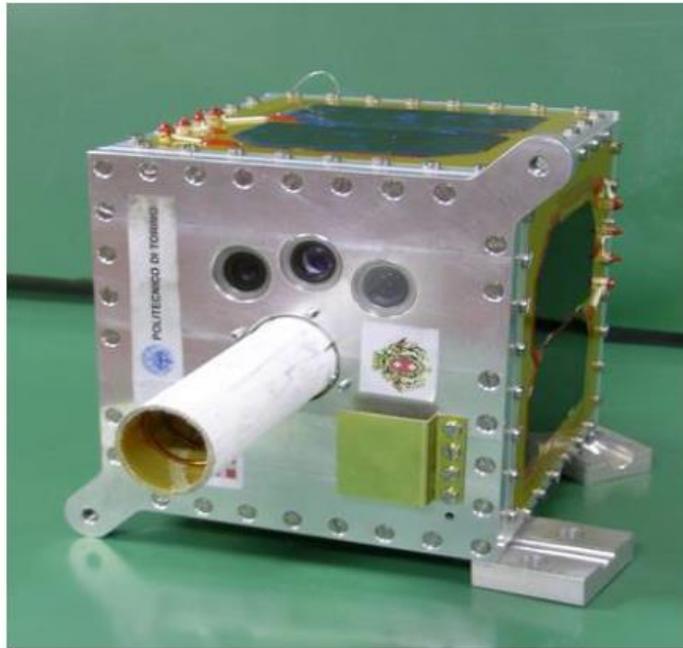


Figura 1.3:satellite PicPot.

Le specifiche salienti di questo satellite, molto simili al CubeSat, sono:

- Forma cubica di dimensioni 13cm x 13cm x 13cm.
- Massa totale non superiore ai 5 Kg.
- Potenza massima pari a 1.5W.
- Almeno 90 giorni di vita in orbita.

In particolare l'obiettivo finale era quello di monitorare la temperatura e illuminamento con conseguente trasmissione dei dati alla stazione di terra, inviando il satellite ad un'altezza tra i 600Km e gli 800Km dalla superficie terrestre, ovvero all'interno della cosiddetta orbita *LEO (Low Earth Orbit)*. Tuttavia l'esito del lancio avvenuto nel Luglio 2006 dalla base sovietica di Baykonour non è andato a buon fine, a causa di un problema tecnico verificatosi sul lanciatore e che ha portato per questioni di sicurezza alla distruzione del satellite stesso.

Dopo un iniziale insuccesso si è deciso di lanciarsi in una nuova sfida, andando a definire delle specifiche di progetto ancora più restrittive, per ottenere una maggiore affidabilità e accuratezza oltre che prestazioni migliori portando all'inizio di un nuovo progetto chiamato *AraMis (Architettura Altamente Modulare per Infrastrutture Satellitari)*.

Come si può notare dal nome oltre ai vantaggi precedentemente scritti, porta ad un nuovo approccio quale quello della modularità.

1.2 Specifiche tecniche di AraMis

Come detto in precedenza AraMis si basa su un concetto di elevata modularità, ed a differenza del suo diretto predecessore, il PicPot, permette una fase di progettazione più flessibile non dovendo definire un progetto dedicato e con specifiche caratteristiche. Questo permette di evitare la ridefinizione dell'intero progetto qualora si cambiassero dimensioni e *payload* (strumentazione di bordo) del satellite da realizzare.

Infatti quest'ultimo approccio è un modo più efficiente di rendere contenuti i costi di missioni micro e nano satellitari, attraverso la riduzione di costi di non ricorrenti fasi di: progettazione, fabbricazione e testing, il quale rappresentano circa il 90% della spesa generale. Esso permette di riutilizzare moduli precedentemente definiti indipendentemente dall'obiettivo della missione e riducendo in modo sostanziale i tempi di lancio.

Queste peculiarità portano il progetto AraMis oltre ad un fine prettamente didattico, ad una ambiziosa intenzione di proporsi come valida alternativa allo standard già presente CUBESAT.

Le specifiche principali di questo nuovo progetto sono :

- Forma cubica di dimensioni 16.5cm x 16.5cm x 16.5cm
- Massa non superiore ai 5Kg
- Potenza massima generata dai pannelli solari 6W
- Tempo di vita di almeno 5 anni
- Modularità a livello meccanico, elettronico e di testing

Si prevede anche in questo caso l'utilizzo di soli componenti *COTS* e il suo utilizzo all'interno dell'orbita LEO. Infine dato l'elevato numero di utenti che collaborano contemporaneamente e nel corso degli anni alla realizzazione del progetto si è reso necessario unificare la descrizione del lavoro svolto. Si è scelto a tal fine una descrizione attraverso il linguaggio UML per la sua facilità di comprensione e rapidità di definire progetti in modo chiaro ed efficiente.

Come detto in precedenza l'elemento chiave dell'architettura *AraMis* è la sua modularità, ovvero la possibilità di definire e progettare sottosistemi completamente indipendenti l'uno dall'altro e facilmente interfacciabili. I principali di essi, che risultano essere presenti in un qualsiasi sistema satellitare e che ne garantiscono le funzioni critiche necessarie ad ogni satellite, sono:

- Sistema di generazione e gestione della potenza
- Sistema di controllo della posizione
- Housekeeping
- Gestione dell'analisi e del controllo dei dati nel satellite
- Sistema di Telecomunicazione

A differenza dei nanosatelliti standard dove non vi è una separazione né a livello fisico né a livello software di questi blocchi, *AraMis* si propone di suddividerli in due sole macro-categorie denominate *Tiles* (ovvero mattonelle). Esse sono circuiti stampati (*Print Circuit Board, PCB*), la maggior parte dei quali posizionati sulle superfici esterne del cubo, che costituiscono la sua stessa struttura fisica. Essi hanno quindi oltre ad un' utilità funzionale anche quella meccanica, e sono caratterizzate dall'aver sulla faccia esterna dei pannelli solari utilizzati per l'immagazzinamento dell'energia (Figura 1.4).

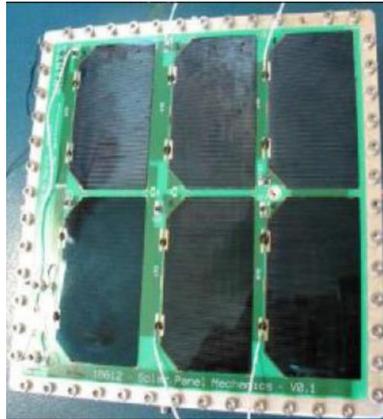


Figura 1.4: Pannelli solari poste sulle facce esterne del satellite

Questo permette di lasciare maggior spazio possibile all'interno della struttura per l'inserimento del definito *payload* caratterizzante la missione in questione, come possiamo vedere in Figura 1.5:

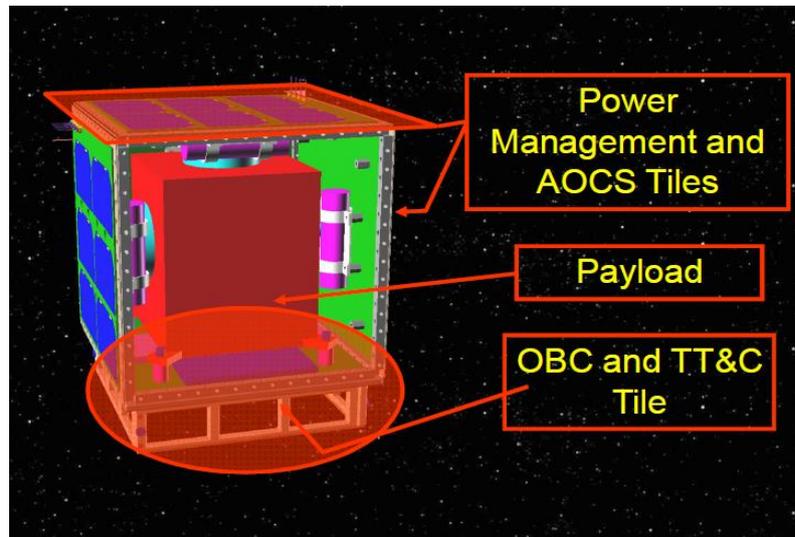


Figura 1.5: Struttura con le tiles di un satellite AraMis

Pertanto abbiamo:

- La *Power Management and ACS Tile* (Figura 1.6), con il compito di immagazzinare, gestire e controllare la potenza. Composto principalmente dai

pannelli solari, dalle batterie ricaricabili, un modulo di housekeeping basato su un microcontrollore per il processamento dei dati e del controllo delle operazioni (tensioni, correnti, temperatura) relative alla tile. Inoltre sono presenti una ruota di reazione e una bobina magnetica che formano il controllo di assetto attivo ACS.

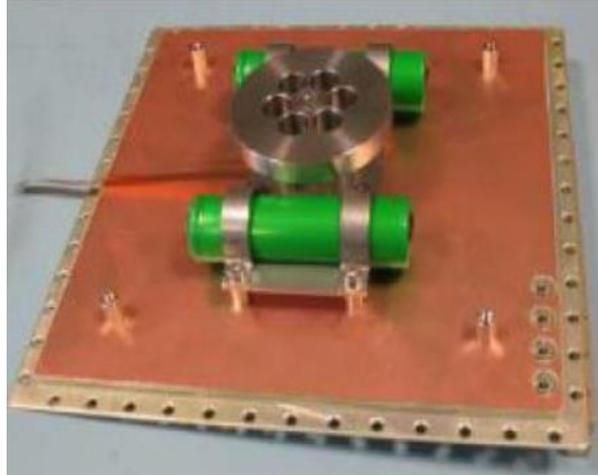


Figura 1.6: Power Management and ACS Tile

- La *On-Board Computer and Telecommunication Tile* (Figura 1.7), composta da due processori ridondanti, una FPGA e da un sistema di telecomunicazione a doppio canale (uno a 437 MHz e uno a 2.4GHz).

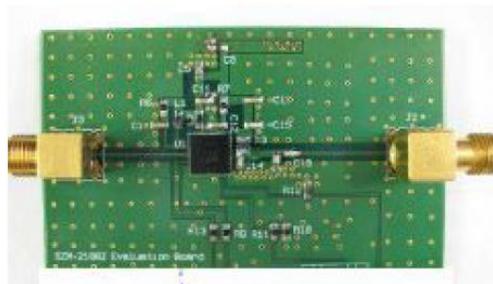


Figura 1.7: On-Board Computer and Telecommunication Tile

Come si può notare dalle precedenti immagini le batterie vengono rivolte verso l'interno del cubo, dove viene inserito il relativo carico (o *payload*). Quindi la scelta delle dimensioni delle accumulatori risulta essere di particolare importanza oltre che da un punto di vista elettrico, anche da quello meccanico.

Un altro fondamentale punto che caratterizza la fase progettuale del satellite *AraMis* è la ridondanza, che permette di garantire la sopravvivenza del satellite anche in presenza di fenomeni di guasto.

Si deve pertanto garantire per ogni PM Tile:

- Un pannello solare
- Una batteria
- Una ruota di inerzia
- Una bobina magnetica
- Un sensore per il posizionamento
- Un sensore solare
- Un sistema di housekeeping

Quanto scritto dà una panoramica generale sull'intera architettura *AraMis*, tuttavia nel seguito di questo elaborato ci si concentrerà nello sviluppo di alcune parti costituenti la *Power Management and ACS Tile*.

Prima di soffermarci nel dettaglio su quest'ultimi si illustrano alcune considerazioni generali sull'ambiente in cui è utilizzato il satellite e le varie problematiche da tenere in considerazione durante la fase di progettazione.

1.3 Ambiente Operativo

Come detto in precedenza il satellite è progettato per essere immesso in un' orbita compresa tra i 600Km e i 800 Km rispetto la superficie terrestre, ovvero all'interno della cosiddetta *LEO (Low Earth Orbit)*. Questo porta ad essere vicini alla fascia di Van Allen[6] con i conseguenti svantaggi e vantaggi. In particolare anche se sono presenti radiazioni in questa zona, esse risultano essere ridotte rispetto a fasce più lontane, permettendo l'utilizzo di componenti COTS come imposto da progetto.

1.3.1 Radiazioni ed interferenze elettromagnetiche

Infatti la fascia di Van Allen, che è un toro di particelle cariche all'interno della magnetosfera terrestre trattenute dal campo magnetico terrestre per effetto della forza di Lorentz, è costituita in realtà di due fasce che circondano il nostro pianeta, una interna e una più esterna. La fascia più interna è molto stabile ed è costituita da un plasma di elettroni e di ioni positivi ad alta energia, a differenza della più esterna costituita da soli elettroni ad alta energia. La prima quindi risulta essere caratterizzata da un comportamento molto più dinamico (es. tempeste solari).

Tuttavia anche se nelle fasce più esterne la quantità di radiazioni è più ridotta, le particelle presenti tendono ad impattare sul satellite influenzando il comportamento dell'elettronica a semiconduttore presente a bordo. Infatti uno dei principali fenomeni che si viene a creare è quello della ionizzazione diretta, che genera in essi una coppia elettrone-lacuna causato dai comuni processi di diffusione e deriva che possono portare a comportamenti anomali, come i *Single Event Effects (SEE)*.

Tra questi si ha il *Single Event Latch-Up (SEL)* che si verifica quando i transistori parassiti bipolari BJT di un dispositivo CMOS iniziano a condurre, innescando una reazione positiva che porta ad un forte passaggio di corrente tra alimentazione e il riferimento di massa con la conseguente distruzione del dispositivo. E il *Single Event Up-Set (SEU)* che genera un cambiamento di stato del dispositivo (che può essere un microcontrollore, una memoria a semiconduttore o un transistor di potenza).

E' ovvio che tutti i fenomeni appena citati sono dei fenomeni istantanei. Tuttavia si deve tener anche conto dell'esistenza di fenomeni a lunga durata, ovvero che si manifestano dopo un eccessivo accumulo di radiazioni assorbite nel tempo dal satellite in orbita. Si definisce per tanto *TotalDose* la massima quantità di radiazioni cumulabile da un dispositivo prima di presentare malfunzionamenti.

Ad esempio la soglia di un transistor MOS tende ad aumentare con la quantità di radiazioni assorbite, causandone eventuali variazioni dei tempi di propagazione dei segnali e un malfunzionamento del sistema generale.

Inoltre la componentistica costituente il satellite potrebbe essere influenzata da rumori a varie frequenze generate sia da sorgenti interne che esterne.

Per quanto riguarda il rumore esterno, la struttura completamente metallica del satellite permette una buona schermatura contro le emissioni elettromagnetiche (EMI). Mentre per quanto riguarda le interferenze interne tra le varie boards e all'interno di una board stessa ci si basa su un'accurata progettazione dei layout dei circuiti stampati (PCB) e dell'opportuno posizionamento di piani di massa sia delle unità RF sia di quelle analogico/digitali.

1.3.2 Temperatura

Un altro aspetto di fondamentale importanza nella definizione delle specifiche è di certo il range di temperatura nel quale si trova ad operare il satellite in orbita.

Le sue facce, durante tutta la durata della missione, tenderanno ad essere sottoposte a condizioni di temperatura differenti in base alla sua posizione rispetto al sole. Infatti si avranno superfici illuminate che assorbono i raggi solari, mentre altre saranno in zone cosiddette d'ombra.

Questo determina un forte gradiente termico a cui è sottoposta l'intera struttura, che viene accentuato dalla quasi totale mancanza di atmosfera, e per il quale l'irraggiamento raggiunge valori pari ai 1300 Wm^2 , decisamente maggiori rispetto ai valori terrestri.

Esso non è l'unica causa dell'elevato innalzamento della temperatura, infatti a tale aumento contribuisce anche il surriscaldamento dei componenti elettronici a bordo, attraverso i fenomeni di conduzione e irraggiamento.

Secondo una stima teorica la temperatura di lavoro del satellite è compresa in un intervallo tra i $[-30, 40] \text{ }^\circ\text{C}$, quando la potenza massima P_j dissipata dai circuiti interni è di circa i 200W (Figura 1.8).

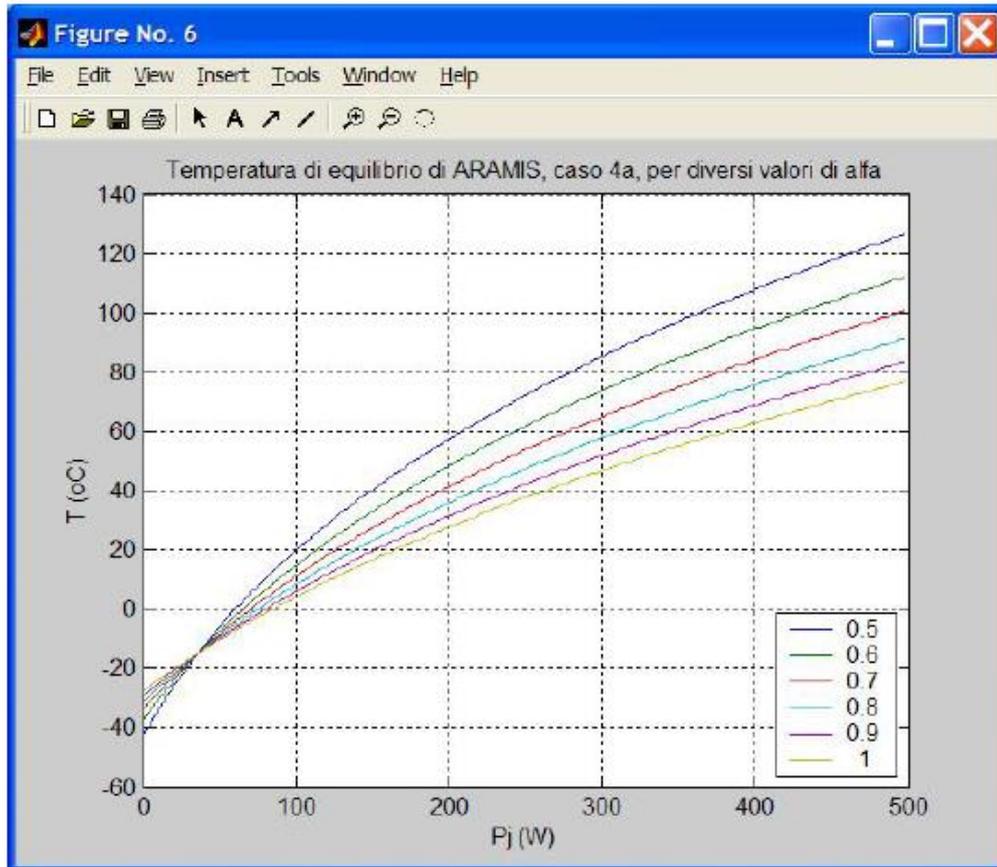


Figura 1.8: Temperatura vs Pj su AraMis

1.3.3 Vuoto

Immettendo il satellite nella zona finora considerata in cui l'atmosfera è quasi inesistente, si devono fare anche delle considerazioni sul sistema sottoposto in una situazione di vuoto.

In questa condizione a causa della mancanza del fenomeno di convezione, grazie al quale un corpo caldo (ad esempio un componente elettronico) dissipa energia a contatto con un fluido più freddo (ad esempio aria), si ha una riduzione della capacità di dissipazione della potenza, che avviene solo per conduzione od irraggiamento.

Inoltre bisogna prestare attenzione alla presenza di fluidi all'interno dei componenti sia elettronici sia meccanici, poiché potrebbero innescare fenomeni quali surriscaldamento ed esplosioni.

Un esempio potrebbe essere quello dei condensatori elettrolitici, che spiega il motivo per cui all'interno del progetto sono stati utilizzati solo condensatori ceramici. O quello rappresentato dalle batterie ad ioni di Litio, che presentano una pressione interna di 0.3 bar trascurabile sulla Terra, ma che nel vuoto tende a creare una elevata forza per unità di superficie che rischia di far esplodere la batteria.

Motivo per il quale la scelta del tipo di batterie da utilizzare è ricaduta su una cella a polimeri di litio (*Li-Po*), in cui l'elettrolita in sale di litio non è contenuto in un solvente organico ma in un composto di polimero solido, come ad esempio il poliacrilonitrile.

Capitolo 2

Tools ed ambienti di sviluppo

Uno dei principali punti forti del progetto AraMis è la possibilità di collaborazione tra diverse persone, che pur lavorando su parti annesse possano svolgere in modo del tutto indipendente il loro compito, e con la possibilità di non interfacciarsi mai con gli altri collaboratori, attraverso una standardizzazione dell'intero progetto. Questo è reso possibile dall'utilizzo di linguaggi di descrizione unificati, come quello UML attraverso il software *Visual Paradigm 10.2*. Inoltre all'interno di questo capitolo verranno descritti gli altri ambienti di sviluppo principali utilizzati: *Mentor Graphics 2005* per la progettazione degli schemi elettrici, l'utilizzo della libreria di progetto *Aramis_Mentor_Lib*, la realizzazione di PCB (Print Circuit Board) attraverso il tool *ExpeditionPCB*, e la generazione delle netlist di descrizione dei circuiti progettati, in seguito simulati mediante il programma di simulazione *LTSpiceIV* risultante migliore per la gestione di circuiti a commutazione.

2.1 Visual Paradigm 10.2

Il linguaggio *UML (Unified Modeling Language)* è un linguaggio semiformale di modellizzazione, visualizzazione, comunicazione e documentazione di un qualsiasi progetto sia software sia hardware o che ne preveda entrambe le parti. Esso è reso indipendente dal suo ambito, attraverso l'utilizzo di notazione grafiche quali diagrammi o grafici combinate all'uso di elementi di programmazione orientata agli oggetti.

L'utilizzo significativo del linguaggio *UML* per la gestione del progetto dell'architettura *AraMis*, è fatto mediante il software compatibile *Visual Paradigm 10.2*. Questo ambiente di sviluppo oltre a supportare tale linguaggio, consente di convertire i codici ad alto livello che rappresentano i diagrammi realizzati, in eventuali codici a livello inferiore eseguibili da macchine come ad esempio un microprocessore. Vi è la possibilità anche di processo inverso.

Attraverso l'uso di *Visual Paradigm* si riesce pertanto a gestire un progetto con un numero elevato di sviluppatori e un elevato quantitativo di risorse, basandosi su un sistema di gestione dati, ad esempio un server, nel quale qualsiasi componente può caricare il proprio lavoro rendendolo accessibile in tempi rapidissimi agli altri. Ed avere il loro in modo facile e veloce.

Per la descrizione di un progetto in modo dettagliato e approfondito vi sono a disposizione un grande numero di strutture ed in particolare :

- Diagrammi per le specifiche prestazionali
- Diagrammi per le specifiche funzionali
- Diagrammi per le specifiche con allegata documentazione HW/SW
- Diagrammi sequenziali per l'analisi dei sistemi e dei relativi sottosistemi

Tra le strutture grafiche UML maggiormente utilizzate si riportano i *Case Diagram* (diagramma dei casi d'uso) e i *Class Diagram* (diagramma delle classi).

2.1.1 Case Diagram

Il *Case Diagram* [7] è un diagramma dedicato alla descrizione delle funzioni di un sistema, attraverso una rappresentazione dell'interazione degli utenti (o attori), in genere rappresentati con "un omino, con il sistema stesso. Ovvero si rappresenta la relazione tra gli attori e i relativi casi d'uso (che sono mostrati tramite ellissi da sfondo blu) nei quali essi saranno coinvolti, che viene chiamata *associazione*. Un attore può essere associato ad un qualsiasi numero di casi d'uso e viceversa, tramite una linea con una freccia la cui forma ne determina la tipologia di associazione. In seguito viene mostrato un esempio di diagramma dei casi d'uso, Figura 2.1 :

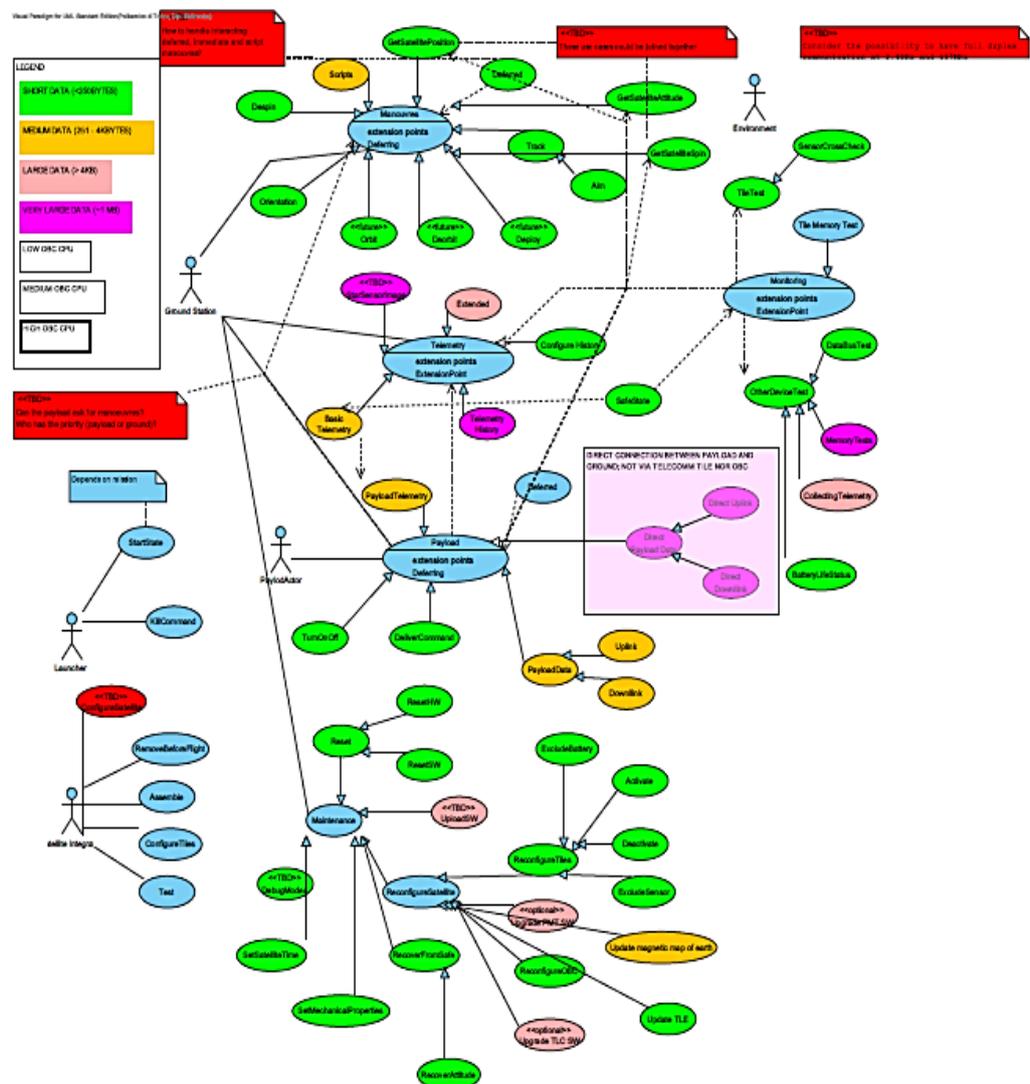


Figura 2.1: Esempio di Case Diagram all'interno di Visual Paradigm

2.1.2 Class Diagram

Uno degli elementi fondamentali del paradigma ad oggetti è che i concetti di classe e di ereditarietà si prestino a rappresentare in modo diretto e intuitivo, la realtà in ogni ambito. Il diagramma delle classi[8] pertanto è un'astrazione grafica che attraverso degli oggetti permette di descrivere la struttura di un sistema, dei suoi componenti e delle loro relazioni. L'insieme di oggetti appartenenti ad una medesima categoria costituiscono una *classe*. Essa è caratterizzata da :

- *Nome* della classe
- *Attributi*, che descrivono le caratteristiche dell'oggetto
- *Operazioni*, che descrivono le operazioni dell'oggetto e quindi il suo comportamento.

Due classi possono essere legate da diversi tipi di relazioni che rappresentano i legami che possono esserci tra i vari oggetti appartenenti alle classi associate. Ad esempio: associazione, aggregazione, composizione, dipendenza, generalizzazione e realizzazione. Queste sono distinte l'una dalle altre dal tipo di freccia che connette le due classi coinvolte. Riportiamo in seguito un esempio di Class Diagram, Figura 2.2 :

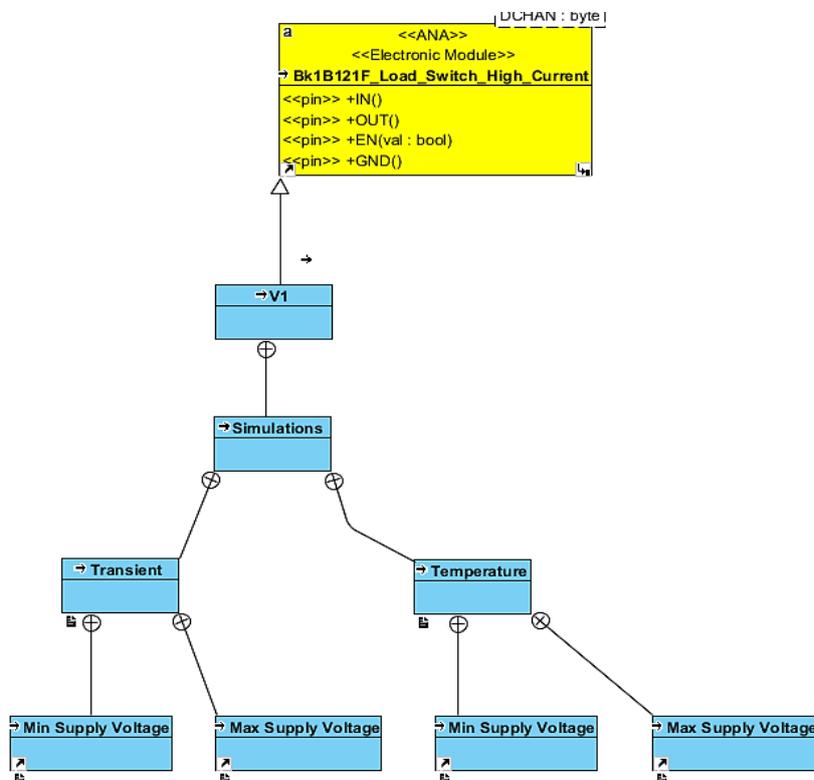


Figura 2.2: Esempio di descrizione tramite Class Diagram in Visual Paradigm

Si mostrano in seguito particolari funzioni, che sono state utili nella fase di realizzazione dei *Class Diagram*, per la descrizione più accurata del progetto mostrato nel corso di questo elaborato.

Esso rappresenta anche una linea guida per la realizzazione di tutti i diagrammi delle classi all'interno del progetto *AraMis*.

All'interno di *Visual Paradigm* per ogni classe è presente un apposito menù, in cui è possibile inserire descrizioni dettagliate associate ad essa.

In questo modo vi è la possibilità di fornire maggiori informazioni per ciascun blocco, rendendo la sua comprensione e la sua funzionalità all'interno dell'intero sistema più immediata ed efficiente, come mostrato in Figura 2.3 :

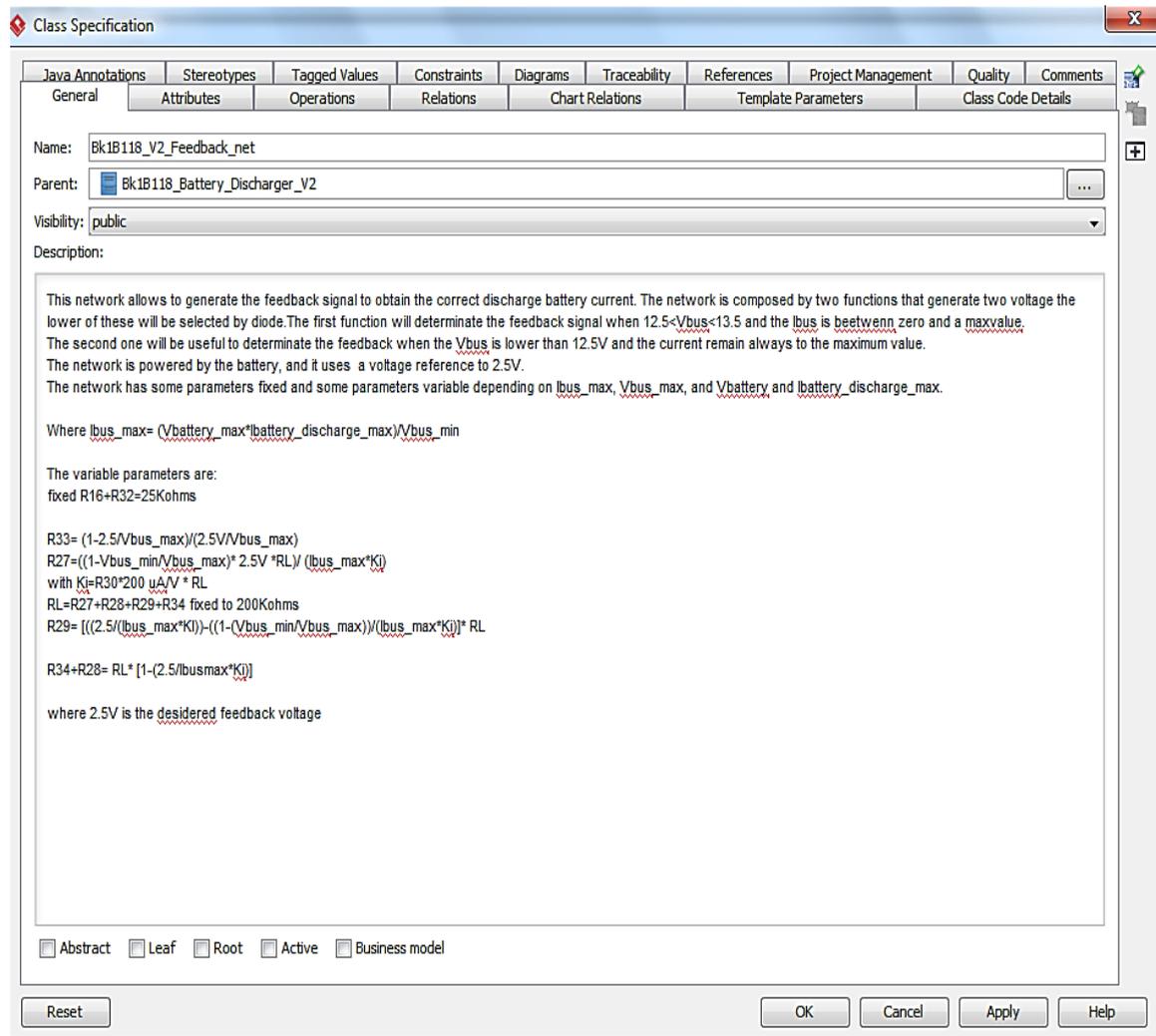


Figura 2.3: Descrizione di una classe

Nello stesso menù è possibile anche inserire i *Tagged Values*, che permettono di mostrare in modo compatto, le specifiche chiave relative all'oggetto preso in considerazione, Figura 2.4:

Name	Type	Value	Multiplicity	Stereotype
MANUFACTURER	Text		<Unspecified>	<<Component>>
MODEL	Text	INA138	<Unspecified>	<<Component>>
TOLERANCE	Floating Point Number		<Unspecified>	<<Component>>
SUPPLY_VOLTAGE_MIN	Floating Point Number		2.7 <Unspecified>	<<Component>>
SUPPLY_VOLTAGE_MAX	Floating Point Number		36 <Unspecified>	<<Component>>
SUPPLY_CURRENT_MAX	Floating Point Number		<Unspecified>	<<Component>>
SUPPLY_CURRENT_STANDBY	Floating Point Number		<Unspecified>	<<Component>>
SUPPLY_CURRENT_NOMINAL	Floating Point Number		25e-6 <Unspecified>	<<Component>>
SUPPLY_CURRENT_PEAK	Floating Point Number		<Unspecified>	<<Component>>
TEMPERATURE_MIN	Floating Point Number		-40 <Unspecified>	<<Component>>
TEMPERATURE_MAX	Floating Point Number		125 <Unspecified>	<<Component>>
TEMPERATURE_JUNCTION_MAX	Floating Point Number		<Unspecified>	<<Component>>
TEMPERATURE_MINSTORAGE	Floating Point Number		-65 <Unspecified>	<<Component>>
TEMPERATURE_MAXSTORAGE	Floating Point Number		150 <Unspecified>	<<Component>>
TEMPERATURE_SOLDERING	Floating Point Number		300 <Unspecified>	<<Component>>
TID	Floating Point Number		<Unspecified>	<<Component>>
RADIATION_FLUX	Floating Point Number		<Unspecified>	<<Component>>
VIBRATION	Floating Point Number		<Unspecified>	<<Component>>
PACKAGE	Text		<Unspecified>	<<Component>>
OUTPUT_CAPACITANCE	Floating Point Number		40e-12 <Unspecified>	User-Defined
COMMON_MODE_MIN	Floating Point Number		13e6 <Unspecified>	User-Defined
COMMON_MODE_MAX	Floating Point Number		2.7 <Unspecified>	User-Defined

Figura 2.4: Tabella dei Tagged Values di una classe

E' possibile inoltre inserire delle classi di simulazione (*Simulation*) (vedi Figura 2.2), associate ai corrispettivi oggetti, in cui all'interno della loro descrizione è possibile inserire i nomi dei test con relativa descrizione (Figura 2.5).

Name: Simulation_Bk1B118_Battery_Discharger_V2
 Parent: Bk1B118_Battery_Discharger_V2
 Visibility: public
 Description:

TEST1_Bk1B118_Battery_Discharger_V2: transient behavior for battery discharger, in particular is show the Vbus and Ibus for VBus=13.5 and Vbattery=7.4.

TEST2_Bk1B118_Battery_Discharger_V2: transient behavior for battery discharger, in particular is show the Vbus and Ibus for VBus=12.5 and Vbattery=7.4.

TEST3_Bk1B118_Battery_Discharger_V2: simulation for Ibus vs Vbus to evaluate bus battery discharger characteristic (also in transient).

TEST4_Bk1B118_Battery_Discharger_V2: simulation of dynamic behavior of battery discharger. In particular the behavior when variation of VBus from 12.85V to 12.2V.(this behavior was obtained by current generator pulse).

TEST5_Bk1B118_Battery_Discharger_V2: simulation of dynamic behavior of battery discharger. In particular the behavior when variation of VBus from 13.1V to 14V.(this behavior was obtained by current generator pulse).

TEST6_Bk1B118_Battery_Discharger_V2: simulation for Ibus vs Vbus to evaluate bus battery charger characteristic (also in transient). In particular is been considered two Bk1B118_Battery_Discharger_V2 blocks in parallel between the BATTERY and the PDB. (test in battery_discharger_blocks_parallel folder)

Abstract Leaf Root Active Business model

Figura 2.5: Descrizione dei Test eseguiti sui vari blocchi

All'interno della stessa classe è possibile aggiungere i riferimenti alle cartelle contenenti gli inerenti file di simulazione per una verifica immediata delle specifiche funzionali delle classi associate (Figura 2.6).

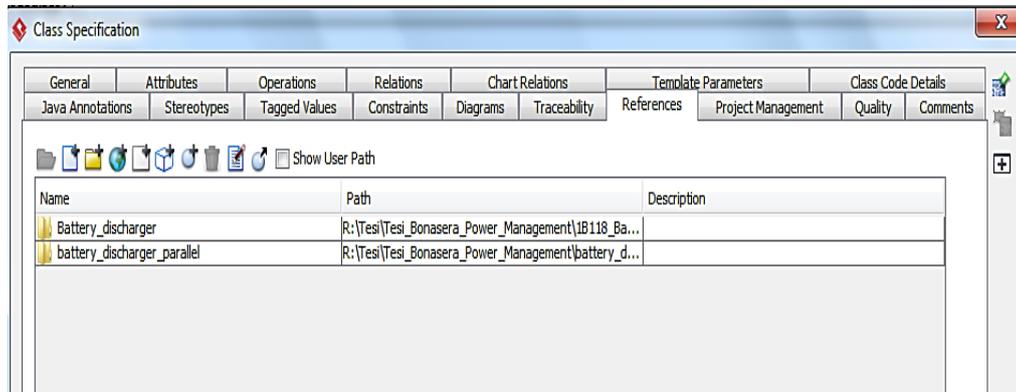


Figura 2.6: References a cartelle di simulazione

2.2 Mentor Graphics 7.9.4

Mentor Graphics è un leader tecnologico nell' Electronic Design Automation (EDA), ovvero quella famiglia di software utilizzati per la progettazione e produzione di sistemi elettronici. Se sfruttato al pieno delle sue potenzialità permette lo sviluppo di progetti complessi, le cui varie parti sono condotte contemporaneamente da diversi individui. In particolare si evidenziano le seguenti funzioni :

- La creazione di una libreria denominata *Aramis_Mentor_Lib*, costituita da tutti i dispositivi contenuti all'interno del progetto AraMis, i relativi package e i vari modelli di simulazione. Inoltre vi è la possibilità di definire dei particolari blocchi denominati *Reusable Blocks* trattati nel dettaglio più avanti.
- L'utilizzo del tool *Design Capture*, per la realizzazione degli schematici circuitali.
- La simulazione dei circuiti elettronici mediante simulatore HyperLynx fondato sull'utilizzo di modelli *HSpice*, che però non è stato utilizzato nella realizzazione di questo lavoro di tesi per motivi mostrati in seguito e pertanto non trattato.
- La progettazione e realizzazione di circuiti stampati (PCB) mediante l'uso del tool *Expedition PCB*.

2.2.1 Aramis_Mentor_Lib

La libreria centrale su cui si fonda il principio di condivisione e cooperabilità tra i diversi operatori si chiama *Aramis_Mentor_Lib*. Essa include al suo interno sia tutti i singoli dispositivi elettronici e meccanici utilizzati nella progettazione del satellite Aramis, sia agglomerati di quest'ultimi sotto il nome di *Reusable Blocks*. Tale libreria viene gestita tramite il tool *Library Manager*. Ogni componente che prende il nome di parte (*Parts*)

situato al suo interno è caratterizzato da una rappresentazione sia a livello logico tramite un simbolo (*Symbol*) utilizzato negli schemi elettrici, sia a livello fisico mediante una cella (*Cell*), il cui tra le informazioni chiave contiene il *pad* utile per la progettazione dei PCB. Ognuna di queste sezioni è suddivisa in partizioni in modo da poter unificare elementi appartenenti alle medesime categorie, facilitandone i criteri di ricerca. Quest'ultimi vengono resi ancora più rapidi da una precisa procedura con cui inserire ogni singolo componente. In particolare, per ciascuno è definito un:

- *Part Number* rappresentato da <Fornitore>_<Codice Fornitore>
- *Part Name* rappresentato da <Nome Componente> <Package>
- *Part Label* rappresentato da <Nome Componente> <Caratteristiche elettriche>

In questo modo è possibile definire ogni componente in modo univoco (Figura 2.7), evitando possibili errori in fase di realizzazione.

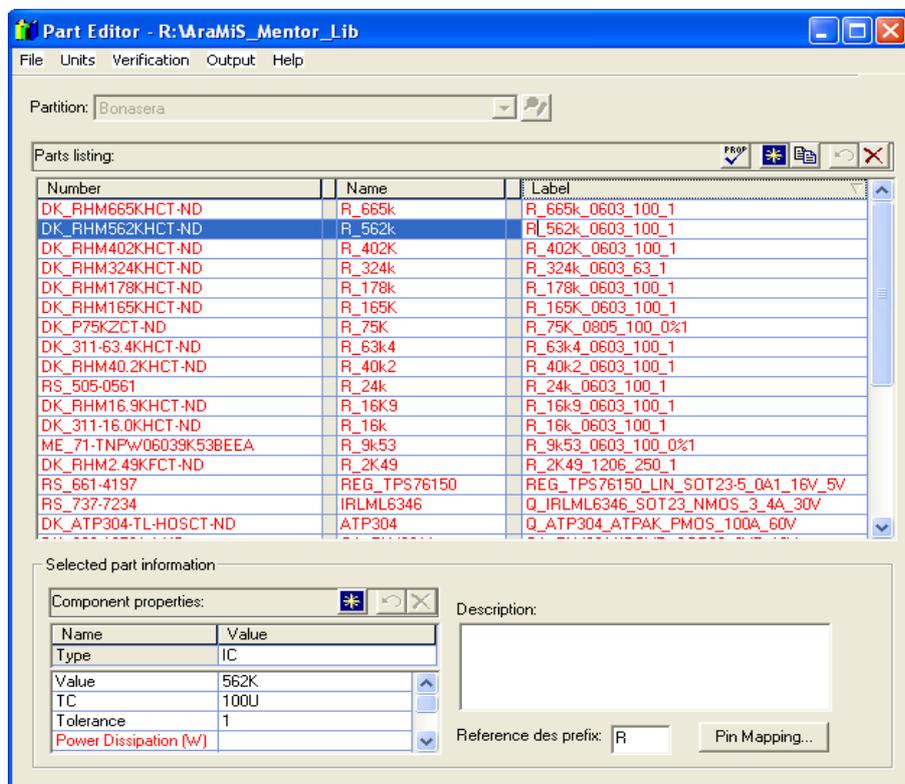


Figura 2.7: Definizione di una parte attraverso la sezione *Part Editor*

Come è possibile vedere in basso a sinistra dell'immagine per ogni parte è possibile inserire ulteriori informazioni utili ad effettuare una corretta e completa simulazione, come ad esempio:

- *Value* (indica il valore della specifica grandezza fisica associata al dispositivo, si ricordi che le eventuali sintassi devono essere d'accordo con i simulatori utilizzati, ad esempio per *LTSpice* il suffisso MEG per una quantità pari a 10^6)

- *Tolerance* (fondamentali per simulazioni contenenti componenti R,L,C)
- *Temperature Coefficient* (per tener conto dell'influenza della temperatura su componenti passivi)
- *Model* (da porre sulla sezione *Model*, e associano ad un dato dispositivo il modello di simulazione indicato)
- *Pin Order* (crea la corrispondenza indicata tra i pin del simbolo e quelli del modello simulativo caratterizzante il comportamento del dispositivo considerato)
- *Reference des Prefix* (importante nella generazione delle netlist ,poiché indica se il modello associato a tale dispositivo sia un resistore R, un condensatore C, un induttore L, un diodo D, un transistor M, o un sottocircuito X. Bisogna tuttavia prestare attenzione in dispositivi quali diodi o transistori, a volte descritti mediante modelli di sottocircuiti e pertanto necessitano l'utilizzo di tale dicitura)

Creata la parte si associa ad essa, come detto precedentemente, un simbolo (già presente in libreria o realizzato appositamente per il dispositivo considerato tramite il tool *Symbol Editor*), una cella (*Assign Package Cell*, anch'essa già presente od opportunamente realizzata). E infine si associano i pin del simbolo(livello circuitale) con quelli della cella (livello reale) mediante il Pin Mapping. La sua corretta procedura risulta fondamentale nonché estremamente delicata poiché un assegnamento sbagliato porterebbe ad una progettazione di un circuito stampato all'apparenza corretto ma in realtà malfunzionante e riscontrabile solo in fase di testing. Poniamo inoltre particolare attenzione nell'utilizzo dei precedentemente citati *Reusable Blocks*, il cui corretto uso da estremi vantaggi in termini di potenza dello strumento, nonché di gestione di un progetto complesso come quello trattato. I *Reusable Blocks* sono dei blocchi costituiti da veri e propri schematici contenenti un insieme di componenti elettronici e non, inseriti all'interno della libreria centrale una volta testati e verificati. Essi sono quindi messi a disposizione di tutti gli utenti per la realizzazione a sua volta di altri schematici che a sua volta possono diventare reusable blocks, andando a creare vere e proprie strutture gerarchiche.

I *Reusable Blocks* possono essere:

- *Logical Only*, ossia costituito solamente da schemi circuitali
- *Physical Only*, composto dal solo layout dello schema elettrico in questione. Utilizzato nella realizzazione di circuiti stampati PCB più complessi
- *Physical and Logical*, costituiti sia dalla componente circuitale sia dal layout ad esso associato.

Un ulteriore vantaggio derivante dall'utilizzo di questi speciale blocco, è dato dalla possibilità di modificare qualsiasi schematico che lo contiene, apportando modifiche direttamente su di esso. Questo comporta il non dover andare a modificare singolarmente

tutti gli schemi circuitali che lo contengono, con un notevole risparmio di tempo ed energie.

2.2.2 Design Capture e Expedition PCB

Design Capture è lo strumento messo a disposizione da Mentor Graphics per la realizzazione di schemi elettrici e la generazione delle relative netlist. Il suo funzionamento molto intuitivo e simile a qualunque altro CAD si basa principalmente sull'utilizzo di una libreria importata dall'utilizzatore, nel nostro caso *Aramis_Mentor_Lib*. Essa permette una progettazione di tipo gerarchico, in cui vengono definiti schemi che rappresentano blocchi (la cui rappresentazione può essere editata tramite *Editor Symbol*) locali (*Local Symbol*) o presenti in libreria (*Reusable Blocks*) di schemi più complessi. Questi schemi devono essere definiti in modo da generare in un uscita una corretta sintassi della *Netlist* (comando *Generate Netlist*) per simulazioni successive, ed avere un corretto packaging (*Packager*). Quest'ultima operazione analizza tutti i simboli del progetto e li mappa nelle rispettive celle per la creazione del PCB tramite *Expedition PCB*. Un'altra interessante funzione disponibile in *Design Capture* è il *iCES* (*interactive CES*). Innanzitutto il *CES* (*Constraint Editor System*) è una sezione che permette di definire i vincoli relativi al routing delle tracce (dimensioni, distanze, classi, ecc...) per la realizzazione del circuito stampato. Esso è accessibile sia da *Design Capture* sia da *Expedition PCB* poiché strettamente correlati, ovvero cambiando qualcosa all'interno di uno dei due ambienti le modifiche si ripercuotono anche sull'altro. L'utilizzo dell' *iCES* permette invece un approccio più veloce in cui attraverso una finestra di dialogo è possibile definire direttamente da schematico le caratteristiche principali delle varie *Net* rappresentanti i collegamenti fisici tra i vari dispositivi presenti sul PCB (Figura 2.8).

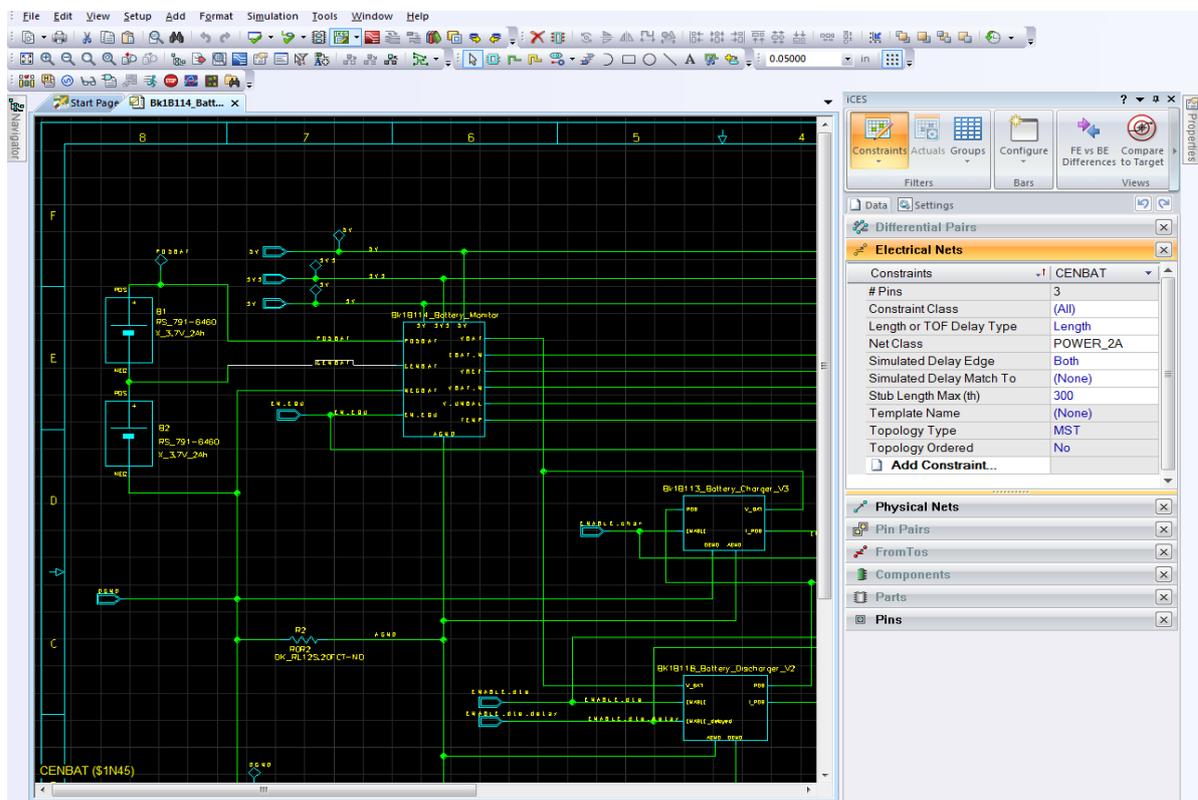


Figura 2.8: Utilizzo del *iCES* all'interno di *Design Capture*

Come è possibile vedere in figura nelle parte destra è presente una schermata di dialogo in cui, semplicemente selezionando la net di interesse è possibile definirne il tipo (o la classe, precedentemente definita) sia da un punto di vista elettrico sia da un punto di vista fisico, evitando le lunghe e noiose operazioni previste dall'utilizzo del *CES*.

Tra le varie opzioni messe a disposizione da Design Capture vi sono anche il *BOM (Bill of Material)* che fornisce la lista dei componenti utilizzati all'interno dello schema circuitale, il *Cross Reference* e il *Back Annotation*.

Per quanto riguarda la progettazione di circuiti stampati il software *Expedition PCB* permette la realizzazione di schede a 4 o 8 layer definibili ad inizio progetto. La creazione di un corretto PCB richiede l'esecuzione di un certo numero di passi che vengono di seguito elencati. Dopo aver effettuato come detto in precedenza il *packager* si deve:

- eseguire il *Foward Annotation*, che annota i collegamenti dello schematico elettrico con quelli del circuito stampato
- disegnare la forma della scheda che si vuole realizzare (*Board Outline*), e selezionare l'area in cui è possibile effettuare il routing (*Route Border*)
- posizionare i componenti all'interno dello stampato (*placement*)
- definire le *constraints* tra cui spessore delle linee, distanze tra le linee, distanze tra i componenti, topologia dei *Via*, ecc...
- eseguire il *Routing*, collegando i dispositivi fisicamente tra loro attraverso delle piste (in genere all'inizio si esegue un autorouting e solo in seguito si modifica il percorso delle piste o si collegano i piedini dei componenti ancora sconnessi a causa di autorouting incompleto)
- Generare i file di uscita utili alla realizzazione fisica del PCB: GerberFile e *NCDrill*

All'interno del tool ci sono molte altre funzioni tra cui la possibilità di un menu di dialogo chiamato Display Control che permette di facilitare tutte le operazioni appena viste: attivando o disattivando le parti e le tracce su uno o più layer, rendendo visibili solo alcune informazioni relative alle celle presenti, specchiando (comando *Mirror*) la visuale della scheda per una migliore visualizzazione del top e del bottom layer.

Infine è disponibile un accesso diretto alla libreria principale *Aramis_Mentor_Lib* che permette di aggiornare le informazioni relative alle celle presenti in libreria tramite il comando *Update Cell& Padstack*.

2.3 Passaggio da Mentor Graphics all'ambiente di simulazione LTSpice IV

Durante le simulazioni dei circuiti realizzati con il tool *Design Caputre* di *Mentor Graphics*, si sono riscontrate delle difficoltà a causa del simulatore da esso utilizzato, ovvero *HyperLynx*. Questo simulatore si basa sull'utilizzo di una sintassi *HSpice* e pertanto necessitava modelli descritti in tale formato. La difficoltà nel reperire questo tipo di informazioni, dettate dalla scelta della maggior parte dei produttori di rendere disponibili sul mercato solo descrizioni di componenti in una linguaggio *PSpice*, hanno portato ad utilizzare una strategia di simulazione completamente differente da quella finora utilizzata.

Per ovviare ai problemi suddetti si è scelto di utilizzare un altro tipo di simulatore affidandoci al software *LTSpice IV*. Esso è disponibile gratuitamente, ed è particolarmente idoneo a simulazioni di regolatori switching e di circuiti di potenza (parti fondamentali dell'elaborato in questione). In particolare si è utilizzato questo strumento solo al fine simulativo, non utilizzando la possibilità di realizzare graficamente schematici per mezzo dello stesso.

Si definiscono di seguito i passi da seguire per effettuare la simulazione utilizzando questo tipo di strategia.

1. Prima di tutto si realizza lo schematico mediante il tool *Design Capture* messo a disposizione da *Mentor Graphics*.

Durante questa fase si potrebbero verificare 3 diverse situazioni:

- Il componente da utilizzare è già presente in libreria e anche il suo modello di simulazione => si procede al suo inserimento nello schematico
 - Il componente da utilizzare è già presente in libreria ma non il suo modello => si procede cercando il modello spice in rete, una volta trovato lo si inserisce nella cartella *Models (Spice->Passives)* all'interno della cartella *AraMis_Mentor_Lib*
 - Il componente da utilizzare non è presente in libreria=> si procede realizzando la *parts* legata al componente, e successivamente si esegue il processo definito al punto precedente.
2. Una volta realizzato l'intero schematico si genera la Netlist Spice mediante *Design Capture* con l'opzione *Simulation->Netlist*,

Fatto ciò si possono presentare due scenari:

- La generazione della netlist va a buon fine => si passa al punto 3
 - La generazione della netlist non va a buon fine => si procede verificando che durante la generazione della netlist sia avvenuto il passaggio automatico dei modelli di simulazione nella cartella *sym* contenuta all'interno della cartella di progetto. Qualora i modelli non siano presenti, procedere con l'inserimento manuale in essa dei modelli mancanti (Copia/Incolla) dalla cartella *Models* di *Aramis_Mentor_Lib*.
3. Eseguita la generazione della netlist in modo efficace, si avrà un file *.spi* all'interno della cartella *genhdl* situata anch'essa all'interno della cartella di lavoro. Successivamente procedere con la definizione delle sorgenti del circuito, mediante la opzione *Simulation->Sources*. Così facendo si genera un ulteriore file *.spi* presente sempre nella cartella *genhdl*.
 4. Fatto ciò, si passa alla generazione del file contenente le modalità di simulazione da eseguire. Per creare questo file, si utilizzi la funzione di *Design Capture Tools-*

>Simulate-> Settings ,e si proceda al settaggio della simulazione desiderata tenendo tuttavia conto di queste due condizioni:

- Nel caso in cui si voglia settare più di un tipo di simulazione, si ne setti solo una
 - Nel caso in cui si voglia eseguire una simulazione montecarlo o in temperatura, si esegui la procedura indicata sopra inserendo un tipo di simulazione casuale (o .DC o .TRAN se si è interessati anche ad una di queste)
5. Successivamente si importi il file di simulazione generato all'interno dell'ambiente LTSPICE IV (File->Open e selezionando il file desiderato).

Fatto questo si hanno due possibilità:

- Eseguire il file di simulazione (Simulate->Run) dopo aver prima cancellato le seguenti righe:
 - .include "resultDisplayFile.Aqr
 - .option dcmode=all
 - .option trmode=fast
 - .option tnom=27 (facoltativo)
 - Inserire o modificare il tipo di simulazione desiderata attraverso le seguenti sintassi ed eseguire successivamente il passo al punto sopra.
 - Montercarlo: .step param <passo iniziale> <passo finale> <entità passo>
Ad esempio .step param 1 3 1 , parte dal passo 1 fino al tre con incremento di uno quindi in totale un numero di casi pari a 3.
 - Temperatura: .step TEMP <temp iniziale> <temp finale> <passo di incremento>.
 - Analisi temporale: .tran <print time interval> <tempo finale> <tempo iniziale> <precisione di simulazione>
 - Analisi DC: .dc <nome parametro> <valore iniziale> <valore finale> <passo di incremento>
6. Una volta mandato in esecuzione la simulazione ,si possono verificare le seguenti situazioni:
- Simulazione funziona=> si attende il termine
 - Si presenta un errore relativo alla netlist spice generata=> rimuovere il '+' nell'ultima riga che include il file sorgenti=> Riseguire la simulazione
 - Il passo di simulazione è troppo preciso, ridurre il passo di simulazione (Tools-> Control Panel-> Spice)=>Riseguire la simulazione

7. Una volta terminata la simulazione si ottiene in uscita la schermata in figura sotto dove è possibile studiare le forme d'onda di interesse.

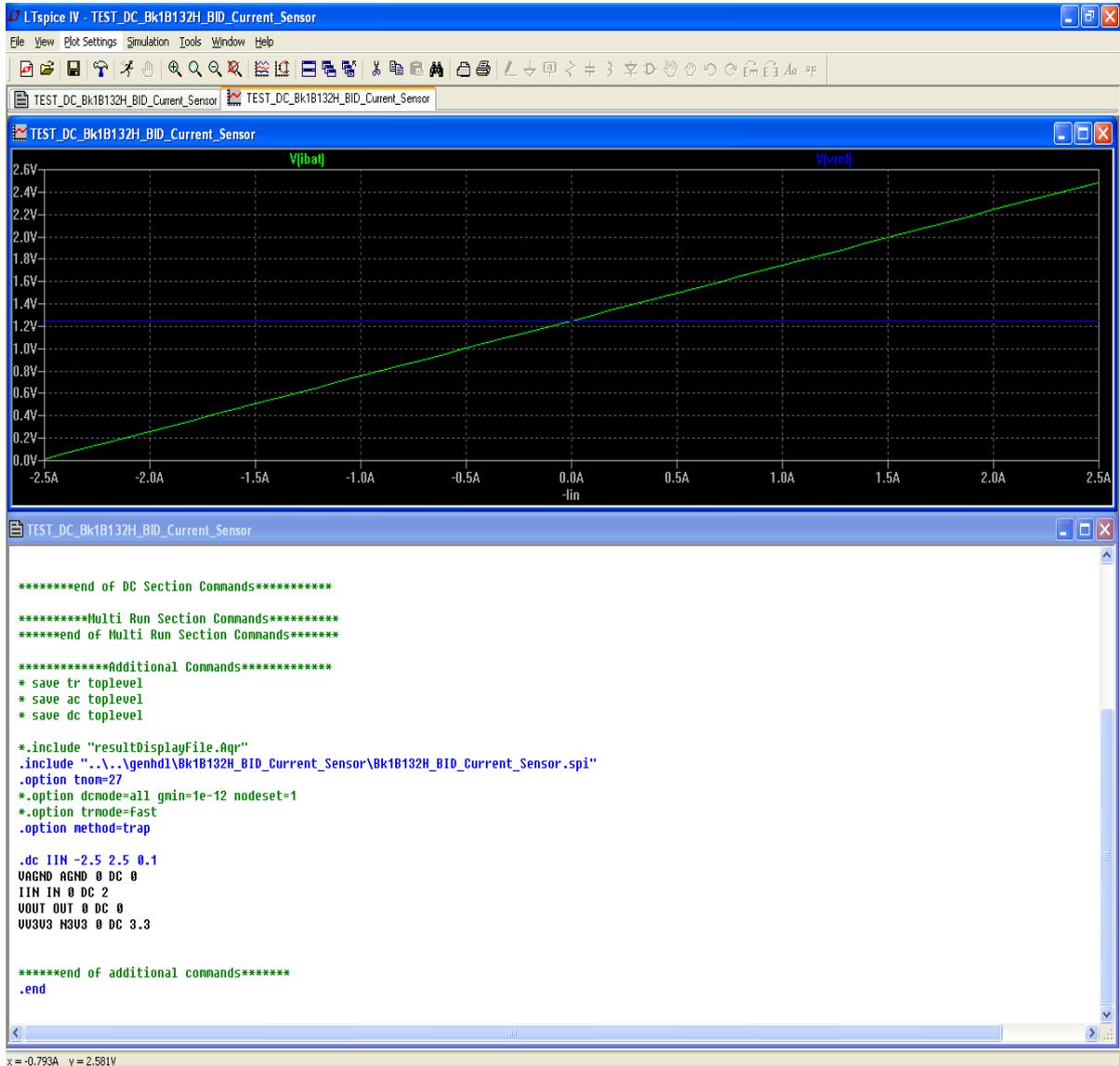


Figura 2.9: Ambiente di simulazione *LTSpice IV*

Capitolo 3

IB1_Power_Management_Subsystem

Nel primo capitolo si è descritta l'architettura generale del sistema *AraMis*. Essa come già detto è costituita da due macrosistemi principali detti *Tiles*, uno di questi è il *Power Management Tile (PMT)* che si occupa della potenza presente a bordo del satellite. In particolare all'interno di quest'ultima è il sistema *IB1_Power_Management_Subsystem* (Figura 3.1) che si occupa di gestire la potenza proveniente dalla *PMT* stessa.

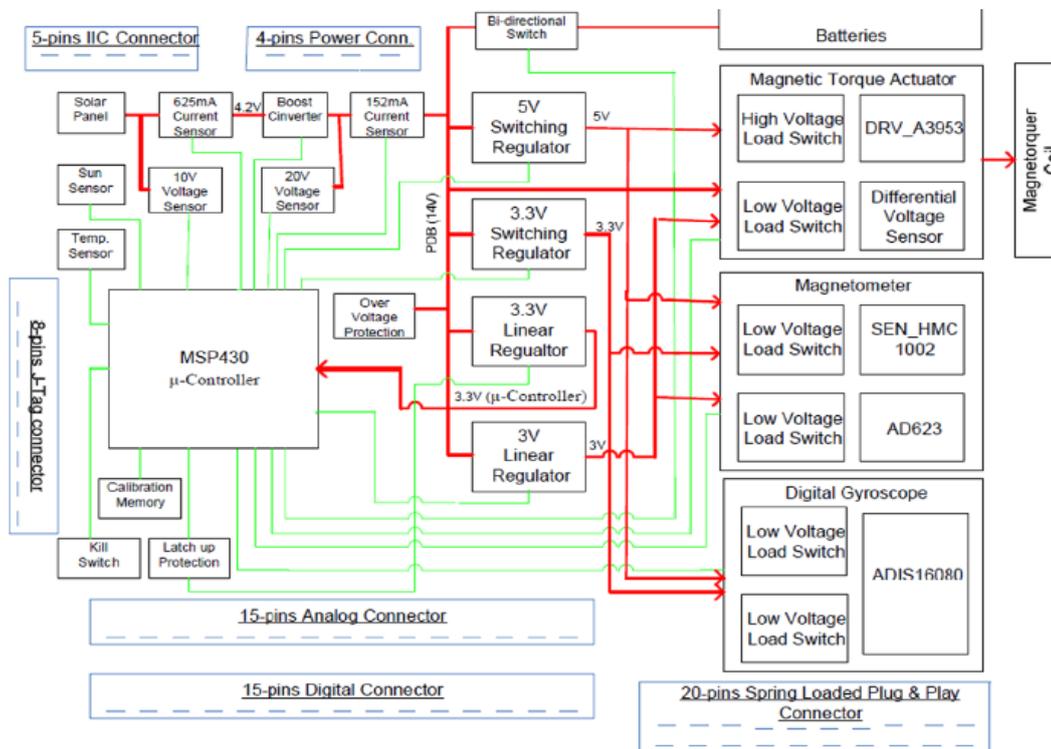


Figura 3.1: Diagramma a blocchi del *IB1_Power_Management_Subsystem*

Questo sottosistema può essere visto come l'insieme di quattro sotto-sistema più piccoli, che sono :

- *IB1_Power_Generation_and_Storage*, il cui compito prevede l'immagazzinamento, la gestione e la generazione dell'energia
- *IB12_Power_Distribution*, blocco di distribuzione della potenza all'interno dell'intera struttura *AraMis*. In particolare si definisce le caratteristiche del *PDB (Power Distribution Bus)*
- *Bk1B13_Sensors*, costituito dall'insieme di tutti i dispositivi (sensori) per il monitoraggio del corretto funzionamento del *IB1_Power_Management_Subsystem*

- *IB14_Centralized_Power_Management*, in cui viene descritto il blocco di gestione sia software che hardware dell'intero sistema *IB1_Power_Management_Subsystem*

E' possibile osservare la suddivisione di questo sottosistema, in maniera chiara ed intuitiva, dalla sua descrizione in *Visual Paradigm* tramite un diagramma delle classi(Figura 3.2).

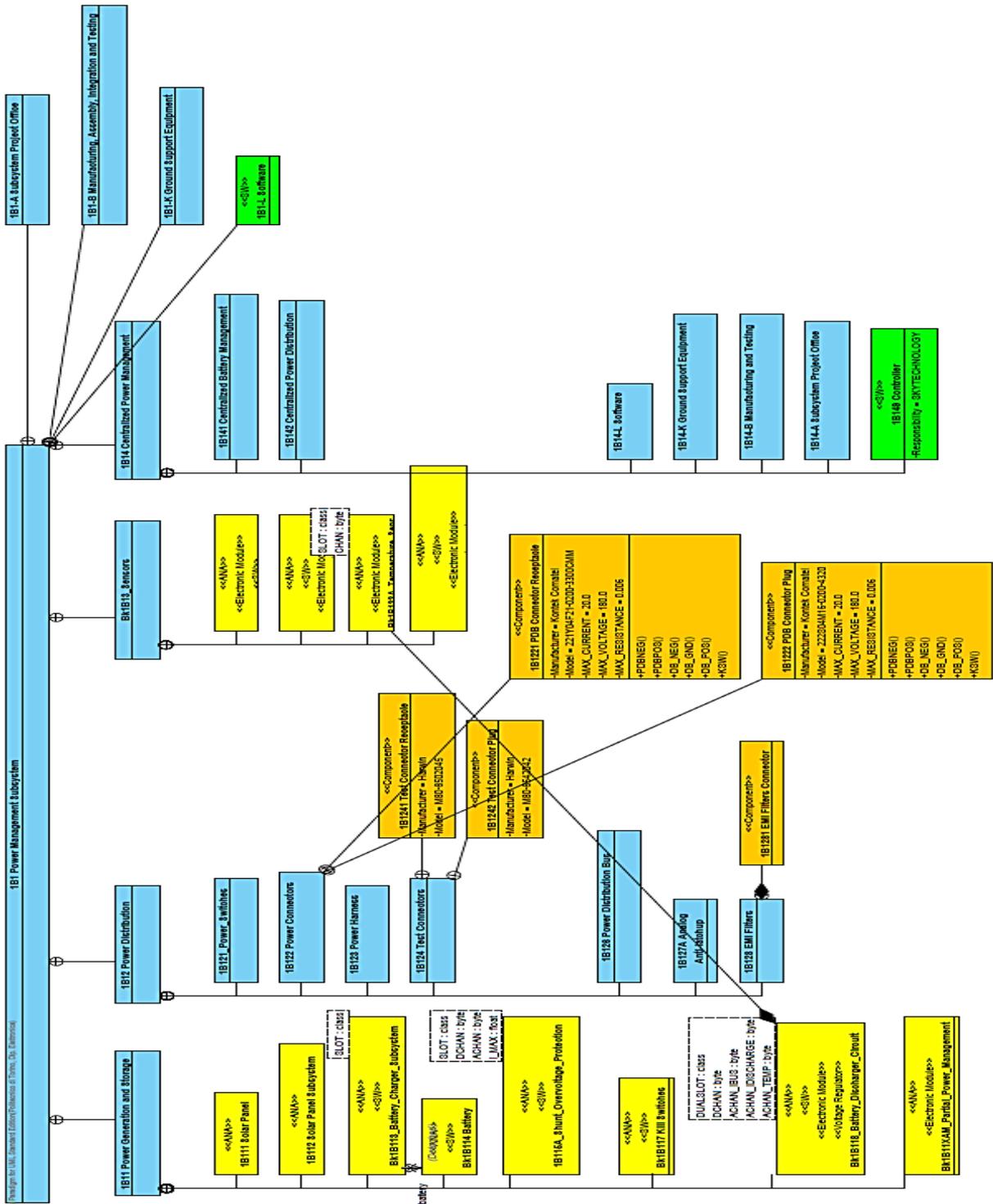


Figura 3.2: *IB1_Power_Management_Subsystem* Class Diagram

Come è facilmente intuibile, il sistema appena descritto rappresenta una delle parti chiavi dell'intera struttura, poiché esso è il diretto responsabile del mantenere in vita il satellite nello spazio.

Questo porta ad una definizione estremamente accurata e restrittiva delle sue specifiche e della sua progettazione, non dovendo garantire solo il suo funzionamento, ma qualora si manifestasse un guasto non danneggiare le altre possibili *Tiles* di gestione della potenza che lavorano in parallelo. La presenza di molteplici sottosistemi è resa possibile dall'approccio altamente modulare della architettura considerata.

Infatti potrebbero essere presenti più banchi batterie e più fonti di energia primarie (pannelli solari) per ogni modulo, legate al quantitativo di potenza, necessari al corretto funzionamento del satellite o al solo fine di ottenere un sistema più robusto (capace di tollerare uno o più malfunzionamenti mantenendo prestazioni accettabili). Questo rende necessario un sistema di gestione delle *Tiles* e anche del funzionamento della singola più complesso sia dal punto di vista software sia da quello hardware, che ne determini le priorità e la distribuzione delle risorse tra i vari elementi. Come ad esempio il diverso quantitativo di energia erogato dai pannelli solari montati sulle facce esterne del satellite, e sottoposti a differenti radiazioni solari e condizioni termiche dipendenti dalla posizione di quest'ultimo rispetto al sole (possibili zone d'ombra).

Per questo si è reso necessario, la definizione di un opportuno bus di distribuzione *PDB* (*Power Distribution Bus*) le cui caratteristiche e il suo funzionamento vengono descritti all'interno del sistema *IB126_Power_Distribution_Bus*.

3.1 1B126_Power_Distribution_Bus

Il *Power Distribution Bus (PDB)* è il sistema di distribuzione dell'energia utilizzato all'interno dell'architettura *AraMis*. La sua particolare struttura permette il collegamento contemporaneo di diversi tipi di elementi siano essi: erogatori di energia, immagazzinatori di energia, regolatori, e carichi, garantendone così un elevato grado di modularità e flessibilità.

In particolare per erogatori di energia all'interno della struttura esaminata, si intendono sia i pannelli solari che ne costituiscono la fonte principale (*Primary Source*) sia le batterie durante la loro fase di scarica (*Secondary Source*). Quest'ultime sono incluse anche nella categoria degli accumulatori nel momento che vengono usati durante la loro fase di carica. Si definisco di seguito le caratteristiche principali, che caratterizzano il funzionamento del sistema di distribuzione (*PDB*):

- Tutte le *Power Management Tile (PMT)* all'interno dell'architettura devono essere collegate al *PDB*.
- I livelli di tensione presenti sul *PDB* devono essere compresi tra i 12V e i 19V, con un valore di tensione nominale pari a 14V.

- Il *PDB* deve essere in grado di gestire contemporaneamente sia l'energia proveniente dai pannelli solari sia dalla batteria (supposta precedentemente caricata), qualora il fabbisogno delle risorse da parte del sistema lo richiede.
- Se il quantitativo di potenza presente sul bus è superiore alla richiesta degli utilizzatori, il *PDB* deve essere in grado di immagazzinare energia nelle batterie o, qualora queste fossero già cariche, dissipare il contenuto energetico tramite opportuni circuiti al fine di non danneggiare se stesso e dispositivi ad esso collegati.
- Tutti i circuiti collegati al *PDB* devono essere di tipo analogico, permettendo una velocità di intervento molto più elevata rispetto ad un approccio digitale. Lo stato dei dispositivi connessi dipende dal valore di tensione presente sul bus, che ne determina quindi l'attivazione e la disattivazione.

Vista l'importanza del ruolo assunto dal *Power Distribution Bus* si rende necessaria una chiara e dettagliata descrizione delle sue specifiche.

Infatti dato che ad esso vengono collegati tutti i dispositivi caratterizzanti le funzioni chiave del satellite, una definizione ambigua potrebbe portare ad una progettazione errata dei sottosistemi compromettendone la riuscita dell'intero sistema.

Come tutti i precedenti blocchi illustrati si utilizza ancora una descrizione ad oggetti su *Visual Paradigm*, dove i principali elementi che si connettono al bus vengono chiamati *attori*.

3.2 Scenario degli elementi attivi sul Power Distribution Bus

Come detto in precedenza gli elementi principali che svolgono attività sul *PDB* sono: il *Primary Source*, l' *Energy Storage* e i *Loads* (Figura 3.3). Ad essi, si aggiungono altri dispositivi, quali:

- *Battery Source (o Battery Discharger)*
- *Battery Charger*

Quest'ultimi sono direttamente collegati all'utilizzo degli elementi principali, ad esempio il *battery charger* consente l'immagazzinazione dell'energia nel *Energy Storage*. Sono presenti anche ulteriori circuiti che hanno una funzione di supervisione e protezione del sistema in generale:

- *Active Shunt*
- *Overvoltage Protection*

La totalità dei dispositivi opera tra loro col/e mediante il bus di potenza permettendo di implementare tutti i concetti fondamentali su cui si basa il funzionamento del *IB126_Power_Distribution_Bus*.

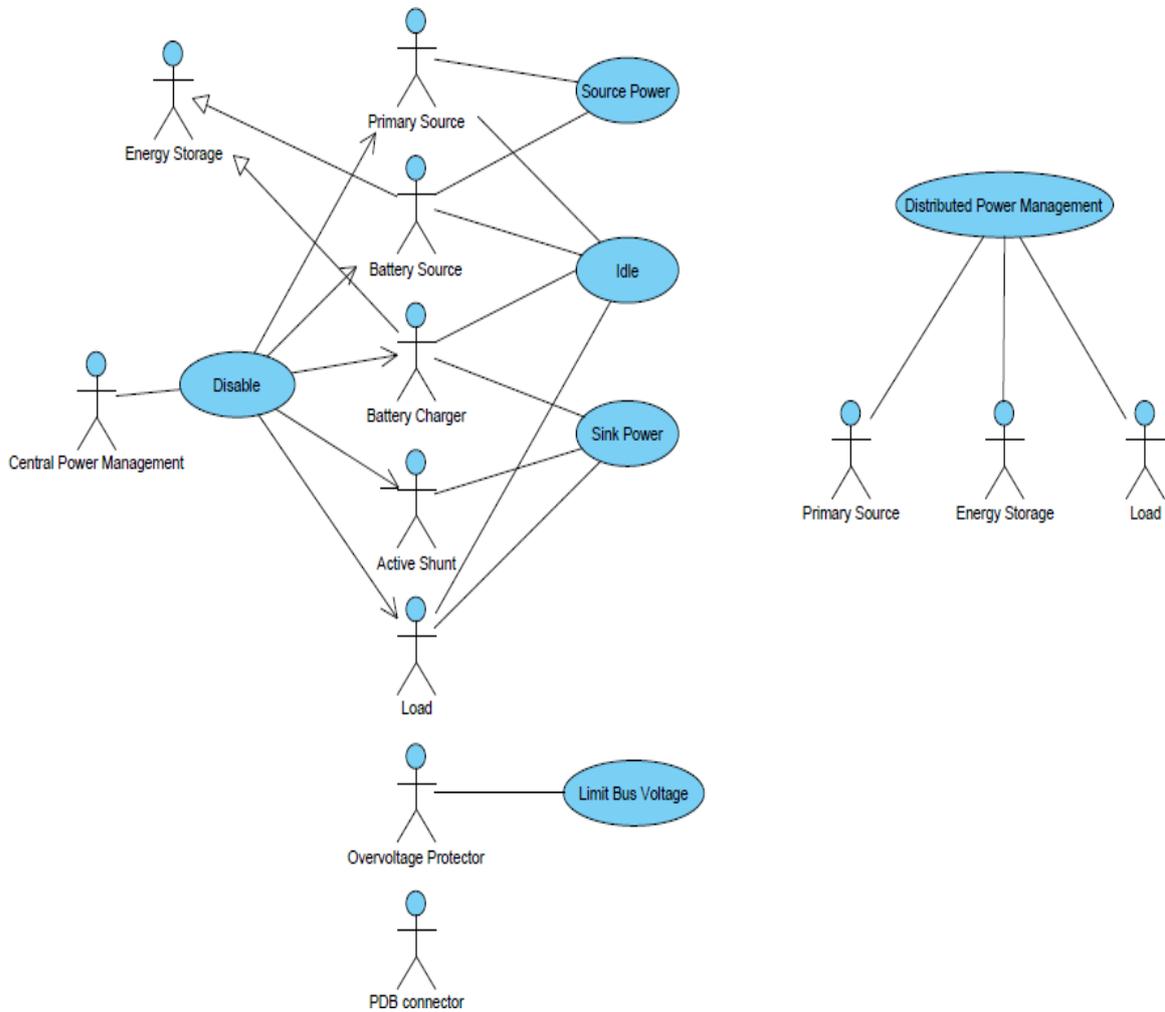


Figura 3.3: attori principali sul PDB.

Descriviamo in seguito ogni attore nel dettaglio.

3.2.1 Primary Source

Il *Primary Source* è costituito dai pannelli solari, e rappresenta la fonte primaria di generazione dell'energia elettrica a bordo del satellite.

Questo dispositivo deve fornire nel modo più efficiente possibile una tensione sul PDB, ottenuta dalla conversione in energia elettrica dell'energia proveniente dalle radiazioni solari, compresa tra i 12V e i 16 V (con una tensione nominale di 13.2V).

Esso durante il suo funzionamento deve erogare una corrente di circa 0.5 A (valore nominale di 0.4A) per tutto il range di queste tensioni (Figura 3.4).

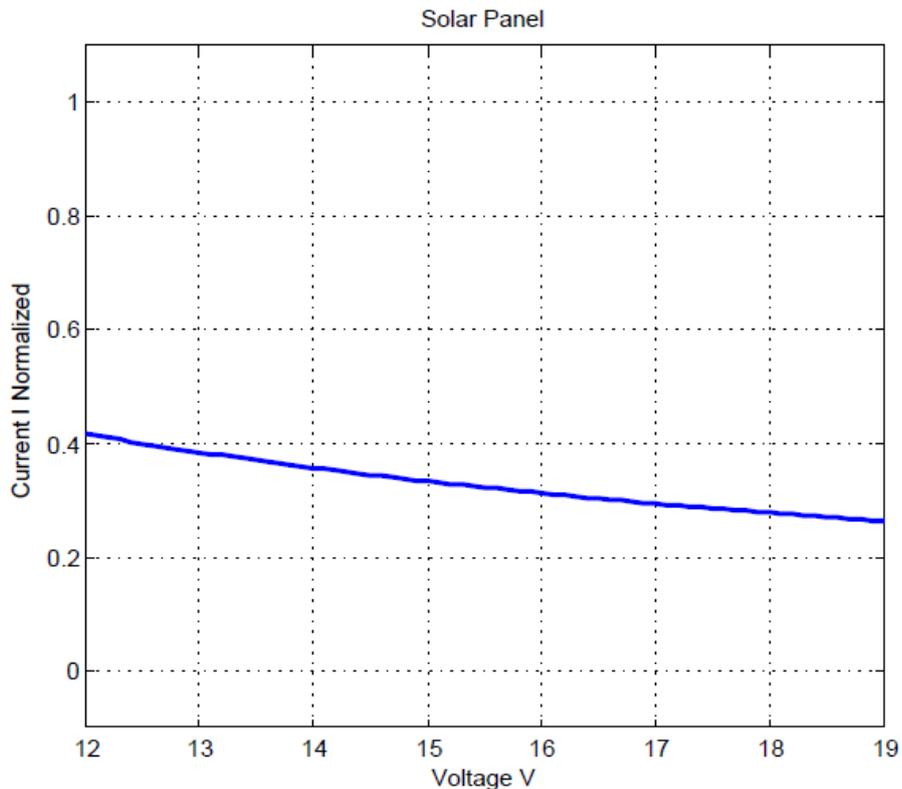


Figura 3.4: Caratteristica elettrica tensione-corrente del *Primary Source*

Dall' andamento del grafico si può notare un ulteriore aspetto importante relativo alla potenza in uscita al pannello solare. Questa deve mantenersi circa costante per tutto l'intervallo delle grandezze considerate. Inoltre deve essere garantito il suo funzionamento per tensione comprese tra i 0V e i 25V, e delle correnti di perdita medie minori ai 100 μ A (1mA di picco) ed anche una resistenza di uscita differenziale tra ± 0.5 V/A e $\pm \infty$.

Il suo funzionamento è caratterizzato da due possibili stati:

- *ACTIVE*, il dispositivo è abilitato e fornisce al *PDB* l'energia necessaria convertita
- *IDLE*, il dispositivo è disabilitato (rimane in attesa di un'eventuale abilitazione)

3.2.2 Energy Storage

L' *Energy Storage* è costituito dalle celle a polimeri di litio *Li-Po*, che rappresentano la fonte di energia secondaria a bordo del satellite. Essi sono degli accumulatori di energia utilizzati, per equilibrare gli scompensi energetici generati dal movimento del satellite intorno all'orbita, che alterano le condizioni termiche e di illuminamento a cui sono sottoposti di continuo i pannelli solari. Questo elemento pertanto funge da serbatoio, immagazzinando energia nei momenti in cui essa è presente in eccesso a bordo del satellite e cedendola in caso di carenza. Anche in questo caso il funzionamento del dispositivo è caratterizzato da differenti stati operativi:

- *ACTIVE*, le batterie sono abilitate e in base alla tensione presente sul *PDB* vengono caricate (*Battery Charger*) o scaricate (*Battery Discharger*)
- *IDLE*, le batterie non sono abilitate (attendono un segnale di abilitazione)
- *EMPTY*, le celle sono completamente scariche e necessitano di essere caricate
- *FULL*, la tensione della cella ha raggiunto il suo massimo valore ammissibile, ed eventuali esuberanti di energia dovranno essere dissipati opportunamente per evitare la distruzione della batteria

Il tipo di batterie scelte e i problemi ad esse associati sarà illustrato nel dettaglio nel successivo capitolo, permettendoci di definire tutti i vincoli a cui saranno soggetti i successivi sottosistemi definiti.

3.2.3 Load

E' costituito da qualsiasi tipo di circuito che collegato al *PDB*, ne assorbe la potenza per il suo funzionamento (incluso il *payload*). Affinché vi sia compatibilità con le specifiche del *PDB*, i carichi collegati al bus devono lavorare ad una tensione compresa tra i 12V e i 18 V, e non devono subire danneggiamenti per tensioni inferiori ai 25V. Essi dovranno presentare una resistenza differenziale $-dV/dI$ compresa tra ± 0.5 V/A e possono assumere due differenti modalità di funzionamento:

- *ACTIVE*, il dispositivo è abilitato e assorbe potenza
- *IDLE*, il dispositivo è scollegato dal bus e pertanto non produce nessun consumo di potenza. In particolare deve assorbire una corrente media inferiore ai 100 μ A e di picco inferiore a 1mA

3.2.4 Battery Source

Il *Battery Source* o *Battery Discharger* è quel circuito di interfaccia (innalzatore di tensione) tra il bus di potenza e le batterie. Esso ha la funzione di prelevare corrente da quest'ultime (quando queste risultano essere cariche) aumentando la quantità di energia disponibile sul satellite, e rendendola compatibile alle caratteristiche elettriche definite per il *PDB* (ovvero minore è la tensione sul bus di potenza maggiore sarà la corrente richiesta dal bus alle batterie) (Figura 3.5). Come si vede nella figura sotto il circuito opera per tensioni di bus inferiori ai 13.5V. In particolare ha un andamento lineare per tensioni comprese tra i 12.5V e 13.5V e mostra una resistenza differenziale di uscita pari a -1Ω ($\pm 10\%$). Inoltre deve erogare valori di corrente costanti e massimi per tensioni inferiori ai 12.5V. Anche esso ha diversi possibili stati di funzionamento :

- *ACTIVE*, il circuito è abilitato e procede alla scarica delle batterie

- *IDLE*, il circuito è spento e le batterie sono scollegate dal bus (dal lato di scarica)
- *EMPTY*, le batterie sono scariche e non è possibile fornire energia

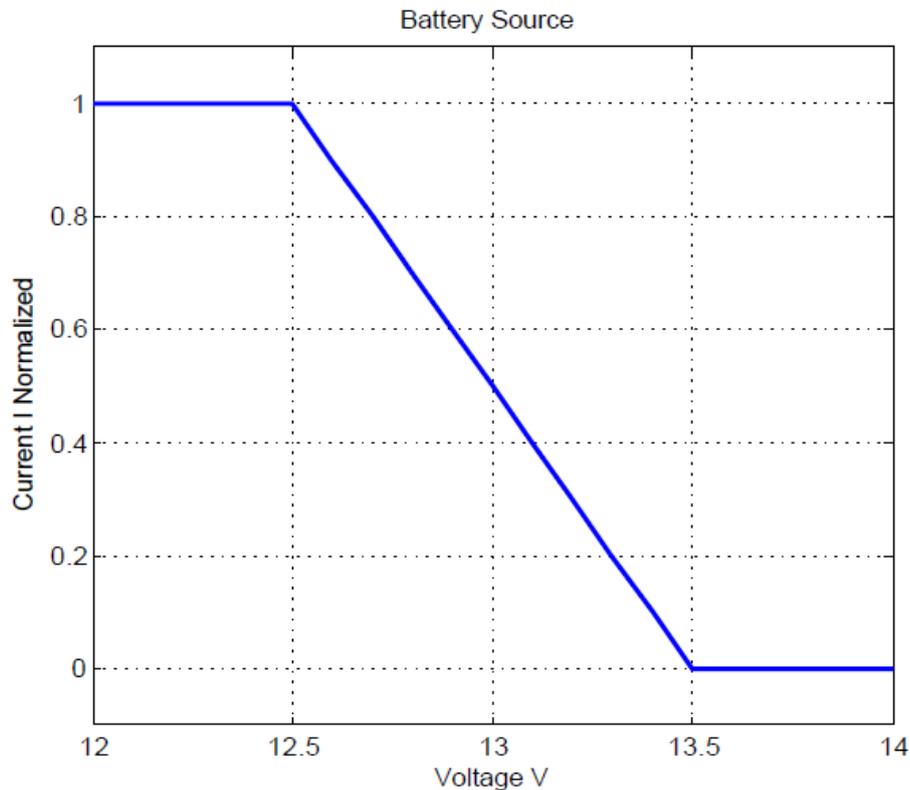


Figura 3.5: Caratteristica I-V di uscita ideale e normalizzata del *Battery Discharger*

Il grafico mostrato in figura si riferisce ad un valore di corrente normalizzato, e che può variare in base a diversi fattori tra cui la scelta del numero e del tipo di celle utilizzate e in particolare dalla corrente di scarica di quest'ultime. Si riportano in seguito le specifiche elettriche e le tolleranze del sistema considerato:

$$V = \begin{cases} 13.5 \pm 250\text{mV} \\ 12.5 \pm 250\text{mV} \end{cases}$$

Si deve inoltre garantire che il circuito non si distrugga per tensioni inferiori ai 25V e che il suo assorbimento di corrente in condizione di inattività deve essere inferiore a 100μA per correnti medie e 1mA per correnti di picco.

3.2.5 Battery Charger

Il *Battery Charger* è quel circuito di interfaccia (abbassatore di tensione) tra il bus di potenza e le batterie, in grado di generare l'energia necessaria alla carica di quest'ultime in maniera compatibile alle caratteristiche elettriche presenti sul PDB (ovvero maggiore è la

tensione sul bus, maggiore sarà la corrente di carica delle batterie). Ovviamente questo è reso possibile qualora la potenza presente a bordo del satellite, è superiore alla quantità richiesta per mantenere attive le sue funzionalità(Figura 3.6). Questa condizione sarà facilmente comprensibile dal livello di tensione presente sul *PDB*. Come si vede dalla figura sotto, questo circuito lavora per tensioni superiori ai 14.5 V, e assorbe una corrente di bus massima costante per tensioni superiori ai 15.5V . Per tensioni comprese tra i 14.5V e 15.5V l'andamento si mostra lineare presentando una resistenza differenziale di uscita pari a $1\Omega (\pm 10\%)$. Anche tale dispositivo ha diversi possibili stati di funzionamento :

- *MASTER*, il circuito abilitato in questa modalità assorbe l'energia necessaria a caricare le celle con una priorità più alta rispetto a tutti gli altri circuiti di carica, ma condividendo comunque le risorse disponibili con tutti i dispositivi *master*
- *SLAVE*, il circuito abilitato in questa modalità assorbe l'energia necessaria a caricare le celle condividendo le risorse disponibili con gli altri circuiti *slave*, solo qualora non siano abilitati altri circuiti di carica con priorità più alta (*Master*)
- *IDLE*, il circuito è spento e le batterie sono scollegate dal bus (dal lato di carica)
- *FULL*, le celle hanno raggiunto il loro massimo valore di tensione, e un' ulteriore carica porterebbe al danneggiamento irreversibile delle stesse

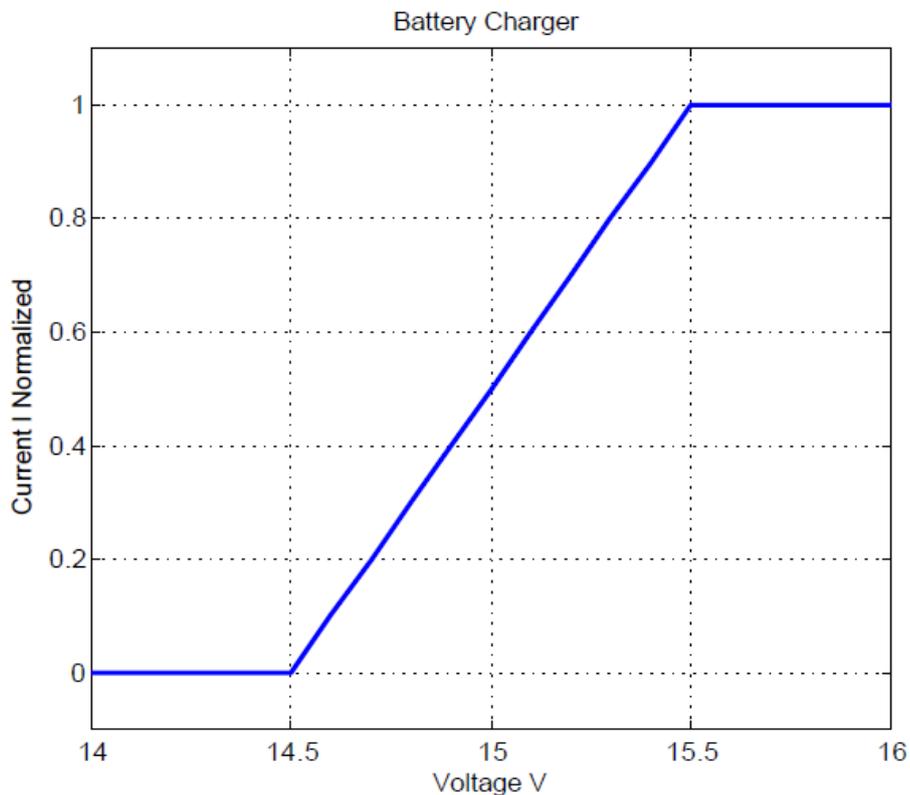


Figura 3.6: Caratteristica I-V di uscita ideale e normalizzata del *Battery Charger*

Anche questo grafico si riferisce ad un valore di corrente normalizzata, e che può variare in base a diversi fattori tra cui come detto in precedenza la scelta del numero e del tipo di celle(in particolare della loro massima corrente di carica).

Si riportano in seguito le relative specifiche elettriche e le tolleranze del sistema di carica:

$$V = \begin{cases} 14.5 \pm 250\text{mV} \\ 15.5 \pm 250\text{mV} \end{cases}$$

Si deve inoltre garantire che il circuito non si distrugga per tensioni inferiori ai 25V e che il suo assorbimento di corrente in condizione di inattività deve essere inferiore a 100 μ A per correnti medie e 1mA per correnti di picco.

3.2.6 Active Shunt

L' *Active Shunt* è un dispositivo di dissipazione ottenuta per mezzo di opportuni resistori. Viene utilizzato quando l'energia presente sul *PDB* è talmente alta da superare la richiesta a bordo del satellite, incluso eventuali erogazioni alle batterie nel caso non fossero completamente caricate. Pertanto per salvaguardare il bus di potenza si scarica l'energia in eccesso, tramite resistori serie (detti *shunt*) e di conseguenza irradiata nello spazio sotto forma di calore.

Il circuito opera per tensioni sul *PDB* comprese tra i 16.5V e i 17.5V(Figura 3.7).

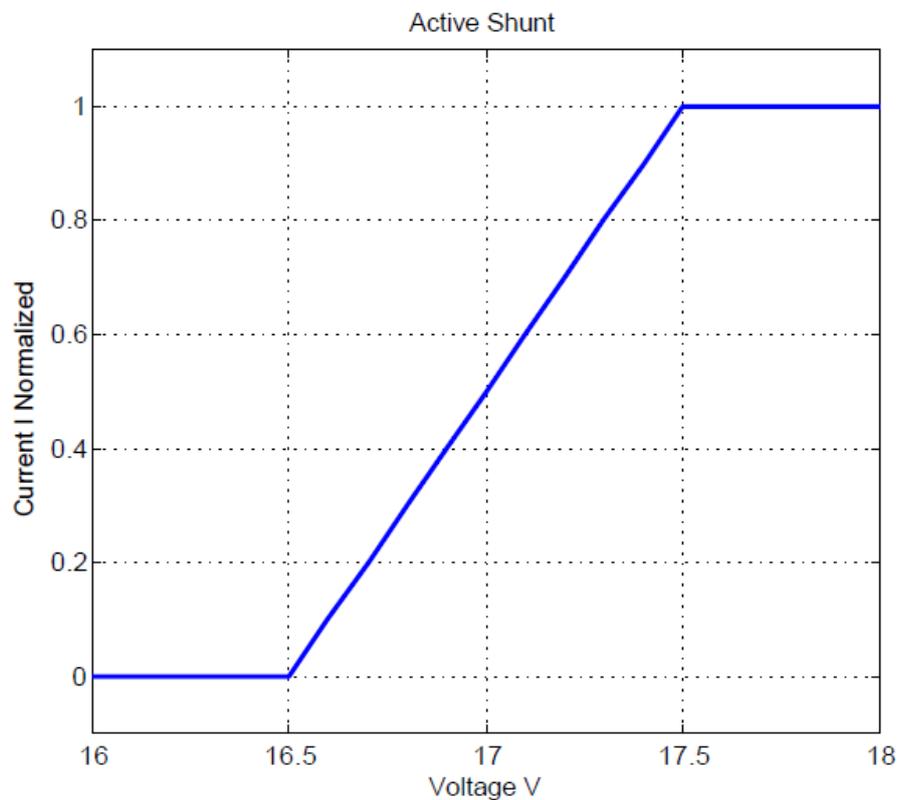


Figura 3.7: Caratteristica I-V di uscita ideale e normalizzata del *Active Shunt*

Dall' andamento lineare in figura si può osservare un valore di resistenza differenziale di uscita pari a 1Ω ($\pm 10\%$). Il circuito dovrà dissipare una corrente costante e massima per tensioni sul bus superiori ai $17.5V$, garantendone il suo funzionamento senza danni per tensioni comprese tra $0V$ e TDB , dove per TDB si intende il valore di tensione massimo corrispondente alla massima potenza dissipabile dalle resistenza, secondo la legge:

$$P_j = \frac{TDB^2}{R}$$

$$TDB = \sqrt{R * P_j}$$

Il suo funzionamento può essere caratterizzato dal passaggio tra due stati:

- *DISABLE*, il circuito è disabilitato pertanto non dissipa energia. In questa configurazione il dispositivo deve assorbire una corrente media inferiore ai $100\mu A$ e una corrente di picco inferiore a $1mA$
- *ACTIVE*, il circuito è abilitato e dissipa l'energia in eccesso sotto forma di energia termica

Anche in questo caso vengono definite le specifiche elettriche e le tolleranze relative al circuito descritto:

$$V = \begin{cases} 16.5 \pm 250mV \\ 17.5 \pm 250mV \end{cases}$$

3.2.7 Overvoltage Protector

L'*Overvoltage Protector* è il circuito di protezione e prevenzione contro le sovratensioni presenti sul *PDB*.

Esso vista la sua criticità, è sempre abilitato, intervenendo per tensioni sul *Power Distribution Bus* superiori ai $17.5V$ attraverso un assorbimento di corrente. Quindi permette di fornire una protezione continua all'intero sistema.

Il circuito, oltre a dover garantire il suo funzionamento senza essere soggetto a danni per tensioni comprese tra i $0V$ e i $25V$, deve garantire un assorbimento di corrente quando non interviene direttamente sul bus pari a $100\mu A$ e una sua corrente di picco di assorbimento inferiore a $1mA$. Esso presenta anche una resistenza differenziale di uscita pari a 1Ω ($\pm 10\%$) come è possibile osservare dalla Figura 3.8.

Le specifiche elettriche e le relative tolleranze caratterizzanti l'uso di questo dispositivo, sono:

$$V = \begin{cases} 17.5 \pm 250mV \\ 18.5 \pm 250mV \end{cases}$$

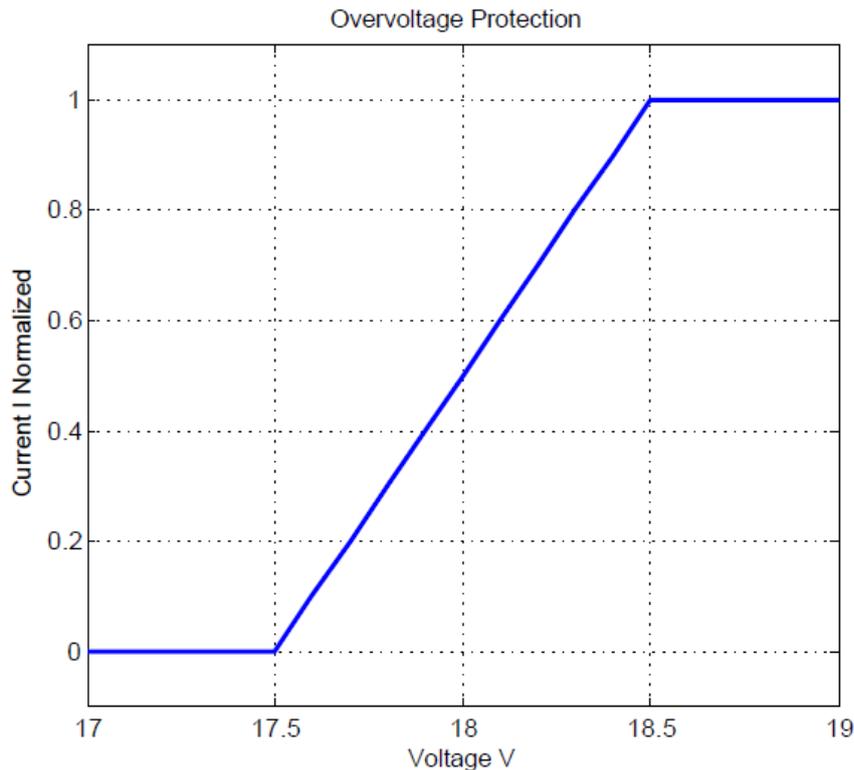


Figura 3.8: Caratteristica I-V di uscita ideale e normalizzata del *Overvoltage Protection*

Come tutti gli altri casi anche questo grafico si riferisce a valori di correnti sul bus normalizzati.

3.3 Comportamento globale del Power Distribution Bus

Avendo definito singolarmente tutti gli elementi che operano direttamente ed indirettamente in funzione della tensione presente sul *Power Distribution Bus* (che presenta quindi anche un contenuto informativo), è possibile ottenere il comportamento globale del *PDB* attraverso una caratteristica tensione-corrente che ne mostra l'attività dei suddetti dispositivi (Figura 3.9).

In particolare, per ragioni di comodità si fa riferimento a correnti normalizzate per tutti i blocchi (condizione in realtà impossibile nel *PDB*), andando a valutare l'andamento per tensioni di bus comprese tra i 12V e i 19V e considerando le relative tolleranze a cui sono soggetti la totalità dei dispositivi.

Dal grafico sotto si può osservare tali incertezze siano state scelte opportunamente, in modo da garantire che ogni dispositivo lavori in una situazione univoca e non interferisca con il funzionamento degli altri attori.

E' inoltre garantito che all'interno di tale range di tensione non vi è nessun caso in cui tutti i dispositivi rimangano inattivi.

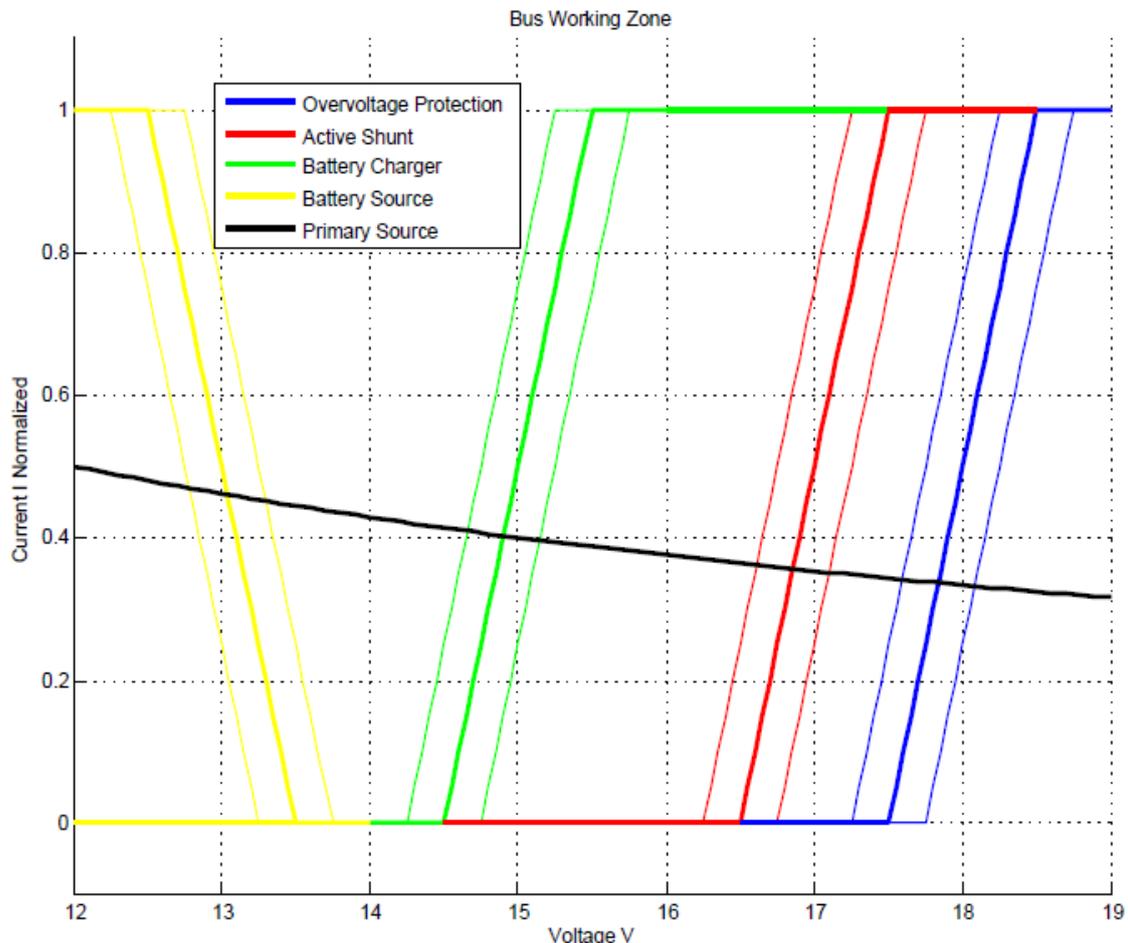


Figura 3.9: Caratteristica ideale complessiva del *Power Distribution Bus (PDB)*

Al solo fine dimostrativo vengono illustrate delle simulazioni (Figura 3.10 e Figura 3.11), effettuate in periodi precedenti, che mostrano il funzionamento del PDB all'interno della struttura *AraMis* così caratterizzata:

- Cubo 2 x 2 x 2
- 20 *Power Management Tiles (PMT)*
- 20 Pannelli solari (40 W di picco)
- 20 Batterie (580 Wh)
- Tensione di bus nominale pari a 14V con valori di corrente di picco pari ad 20 A
- Connessione in parallelo: potenza massima nominale 280 W
- Periodo di rivoluzione 100min e rotazioni di 1Hz
- Tre carichi attivati casualmente da 15W, 100W e 200W.

In cui la capacità delle batterie è stata ridotta per diminuire la lunga durata delle simulazioni.

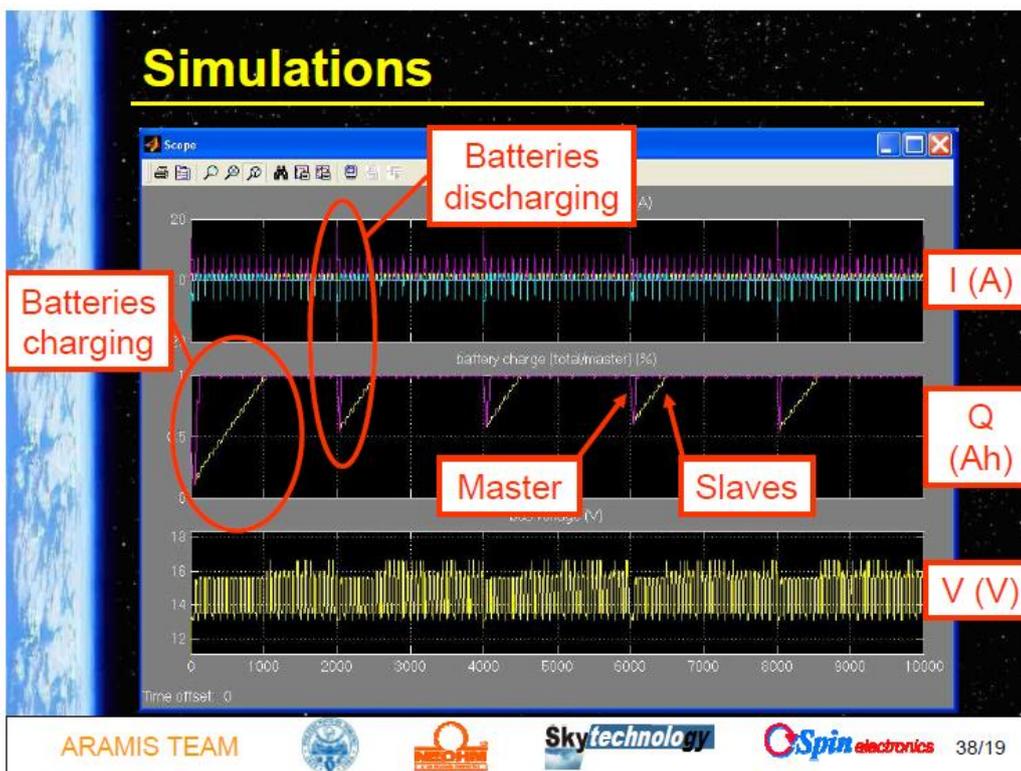


Figura 3.10: Simulazione del comportamento globale del PDB (parte1)

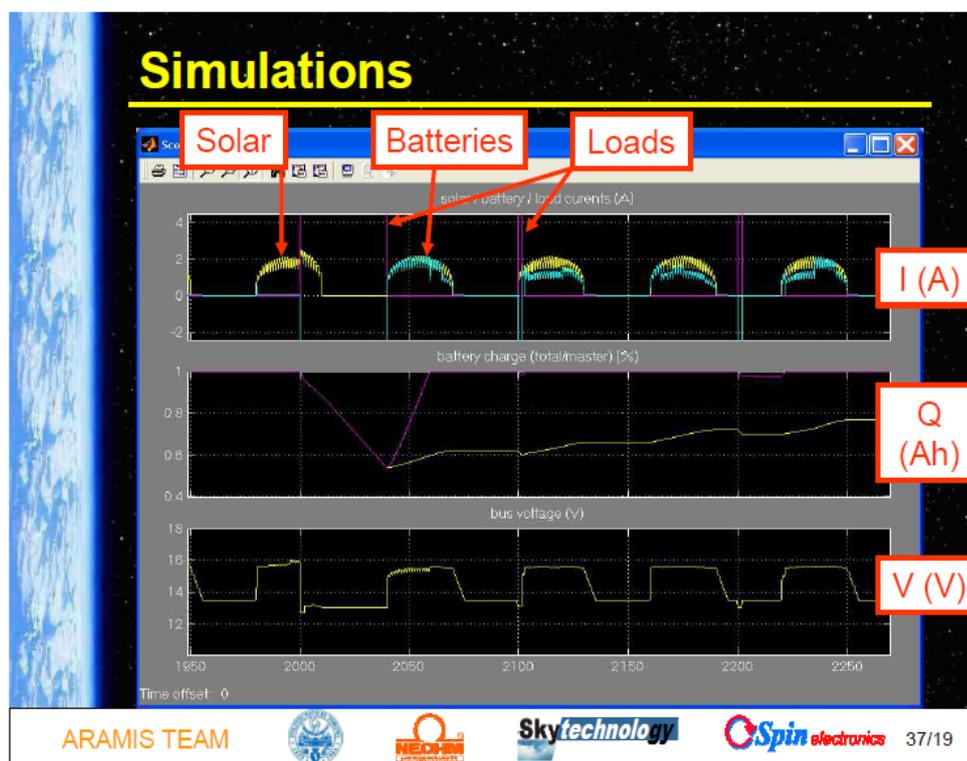


Figura 3.11: Simulazione del comportamento globale del PDB (parte2)

Capitolo 4

Batterie

Come detto nel precedente capitolo, le batterie rappresentano a bordo del satellite *AraMis* la fonte di energia secondaria. La scelta di utilizzare delle batterie, è strettamente legata alle ridotte dimensioni del satellite che non consentono l'utilizzo di fonti non rinnovabili, come ad esempio del carburante. Infatti senza esse l'unica fonte di alimentazione, deriverebbe direttamente dai pannelli fotovoltaici posti sulle superfici esterne della struttura. Tuttavia quando il satellite in orbita transita nelle zone cosiddette d'ombra, la quantità di energia prodotta dai pannelli stessi risulta essere limitata, rischiando di non essere sufficiente a mantenere in vita il satellite. Per questo motivo risulta fondamentale, al fine di garantire un'adeguata alimentazione anche in tali situazioni, l'utilizzo di un sistema che immagazzini e prelevi energia da tali accumulatori quando è necessario.

4.1 Batteria Mikroe 1120

La scelta delle batterie da utilizzare a bordo del satellite è ricaduta sulle *Mikroe 1120* (Figura 4.1). Queste sono batterie *Li-Po* (polimeri di litio) [9] caratterizzate da un elettrolita in sale di litio che non è contenuto nel solvente organico, ma in un composito di polimero solido (che non è infiammabile a differenza del precedente). Risultano essere così meno pericolose e più idonee ad applicazioni spaziali.

Esse inoltre a differenza delle classiche celle *Li-Ion* non sono contenute all'interno di contenitori rigidi di forma cilindrica o prismatica, ma presentano una struttura a fogli flessibili (spesso pieghevoli) caratterizzata dall'essere più leggera, e con la possibilità di essere sagomata per ricoprire lo spazio che gli è stato riservato, fornendo notevoli vantaggi dal punto di vista meccanico.

Questo è un aspetto fondamentale in sistemi come *AraMis*, in cui l'area occupata rappresenta un degli elementi chiave.



Figura 4.1: Batteria Li-Po Mikroe 1120

Vediamo in particolare le caratteristiche elettriche (Figura 4.2) e meccaniche (Figura 4.3) salienti, che contraddistinguono l'uso di questa cella:

Details	Parameters		Remarks
Rated voltage	3.7V		
Rated capacity	2000mAh		discharge with 0.2C to 2.75V after fully charge within 1h, measuring the discharge time
Limited charge voltage	4.2V		
Internal resistance	$\leq 160\text{m}\Omega$		
charge mode	C.C/C.V.		
Charge time	6H		Standard charging 0.2C 400mA
Max Charge Current	2000mA		
Max discharge current	Continuous: 2000mA		
Working temperature	charging	0~45°C	
	discharging	-10~60°C	
Storage temperature	1 Month	-10~35°C	Charge to 40%~50% of capacity when storage
	6 months	-10~30°C	
ESD ability	Touch discharge $\geq 20000\text{V}$		
	Air discharge $\geq 20000\text{V}$		
Cycle life	300 times		capacity $\geq 80\%$

Figura 4.2: Specifiche elettriche Mikroe 1120

Items	Parameters		Tolerance	Term	Remark/ condition
Appearance	No mechanical damage, leakage, sink, drum and so on		/	50cm distance under 40W daylight lamp	Visual
Dimensions	Length	61.0mm	Max 61.0mm	Digital caliper	
	Width	43.0mm	Max 43.0mm		
	Thickness	6.7mm	Max 6.7mm		
Details	Parameters		Remarks		
Storage humidity	$\leq 75\%$		relative humidity		
Weight	Approx. 45g				

Figura 4.3: Specifiche meccaniche Mikroe 1120

Come vediamo dalle specifiche elettriche la tensione di batteria garantita è di soli 3.7V.

Per questa ragione si utilizzeranno due celle poste in serie in modo da aumentare il quantitativo di energia immagazzinabile e reso disponibile dal banco batterie.

Questa strategia seppur necessaria porta ad avere durante la fase di carica problemi di sbilanciamento.

Alcune tecniche per la risoluzione di tale problema verranno sono illustrate di seguito, mentre il circuito che implementa la soluzione adottata sarà illustrato nei capitoli successivi.

Altre caratteristiche elettriche fondamentali per quanto riguarda l'utilizzo delle batterie sono: la corrente di carica e scarica delle batterie (che in questo caso risulta essere la stessa, e pari a 2A), e la massima tensione di cella pari a 8.4V (oltre il quale quest'ultima subisce danni irreversibili).

Inoltre è garantito il funzionamento corretto della batteria per le temperature operative del satellite.

Nelle caratteristiche mostrate in figura è presente anche il metodo di carica delle batterie da utilizzare che è il modo CC-CV (corrente costante - tensione costante). Tale metodo sarà illustrato nel dettaglio nel successivo paragrafo, insieme ad una breve discussione su delle analisi precedentemente sostenute dal gruppo *AraMis* riguardanti lo studio dell'efficienza e della durata della vita di tipologie di celle campione.

4.2 Metodo di carica delle batterie CC-CV (constant current - constant voltage) e analisi sull'efficienza delle batterie

Il metodo di carica più idoneo utilizzato per caricare batterie sia di tipo *Li-Ion* sia di tipo *Li-Po*, è quello CC-CV[14] il cui termine significa: corrente costante-tensione costante. Questo metodo è caratterizzato da due fasi di funzionamento distinte. Nella prima fase CC viene applicata alla batteria una corrente costante che induce ad un innalzamento della tensione di batteria fino al raggiungimento del voltaggio prestabilito (minore al limite massimo di tensione di carica specificato dalle caratteristiche elettriche della cella utilizzata).

Inoltre la corrente di carica dovrà essere minore al valore massimo segnalato per la batteria stessa, poiché caricando con amperaggi di valore superiore si possono causare danni alle prestazioni della cella e alle sue specifiche di sicurezza, producendo una generazione di calore e delle perdite.

Successivamente al raggiungimento della tensione predefinita, tale tensione viene mantenuta costante (fase CV) e la corrente decrementata progressivamente fino al raggiungimento di una corrente minima definita di *cutoff*.

Raggiunto tale valore, la batteria risulta essere carica e il processo viene arrestato. Le differenti fasi del metodo di carica CC-CV sono riportate in Figura 4.4. Tale grafico attraverso l'uso di linee tratteggiate delimita temporalmente la durata di quest'ultime, mostrando una prima fase a corrente costante e una seconda a tensione costante.

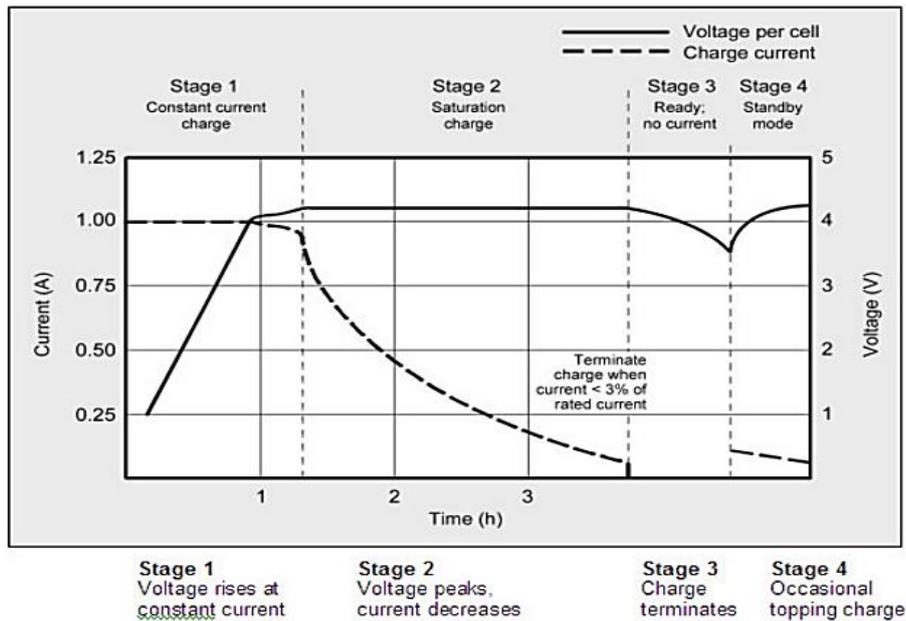


Figura 4.4: Andamento di carica di una batteria con il metodo CC-CV

Inoltre si noti la fase di carica detta flottante, in cui il processo di carica si interrompe prima che la corrente di carica raggiunga lo zero in modo tale da rendere l'intero procedimento più veloce. Successivamente solo quando la tensione di batteria raggiunge un valore inferiore ad una certa soglia, a causa dell'utilizzo delle celle o al fenomeno di autoscarica a cui esse sono soggette, il processo di carica riprende la sua esecuzione.

E' importante sottolineare che un 'aumento della corrente di carica utilizzato nella prima fase non velocizza di tanto l'intero processo. Questo perché una corrente maggiore, porta ad avere una seconda fase molto più lunga. Pertanto il valore della corrente utilizzata altera il tempo corrispettivo alla varie fasi ma non quello totale. Tuttavia una prima fase in cui si ha una corrente costante massima permetterebbe di raggiungere livelli di tensione e di carica (percentuali) in tempi considerevolmente più veloci, suggerendo un metodo di carica (Figura 4.5) leggermente diverso da quello appena illustrato.

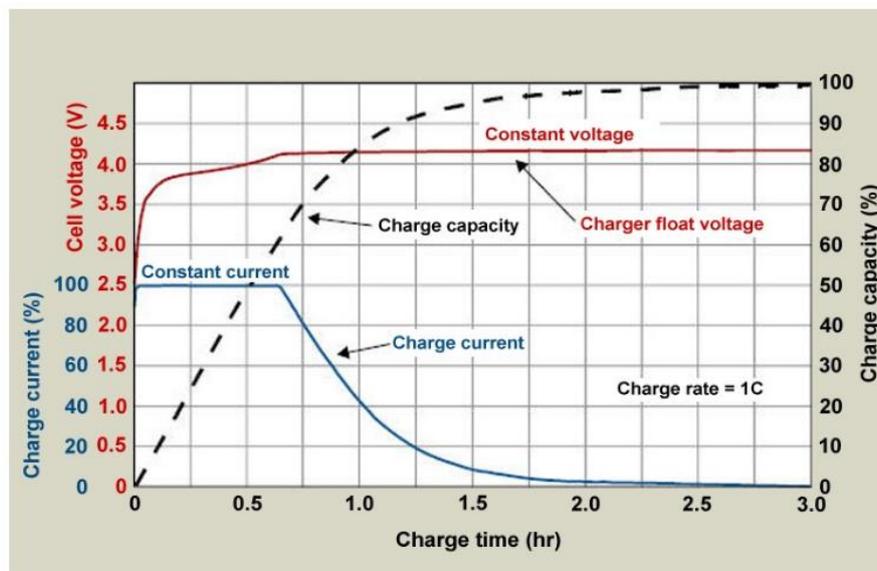


Figura 4.5: Andamento della carica di una batteria con la strategia "charge and run"

Questo prevede di caricare la batteria in tempi brevissimi utilizzando una strategia detta "*charge and run*".

Infatti come si nota dal grafico la capacità di batteria cresce rapidamente durante la fase a corrente costante, raggiungendo valori tra il 70% - 80%, per poi tendere al 100% nella successiva fase (tensione costante).

Questo risulta estremamente importante in una situazione simile a quella in cui si trova il nostro sistema, dove non è prevedibile a priori per quanto tempo il satellite avrà potenza in eccesso da poter fornire al dispositivo di carica. Poiché esso dipende dal numero di utilizzatori collegati al *PDB* e ai loro relativi consumi.

Pertanto nel sistema progettato si utilizza la massima corrente possibile (il cui valore è strettamente legato alla tensione presente sul bus di potenza), al fine di ridurre i tempi relativi alla prima fase della carica delle batterie e all'occorrenza sacrificare il restante 20% finale derivante dalla seconda fase.

A differenza di molte batterie le celle a polimeri di litio (e anche quelle a ioni di litio) tollerano processi di sovraccarica. Difatti queste celle durante la carica prendono solo ciò che possono assorbire., e tutto quello che è extra diventa fonte di stress per la batteria.

La maggior parte di esse lavorano con tensioni pari a 4.20 V/cella con una tolleranza di +/- 50mV/cella.

L'utilizzo di valori di tensione superiori potrebbero portare a capacità di carica più elevate, tuttavia l'effetto di ossidazione della cella tenderebbe a ridurre significativamente la durata della vita.

Quest'ultima potrebbe essere aumentata andando ad utilizzare tensioni inferiori a quella massima o evitando di caricare completamente la batteria, stressando meno le celle a discapito di una riduzione delle prestazioni.

Tuttavia visto che la durata della vita del satellite in orbita è comunque limitato nell'intorno di 5-6 anni, si predilige migliori performance di carica ed un miglioramento della capacità massima della batteria andando pertanto ad utilizzare come valore di tensione di carica il massimo previsto dal costruttore.

Un altro aspetto fondamentale da considerare oltre al metodo di carica da utilizzare, è la strategia di carica-scarica delle batterie da applicare al fine di utilizzarle nel modo più efficiente possibile.

A tal riguardo si sono presi in considerazione alcuni test fatti all'interno del team *AraMis* precedenti alla stesura di questo elaborato.

Questi test prevedevano lo studio del comportamento di alcuni set di batterie sottoposti a differenti tipi di cicli di carica-scarica in differenti condizioni ambientali. Con una successiva valutazione dell'andamento della degradazione della capacità e dell'efficienza in termini di energia nel tempo.

I risultati più significativi sono stati ottenuti dal terzo di questi test, in cui consisteva nel utilizzare cicli di carica-scarica pari al 10% della capacità di batteria, ripetendoli per un totale di 5000 volte.

Ogni 50 cicli era inoltre prevista una scarica totale seguita da una successiva carica completa delle batterie. Si riportano di seguito i grafici ottenuti :

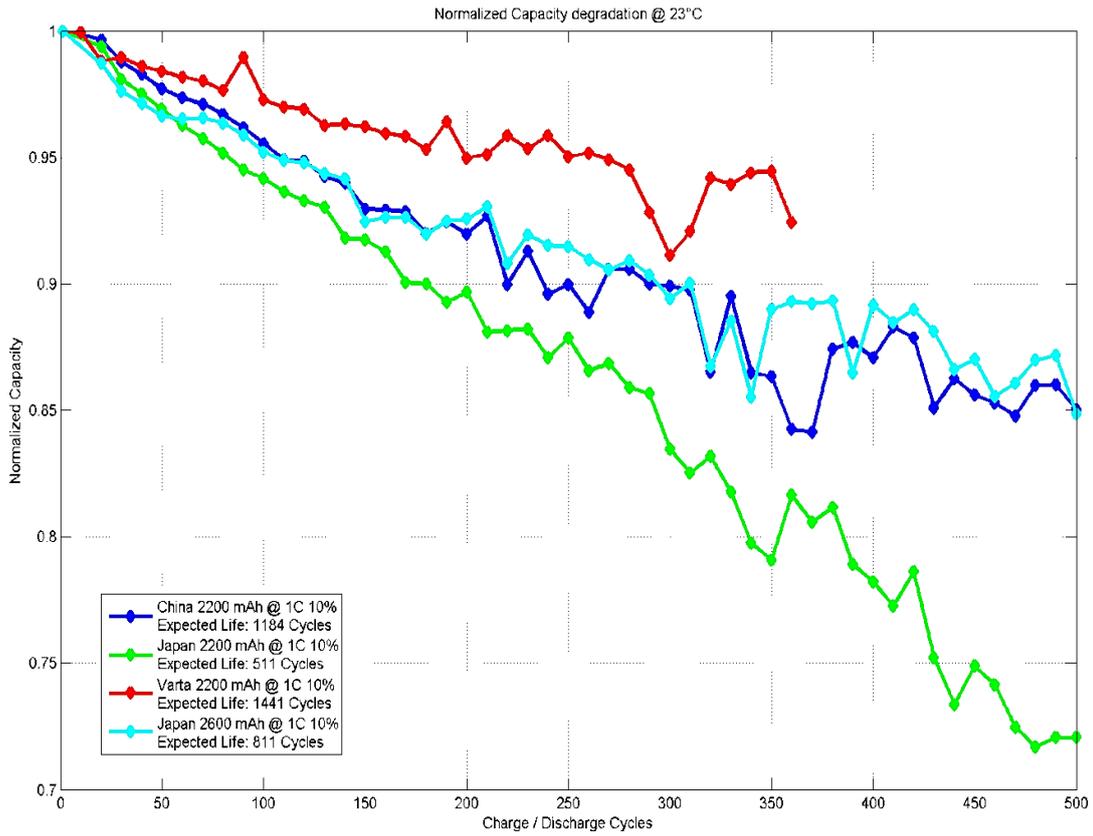


Figura 4.6: Analisi della degradazione della capacità di un set di batterie in funzione del numero di cicli di carica/scarica

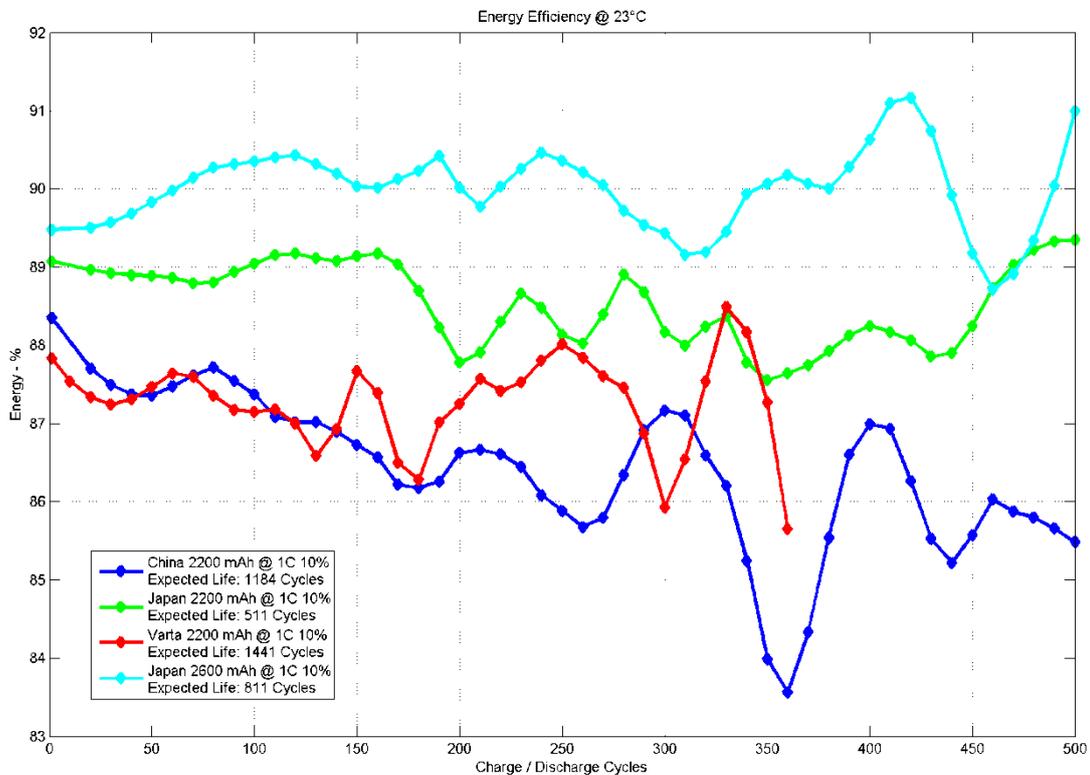


Figura 4.7: Analisi dell'efficienza di un set di batterie in funzione del numero di cicli di carica/scarica

I cui dati sono sintetizzati all'interno di una tabella:

Battery	Measured or expected life
China 2200 mA/h	1184 cycles (expected)
Japan 2200 mA/h	511 cycles (expected)
Japan 2600 mA/h	811 cycles (expected)
Varta 2200 mA/h	1441 cycles (expected)*

* This battery is broken open circuit after 360 cycles.

Figura 4.8: Tabella relativa ai cicli di vita che ci si aspetta per ciascuna delle batterie testate

Dall'analisi dei dati si è appurato che questo principio di carica-scarica permetteva di incrementare la durata della vita delle batterie, ponendolo come prima scelta nelle future implementazioni. Questo principio sarà attuato a bordo del satellite mediante opportuno software che tuttavia non sarà trattato all'interno di questo elaborato, a differenza dell'implementazione del metodo di carica *CC-CV* delle batterie.

Quest' ultimo oltre a risultare come abbiamo già detto molto veloce, permette di raggiungere lo stato di carica di una batteria senza utilizzare complessi sistemi di rilevazione della carica, permettendo un'implementazione del tutto analogica.

Nel successivo paragrafo si mostra un'altra delle problematiche legata all'utilizzo delle batterie precedentemente accennata.

4.3 Problematiche relative allo sbilanciamento delle batterie

Come già detto all'interno dell'architettura *AraMis* la sorgente di energia secondaria è costituita da banchi batterie formati da due celle *Li-Po* poste in serie, in modo tale da ottenere livelli di tensione sufficientemente alti. La presenza di due celle in serie porta ad avere maggiori problemi durante la carica delle stesse, a causa del loro sbilanciamento.

Lo sbilanciamento del *SOC* di una cella a polimeri di litio (così come quelle *Li-Ion*) è generalmente causato da un aumento dell'impedenza interna della R_{CELL} o dalla riduzione della capacità dovuta all'invecchiamento della batteria[17]. Questo potrebbe portare alla presenza di una delle celle avente una tensione maggiore rispetto all'altra, che durante la fase di carica potrebbe superare i limiti consentiti. Ovvero supponendo che la tensione di ciascuna delle due celle completamente cariche è pari a 4.2V. Si fissa una tensione massima di carica del banco batterie pari a 8.4V. Se ad esempio una delle celle è caricata ad una tensione pari a 4.2V mentre l'altra presenta una tensione di soli 4V, avremo una tensione del banco batterie misurata di 8.2V. Pertanto esso non risulterà completamente carico e il *battery charger* fornirà ancora corrente di carica alle celle con possibile distruzione di quella maggiormente caricata. Questo problema presente ogni qualvolta si utilizzano delle celle poste in serie risulta essere spesso comune portando in letteratura la presenza di varie soluzioni di bilanciamento di cui si mostrano le più comunemente utilizzate:

Equalizzazione Serie/Parallelo

In questo caso le celle sono normalmente collegate in serie, ma in fase di carica vengono poste in parallelo mediante l'utilizzo di opportuni switch, e caricate a corrente costante. In questo modo si evita che le due celle abbiano ai loro capi tensioni differenti. Tuttavia lo

svantaggio di tale soluzione sta nella complessità dei collegamenti e della quantità di switch in caso di numero elevato di celle.

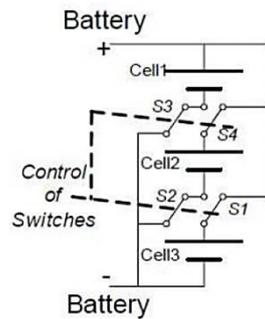


Figura 4.9: Circuito di equalizzazione serie/parallelo

Equalizzazione resistiva

In questo caso le celle sono in tutte le fasi collegate in serie. Qualora una di esse raggiunge anticipatamente la carica completa, viene leggermente scaricata mediante la propria resistenza di shunt. Il processo è reiterato più volte (potrebbe essere molto lento) finché tutte le celle sono completamente caricate. Questo metodo porta ad una elevata dissipazione di energia dalle batterie.

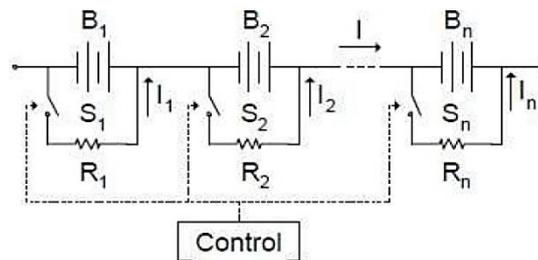


Figura 4.10: Circuito di equalizzazione resistiva

Equalizzazione a capacità commutate

Le celle sono caricate in parallelo, ed in particolare ogni celle è posta in parallelo a quella adiacente per mezzo di un condensatore. Quest'ultimo permette il passaggio della carica in eccesso presente in una cella ad un'altra meno carica, evitando la dissipazione di energia tipica del circuito mostrato in precedenza. Anche in questo caso la presenza di deviatori potrebbe rendere più complesso il circuito da realizzare.

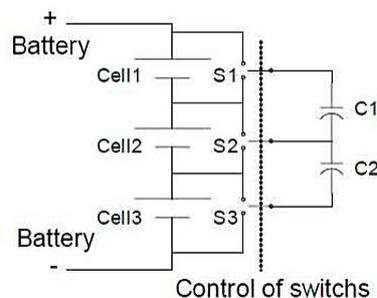


Figura 4.11: Circuito di equalizzazione a capacità commutate

Equalizzazione analogica con Shunt

Questo tipo di equalizzazione prevede ancora l'utilizzo di celle in serie, in cui ciascuna di esse ha un proprio regolatore di tensione connesso in parallelo (che permette di implementare la modalità di carica *CC-CV*). Quest'ultimo permette di prevenire la sovraccarica delle celle, andando ad assorbire, qualora la cella risultasse già carica, la corrente fornita dall'alimentatore della batteria ma mantenendo comunque un percorso di carica per le altre celle. L'alimentatore utilizzato ha una corrente limitata il cui valore, nel caso in cui la tensione di batteria complessiva è inferiore a quella stabilita, sarà costante ed ad un valore fissato. Mentre quando le due tensioni si eguagliano, il valore di corrente sarà definito dalle resistenze e dalle tensioni delle celle interne. Il vantaggio di tale implementazione è la possibilità di caricare celle con capacità differenti, a fronte tuttavia della complessità di progettazione e della dissipazione a causa delle regolatori di shunt.

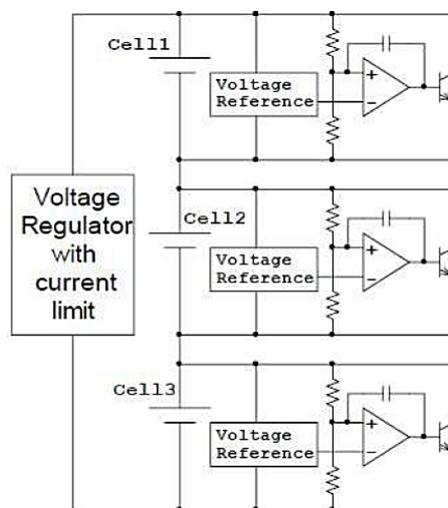


Figura 4.12: Circuito di equalizzazione analogica con Shunt

Nonostante la vastità di soluzioni presenti in letteratura, utili per la comprensione del problema e di come esso andava affrontato, si è reso necessario, al fine di soddisfare a pieno le specifiche dettate dal progetto *AraMis*, progettare una soluzione ad-hoc che differisce da tutte le possibili soluzioni appena illustrate e che verrà mostrata nel dettaglio nel Capitolo 7.

4.4 Spice Netlist della batteria Mikroe1120

Per la simulazione delle batterie selezionate *Mikroe1120* all'interno dei circuiti successivamente realizzati, è stato necessario creare un modello che sintetizzasse il loro comportamento elettrico. Il modello chiamato *LIPO_Battery.mod* è il seguente:

```
.subckt LIPO_BATTERY POS NEG V=3.7 Q=2 R=100M
C1 POS NEG (Q*3600/V) IC={V} RSER={R}
.ENDS
```

Figura 4.13: Modello di simulazione della batteria *Mikroe1120*

Come possiamo notare dalla figura il modello realizzato è adattabile a qualsiasi tipo di batteria. Infatti è sufficiente impostare i seguenti parametri: V che rappresenta la tensione nominale, Q la capacità di batteria espressa in Ah e R la resistenza serie. In particolare questo tipo di batteria è simulata mediante un condensatore avente capacità pari ad 1945 Farad , avente una tensione iniziale ai suoi capi pari a 3.7V e una resistenza serie di 100m Ω . Tuttavia a causa degli eccessivi tempi di simulazione richiesti per capacità di questa entità, nel corso dell'elaborato si è simulato il comportamento della batteria con capacità non superiori a 1 F.

Dove è risultato necessario sono state effettuate le opportune considerazioni dovute a tale approssimazione, dando un peso significativo alle simulazioni effettuate.

Capitolo 5

Bk1B118_Battery_Discharger_V2

Nei capitoli precedenti abbiamo descritto l'architettura e il funzionamento principale del progetto *AraMis*. E' stato trattato in particolare tutta la parte avente il compito di alimentare il satellite ovvero il *IB1_Power_Management_Subsystem*, descrivendone gli attori chiave, le interazioni tra essi e le loro attività svolte sul *Power Distribution Bus*.

Nel corso dei successivi capitoli ci si concentrerà sulla progettazione e lo sviluppo di un particolare sottosistema posizionato all'interno del *IB1_Power_Management_Subsystem*, che ha il compito di gestire completamente tutte le attività che richiedono l'utilizzo delle fonti di energia secondarie a bordo del satellite (ovvero le batterie), e che viene chiamato *Bk1B114_Battery_System_V2*.

Quest'ultimo a sua volta è costituito da un insieme di sottosistemi più piccoli tra i quali è presente il *Bk1B118_Battery_Discharger_V2*.

L'obiettivo del *Bk1B118_Battery_Discharger_V2* è quello di interfacciare un banco di batterie (due celle poste in serie in questo caso) con il sistema di distribuzione della potenza (il *PDB*). Questo deve permettere di rendere disponibile sul satellite (qualora fosse necessario) un quantitativo di energia supplementare, ottenibile attraverso la scarica delle celle.

Il suo ammontare dipenderà dalla tensione presente sul bus e dallo stato energetico delle celle stesse.

Per far ciò è necessario disporre di un circuito elevatore di tensione , che permetta di rendere compatibile i livelli di tensione forniti dalla sorgente secondaria con quelli disponibili sul *PDB*. Garantendo al tempo stesso di rispettare i vincoli elettrici posti dagli elementi in gioco (massima corrente di scarica).

Il circuito utilizzato è un convertitore DC-DC di tipo boost (chiamato *Bk1B118_V2_Boost_Converter*) che usato singolarmente presenta diverse problematiche ma con l'aiuto di altri blocchi permette di realizzare le specifiche desiderate.

5.1 Aspetti teorici e problematiche dell'utilizzo di un convertitore DC-DC Boost

Per ottenere una compatibilità dei livelli di tensione tra le celle poste in serie e il *Power Distribution Bus*, è necessario un dispositivo elevatore di tensione.

Inoltre la presenza di elevate corrente in gioco e la necessità di ottenere una elevata efficienza, hanno portato alla scelta di un convertitore DC-DC, e in particolare di un convertitore di tipo Boost (o *step up*).

La configurazione classica di questo circuito è la seguente (Figura 5.1):

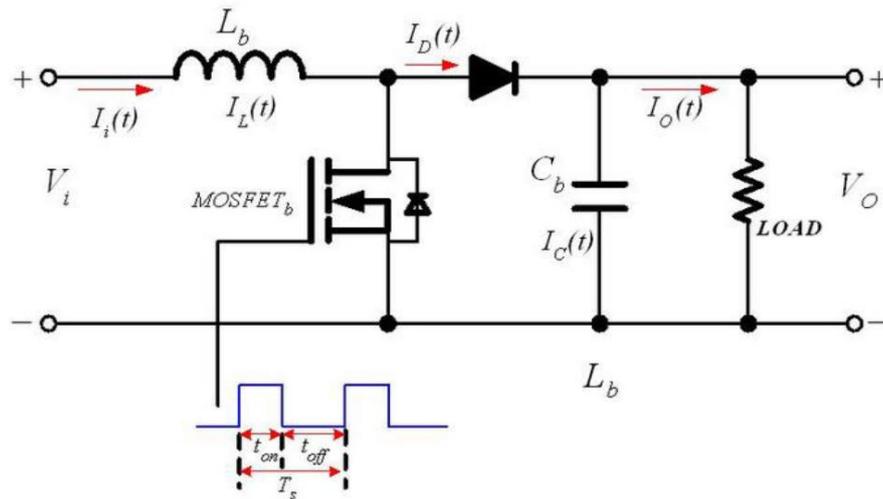


Figura 5.1: Configurazione convertitore DC-DC di tipo Boost ad anello aperto

L'elemento chiave che caratterizza il funzionamento di questo circuito è il MOSFET di tipo N. Esso opportunamente pilotato attraverso un segnale ad onda quadra (generalmente generato da un modulatore PWM) cambia la sua regione di funzionamento (segnale presente sul gate alto => regione triodo, segnale sul gate basso => regione di interdizione), le cui durate determinano il valore di tensione presente in uscita al convertitore. Quindi comportamento del transistor è quello di un interruttore, esso assume i seguenti stati:

- *STATO ON*, quando il transistor è in regione triodo
- *STATO OFF*, quando il transistor è in regione di interdizione

Si definisco due intervalli di tempo differenti associati ai diversi stati assunti dall'interruttore MOS, in particolare si ha un intervallo detto *Ton* e un altro detto *Toff*, in cui il convertitore è visto come due circuiti differenti [10](Figura 5.2).

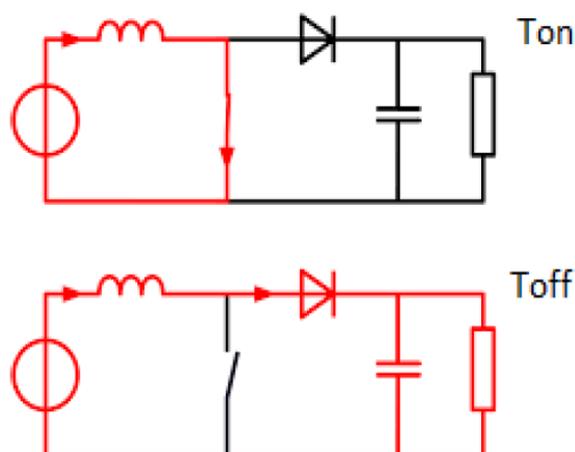


Figura 5.2: Fasi di funzionamento del convertitore DC-DC di tipo Boost

Come possiamo vedere dai circuiti in figura nella durante il T_{on} l'interruttore risulta chiuso, e l'induttore tende a immagazzinare energia. Mentre durante la fase di T_{off} , l'interruttore si apre, portando in conduzione il diodo e la conseguente scarica dell'induttore, che cede l'energia immagazzinata allo stadio di uscita.

Quanto descritto può essere osservato meglio andando ad analizzare la corrente presente sull'induttore durante le varie fasi (Figura 5.3):

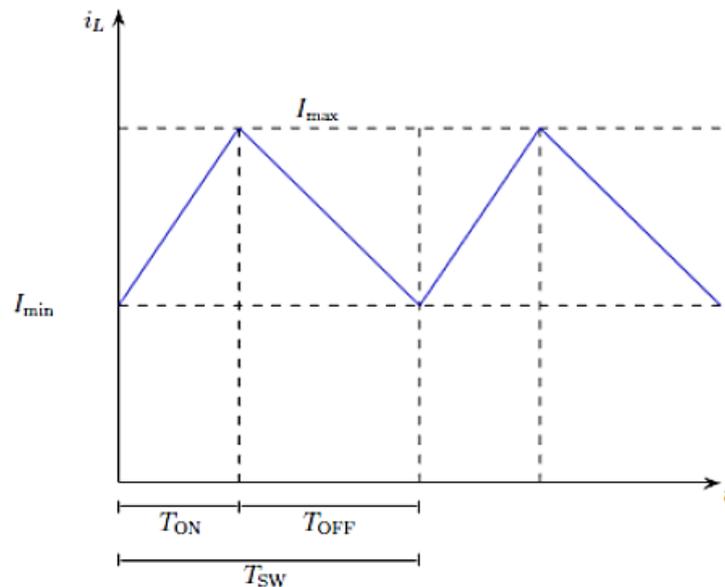


Figura 5.3: Corrente sull'induttore in funzione del tempo in modalita CCM

La pendenza della corrente i_L varia in base all'intervallo considerato, in particolare abbiamo:

$$\frac{di_L}{dt} = \frac{V_{in}}{L}, \quad \text{per } T_{on} \quad (5.1)$$

$$\frac{di_L}{dt} = \frac{V_{in}-V_o}{L}, \quad \text{per } T_{off} \quad (5.2)$$

In questo caso le pendenze sono tali da far sì che la corrente sull'induttore non si annulla mai, ed inoltre si considera l'ipotesi di ciclostazionarietà. In queste condizioni si dice che il sistema lavori in *CCM Continuous Conduction Mode*. Andando a scrivere le due relazioni sopra, come la variazione che la corrente i_L subisce all'interno di ciascun intervallo e andando a definire il guadagno M del convertitore abbiamo:

$$\Delta I_L = \frac{V_{in}}{L} T_{on} \quad \text{e} \quad \Delta I_L = \frac{V_{in}-V_o}{L} T_{off} \quad (5.3)$$

$$M = \frac{V_o}{V_{in}} > 1 \quad (5.4)$$

Uguagliando le prime due equazioni riusciamo ad ottenere la seguente relazione :

$$M = \frac{1}{1-D} \quad (5.5)$$

Dove D rappresenta il *Duty Cycle* della tensione in ingresso al Gate dell'interruttore. Esso è definito come:

$$D = \frac{T_{on}}{T_{on}+T_{off}} \quad (5.6)$$

$$\text{con } T_{sw} = T_{on}+T_{off} \quad (5.7)$$

Essendo che il *Duty Cycle* D , può assumere valori compresi tra 0 e 1, il guadagno di tensione M teoricamente può assumere valori che vanno da 1 a ∞ (Figura 5.4).

In realtà valori di guadagno troppo alti sono da escludere a causa della non idealità del circuito, per cui valori realistici ottenibili non sono superiori a 5.

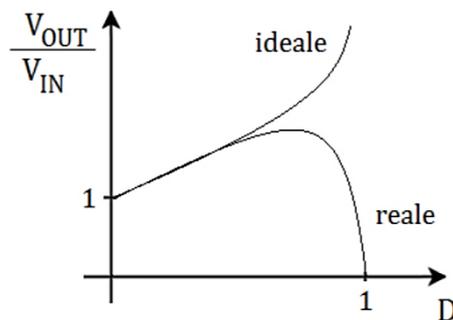


Figura 5.4: Grafico dell'andamento del guadagno di tensione M in funzione di D

Una considerazione interessante è relativa al punto di vista del carico. Infatti come possiamo vedere dalle relazioni descritte non c'è nessuna dipendenza con quest'ultimo. Questa condizione è estremamente vantaggiosa per il circuito che si deve andare a realizzare, poiché esso funzionerebbe indipendentemente dal numero e dal tipo di utilizzatori collegati sul *Power Distribution Bus*. Purtroppo andando a determinare la f.d.t. caratterizzante il convertitore Boost in modalità *CCM* [10] (Figura 5.5), è possibile notare la presenza di un zero a parte reale positiva :

$$\frac{\widehat{V}_o}{\widehat{D}} = \frac{V_I}{(1-D)^2} * \frac{\left(1 - \frac{L}{R} \frac{1}{(1-D)^2} s\right) * (1 + ESR * C_S)}{1 + \frac{L}{R(1-D)^2} s + \frac{LC}{(1-D)^2} s^2} \quad (5.8)$$

$$\omega_p = 1 - \frac{D}{\sqrt{LC}} \rightarrow Q = R(1-D) \sqrt{\frac{C}{L}}, \quad \omega_{RHP-Z} = \frac{(1-D)^2 R}{L}, \quad \omega_{ESR-Z} = \frac{1}{ESR * C} \quad (5.9)$$

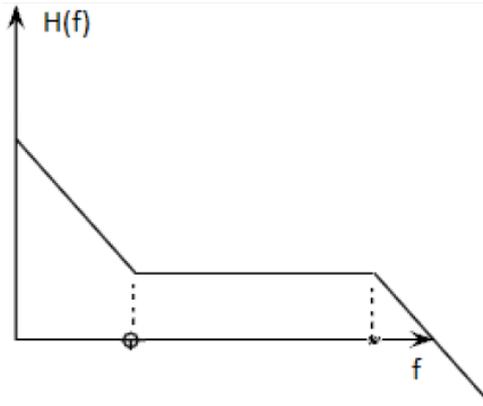


Figura 5.5: Funzione di trasferimento del convertitore Boost in modalità CCM

Gli effetti della presenza di questo zero portano ad un'elevata instabilità con conseguente difficoltà di controllo del convertitore ad anello chiuso. Configurazione nel quale si vuole che lavori il nostro circuito al fine di ottenere valori di tensione in uscita più costanti possibili. Infatti, la suddetta modalità di controllo permette attraverso la valutazione di alcuni parametri come ad esempio tensioni o correnti d'uscita (influenzati da eventuali variazioni di carico o di tensione di ingresso), di modificare il valore del *Duty Cycle* attuando le opportune correzioni.

In particolare il significato fisico della presenza del *RHP (Right Half Plane) zero* è associabile ad una riduzione del trasferimento di potenza in uscita. Infatti, se ad esempio consideriamo di voler aumentare la tensione in uscita al convertitore, lo facciamo aumentando il valore del D . Questo porta ad un aumento della durata del T_{on} e di una reciproca riduzione del T_{off} , causando una variazione della corrente dell'induttore che tuttavia sappiamo non essere molto elevata (infatti essa può solo variare lentamente). Una riduzione del T_{off} porta anche un decremento del tempo di attività del diodo, con repentina riduzione del valore medio della corrente su quest'ultimo, e quindi anche in uscita al convertitore. Così facendo si ha in ingresso una situazione che ancora non è cambiata mentre in uscita si ha l'abbassamento della potenza.

L'impossibilità di controllare in maniera efficace il nostro convertitore nella seguente modalità porta allo studio dello stesso in *DCM (Discontinuous Conduction Mode)*. Quest'ultima è una modalità di funzionamento caratterizzata da una corrente di induttore del convertitore che tende ad annullarsi, prima della fine del periodo (T_{sw}) (Figura 5.6). L'intervallo di tempo nel quale la corrente i_L rimane nulla prende il nome di T_{idle}

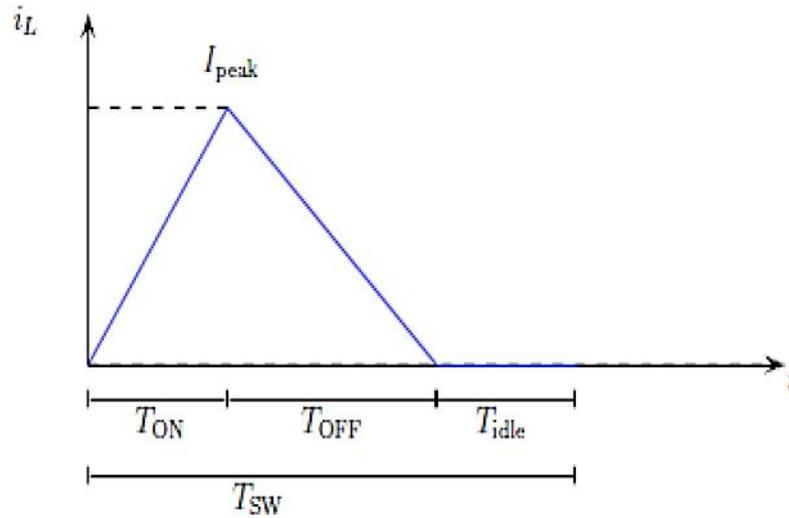


Figura 5.6: Corrente sull'induttore in funzione del tempo in modalita DCM

Le pendenze della corrente sull'induttore rimangono le stesse del caso precedente, pertanto possiamo considerare le stesse relazioni:

$$\Delta I_L = \frac{V_{in}}{L} T_{on} \text{ e } \Delta I_L = \frac{V_{in}-V_o}{L} T_{off} \quad (5.10)$$

Inoltre considerando le seguenti relazioni:

$$T_{sw} = T_{on} + T_{off} + T_{idle} \quad (5.11)$$

$$M = \frac{T_{on}+T_{off}}{T_{off}} = 1 + \frac{T_{on}}{T_{off}} \quad (5.12)$$

E la corrente media sul diodo :

$$I_{D_{ave}} = \frac{V_o}{R_{load}} = \frac{V_{in} \cdot T_{on} \cdot T_{off}}{2 \cdot L \cdot T_{sw}} \quad (5.13)$$

Attraverso opportune sostituzioni si ottiene :

$$M = \frac{R_{load} \cdot T_{on} \cdot D}{2 \cdot L \cdot (M-1)} \quad (5.14)$$

E quindi abbiamo :

$$M = \frac{1 \pm \sqrt{1 + \left(\frac{2 * R_{load} * D^2}{L * f_{sw}} \right)}}{2} \quad (5.15)$$

Come si può notare dall'ultima espressione, il guadagno di tensione in questa modalità dipende dal carico. Questo può avere conseguenze catastrofiche per il circuito in esame, poiché ad esempio se consideriamo un carico variabile in uscita del convertitore (come accade nell'architettura *AraMis*), e che questo venga per qualche motivo disconnesso, allora in uscita al circuito si vedrà una resistenza idealmente infinita o comunque molto elevata, $R \rightarrow \infty$. Questa condizione porta il guadagno di tensione M ad assumere anch'esso valori molto alti, $M \rightarrow \infty$ e di conseguenza $V_o \rightarrow \infty$. Valori di tensione troppo elevati potrebbero portare non solo alla distruzione del circuito stesso ma anche di tutti i circuiti ad esso collegati, rendendo il convertitore Boost inutilizzabile con le modalità di funzionamento finora viste.

Si è cercato quindi altri tipi di soluzioni che permettessero di implementare un'interfaccia tra la sorgente di energia secondaria e il *PDB*, senza andare a compromettere il funzionamento degli stessi. Altri circuiti di *step-up* presente in letteratura sono i cosiddetti convertitori isolati.

5.1.1 Inadeguatezza dei convertitori isolati

I convertitori isolati sono quella categoria di convertitori caratterizzata dalla presenza di un trasformatore, spesso definiti anche convertitori derivati poiché derivano direttamente da topologie base quali : buck, boost e buck-boost,

La presenza di un trasformatore all'interno di questi circuiti porta diversi vantaggi, tra cui:

- Isolamento galvanico tra sorgente e carico
- Uscite multiple
- Nessuna limitazione della tensione di uscita (sia in termini di polarità sia di ampiezza)
- Maggiori gradi di libertà (non solo il *Duty Cycle* ma anche il rapporto spire del trasformatore N_s / N_p)
- Possibilità di distribuire lo stress nel modo più conveniente all'interno del circuito

Ovviamente facendo fronte ad un maggiore spazio occupato, e ad una progettazione del circuito più complessa.

Essendo che molti di questi circuiti derivano direttamente dalla configurazione buck, presentano una f.d.t. molto simile a quest'ultimo con la possibilità quindi di sistemi di controllo stabile sia in *CCM* sia in *DCM* e con un'uscita indipendente dal carico applicato.

Inoltre attraverso l'utilizzo del trasformatore si ottengono tensioni di uscita comunque maggiori rispetto a quelle di ingresso, andando ad ovviare a tutti i problemi che rendevano inutilizzabili le configurazioni base viste in precedenza. Pertanto la scelta di un convertitore come ad esempio quello forward (Figura 5.7) sembrerebbe risultare idonea.

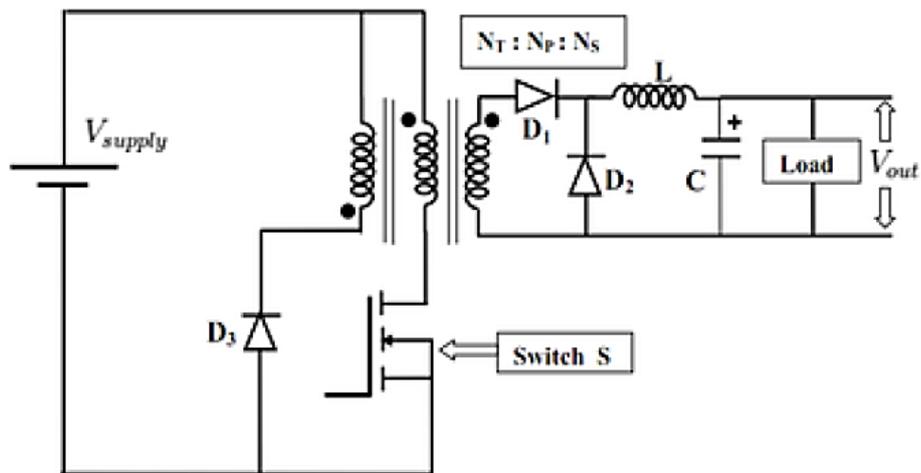


Figura 5.7 : Schema circuitale del convertitore isolato di tipo *Foward*

Tuttavia la mancanza della presenza sul mercato di trasformatori ottimizzati sia in termini di volume sia di peso, rendono tali soluzioni inapplicabili per la realizzazione di strutture nanosatellitari, dove questi parametri meccanici risultano essere vincolanti. L'impossibilità dell'utilizzo di queste soluzioni, per la realizzazione delle schede costituenti il satellite *AraMis*, ha portato a ricercare soluzioni valide sia dal punto di vista elettrico sia da quello meccanico all'interno delle topologie base precedentemente illustrate.

5.1.2 Boundary Condition Conduction Mode (BCCM)

Come precedentemente visto, un convertitore DC-DC Boost non può essere utilizzato all'interno del sistema *Bk1B118_Battery_Discharger_V2* (necessario per la scarica delle batterie) come circuito innalzatore di tensione, nel caso in cui esso lavori nelle due modalità di funzionamento tipiche dei circuiti di tipo switching (*CCM* e *DCM*).

Infatti l'utilizzo del circuito nelle seguente modalità porta a due principali problematiche:

- Instabilità dovuta alla presenza di uno zero a parte reale positiva (*RHP*) nella funzione di trasferimento del convertitore in *CCM*
- Dipendenza del guadagno di tensione M dal carico, con possibile distruzione del dispositivo e degli elementi ad esso collegati.

Per ovviare a tali problemi si è cercato di utilizzare un sistema di controllo che utilizzasse un approccio alternativo, rispetto ai classici *Voltage Mode* e *Current Mode* (che prevedono la correzione del *Duty Cycle* attraverso il monitoraggio di un'opportuna grandezza, ad esempio tensione di uscita o corrente sull'induttore). E che utilizzasse un metodo che agisca non solo sul D ma anche sulla frequenza di switching f_{sw} dell'interruttore.

Il concetto sui cui si basa il controllo utilizzato, è quello di mantenere il sistema in una condizione di funzionamento limite tra il *DCM* e il *CCM* a prescindere dal carico applicato, ottenendo quello che in letteratura prende il nome di *Boundary Condition Conduction Mode (BCCM)*. Ovvero una condizione in cui il sistema sembri lavorare in *DCM*, tendendo così ad annullare il valore della corrente che scorre sull'induttore prima della fine del periodo T_{sw} . Ma mantenendo la condizione di corrente i_L nulla solo per un istante di tempo più limitato possibile. Questo viene ottenuto forzando la commutazione

dello stato dell'interruttore MOS, che inizia a condurre prima della fine del periodo T_{sw} modificandone così la frequenza di funzionamento del sistema. L'implementazione di un controllo di questo tipo permette di avere, dato l'annullamento della corrente all'interno del periodo di commutazione, un convertitore che lavora essenzialmente in *DCM* (e progettato come tale). Avendo quindi il vantaggio di non presentare uno zero a parte reale positiva nella sua funzione di trasferimento. Inoltre essendo limitato il tempo in cui esso rimane in questa condizione (attraverso la commutazione forzata dell'interruttore) fa in modo che non vi sia alcuna dipendenza della tensione di uscita dal carico applicato. E' evidente che all'interno del sistema, l'utilizzo di un circuito di potenza con un tale approccio, porti ad avere diverse frequenze di lavoro difficilmente prevedibili e che dipendano dai circuiti collegati allo stadio di uscita. Questa situazione porta all'irradiazione di campi elettromagnetici ad ampio spettro che normalmente causerebbero grossi problemi. Tuttavia trovandosi all'interno di un satellite che non deve soddisfare specifiche riguardanti la compatibilità elettromagnetica mentre opera nello spazio, ne consente il suo utilizzo. Il controllo appena descritto è stato implementato combinando elementi sia digitali sia analogici, il cui insieme costituisce il blocco denominato *Bk1B118_V2_BCCM_Control*.

5.2 Elementi principali del Bk1B118_Battery_Discharger_V2

Il circuito di scarica progettato prevede innanzitutto l'utilizzo di questi due blocchi : il *Bk1B118_V2_Boost_Converter* e il *Bk1B118_V2_BCCM_Control* che mediante la loro interazione permettono di ottenere un convertitore in grado di innalzare il livelli di tensione forniti dalle batterie in modo del tutto sicuro. E inoltre l'utilizzo di un ulteriore blocco chiamato *Bk1B118_V2_Feedback_Net* che permette di ottenere sul bus d'uscita la caratteristica desiderata precedentemente definita. Si mostra in seguito un grafico che evidenzi le connessioni che caratterizzano le interazioni tra i tre suddetti blocchi.

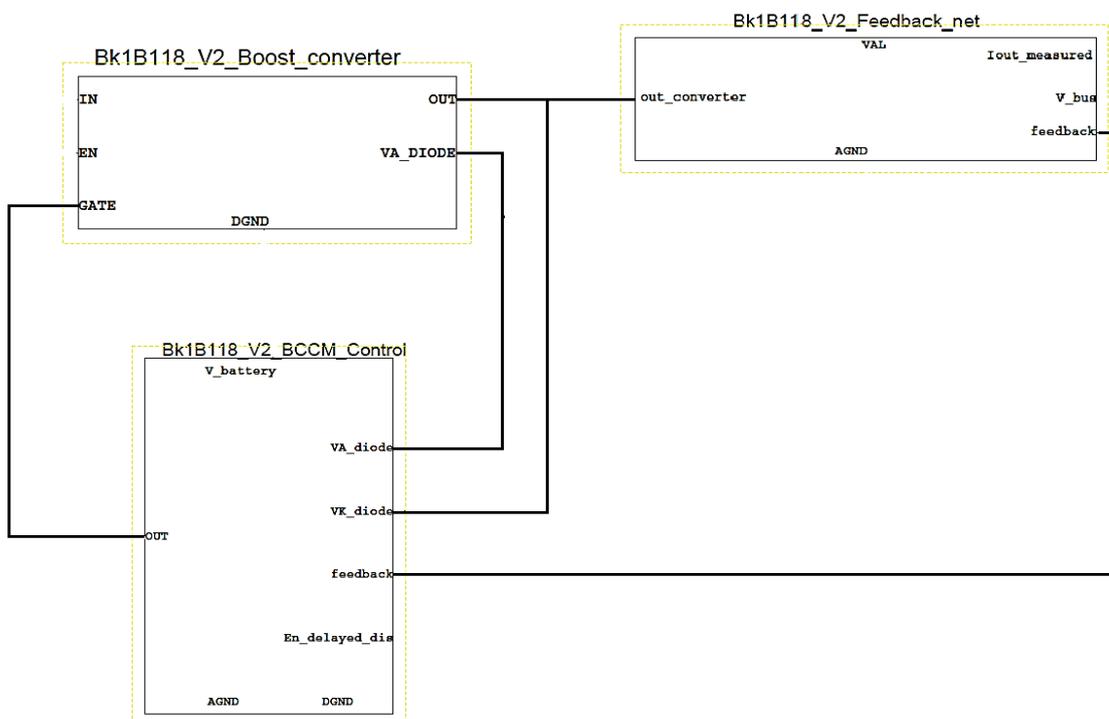


Figura 5.8: Interazione tra i blocchi principali del *Bk1B118_Battery_Discharger_V2*

Il principio di funzionamento dell'insieme di tali blocchi, si basa sull' individuare l'istante di tempo in cui la corrente sull'induttore si annulla. Per far ciò la tensione ai capi del diodo all'interno del boost, attraverso i segnali di ingresso V_{A_diode} e V_{k_diode} , viene misurata dal circuito di controllo BCCM. In particolare, quando la tensione misurata ai suoi capi è nulla, il circuito di controllo genera un segnale di uscita alto che pilota l' NMOS del convertitore in uno stato di conduzione portando alla nuova carica dell'induttore.

La durata del periodo in cui la corrente dell'induttore del convertitore cresce, dipende dalla tensione di feedback generata dal blocco $Bk1B118_V2_Feedback_Net$ il cui valore è legato alle caratteristiche elettriche presenti sul bus in quel dato momento (tensione e correnti sul PDB). Questo infatti influenza il valore massimo di corrente presente sull'induttore e conseguentemente il valore di corrente in uscita al convertitore a cui è legato il quantitativo di energia fornito al sistema di distribuzione dal circuito di scarica.

Di seguito si descrive nel dettaglio ogni singolo blocco illustrandone il funzionamento mediante l'utilizzo di opportune simulazioni.

5.2.1 Bk1B118_V2_Boost_Converter

Il principio di funzionamento appena descritto permette di far funzionare il convertitore DC-DC di tipo Boost in modalità *BCCM* (*Bounday Condition Conduction Mode*) che consente di ottenere una corrente nulla solo per un istante di tempo brevissimo.

5.2.1.1 Progettazione del Bk1B118_V2_Boost_Converter

Il dimensionamento del circuito di switching è stato fatto pertanto considerando quest'ultimo come se lavorasse in *DCM* (anche se per un intervallo ridotto) di modo tale che la corrente di induttore raggiungesse lo zero all'interno del ciclo. Per ottenere un convertitore Boost che lavori in *DCM* è necessario dimensionare in modo opportuno il valore dell'induttore, in modo che :

$$L > L_{crit} \quad (5.16)$$

$$\text{con } L_{crit} = \frac{(1-D)^2 R D}{2f_{sw}} \quad (5.17)$$

Si dimensiona inoltre il condensatore di uscita C_{out} in funzione del ripple desiderato sulla tensione di uscita :

$$C_{out} = \frac{\Delta I_L}{8 f_{sw} V_{ripple}} \quad (5.18)$$

Ottenendo quindi :

$$L = 33\mu\text{H}$$

$$C_{out} = 330\mu\text{F}$$

Il circuito realizzato viene mostrato in Figura 5.9 :

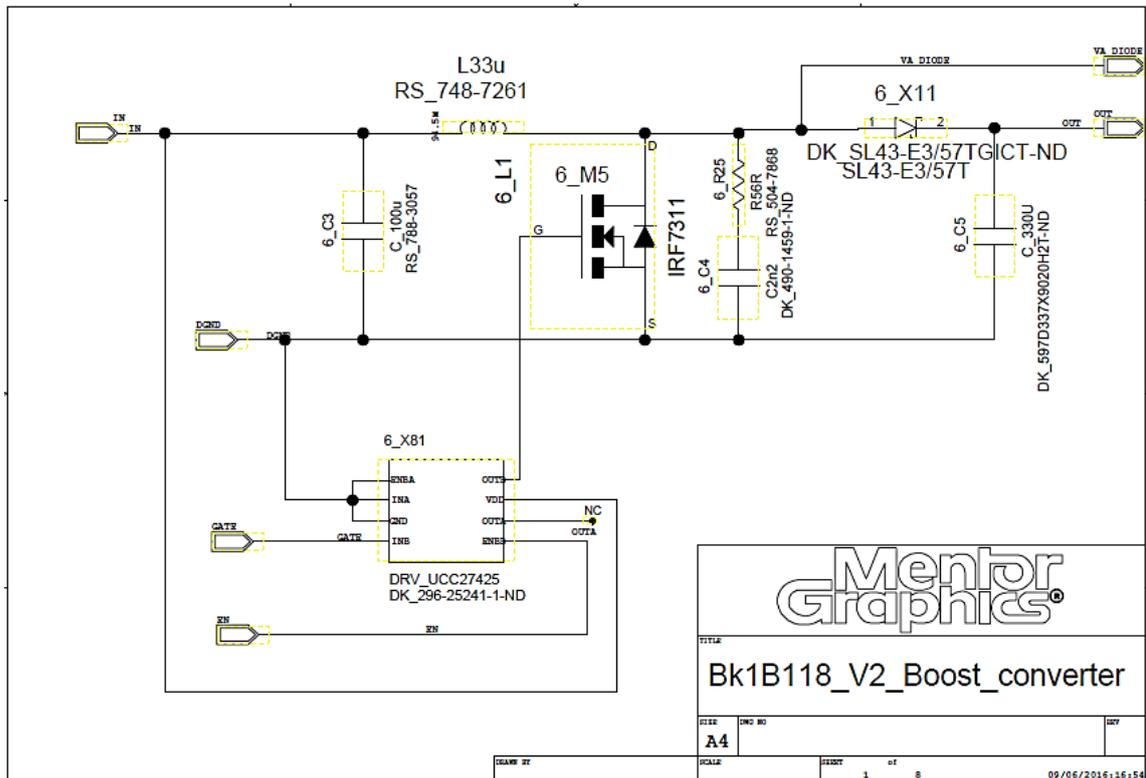


Figura 5.9: Schema elettrico del *Bk1B118_V2 Boost Converter* realizzato in *Mentor Graphics*

Come si nota dal grafico, all'interno del blocco è presente anche un driver che permette tramite i segnali provenienti dal circuito di controllo di fornire segnale adeguati (giusto quantitativo di corrente al gate) al pilotaggio del NMOS.

Il condensatore in ingresso è stato dimensionato considerando i fenomeni di inrush current che si presentano all'accensione del dispositivo tramite opportuni *Load Switch* (descritti in seguito) al fine di ridurre il più possibile lo stress sulla batteria ed evitare correnti di scarica della stessa tali da poterla danneggiare.

Per quanto riguarda la scelta del diodo e del MOS N sono state fatte considerazioni riguardanti l'efficienza del convertitore da realizzare. E sono state scelte delle soluzioni che riducessero al minimo la potenza dissipata, attraverso la valutazione del caso in cui la corrente in uscita dal convertitore fosse la massima possibile (tensione sul *PDB* di 12.5V). Per il MOS si valutano le perdite di conduzione, le perdite sul gate e quelle di commutazione :

- Perdite di conduzione

$$P_{\text{cond}} = I_{\text{RMS}}^2 * R_{\text{dson}} \quad (5.19)$$

$$\text{Con: } I_{\text{RMS}} = \sqrt{\frac{(I_{\text{max}})^2}{3} * \frac{T_{\text{on}}}{T}} \quad (5.20)$$

Dal datasheet[11] si osserva una $R_{dson} = 0.029\Omega$ e attraverso simulazioni si ottengono i valori di I_{max} sull'interruttore. Ottenendo così una $P_{cond} = 35.6 \text{ mW}$

- Perdita sul gate

$$P_{gate} = Q_{gs} * V_{gs} * f = 0.724 \text{ mW} \quad (5.21)$$

Con il massimo valore di $Q_{gs} = 3.3 \text{ nC}$ (da datasheet).

- Perdite di commutazione

$$P_{sw} = K * (T_{rise} + T_{fall}) * V_{ds} * I_{ds} * f = 16.92 \text{ mW} \quad (5.22)$$

Per il diodo la potenza dissipata è invece calcolata nel seguente modo :

$$P_d = V_f * I_{ave} = 290 \text{ mW} \quad (5.23)$$

Con $V_f = 0.35 \text{ V}$ [12].

Si sono inoltre considerate le perdite sulla resistenza serie parassita dell'induttore :

$$P_L = I_{RMS}^2 * R_{ser} = 320 \text{ mW} \quad (5.24)$$

Mentre l'utilizzo di condensatori ceramici ha reso trascurabili le perdite sui loro elementi parassiti , poiché presentano resistenze molto basse.

In conclusione si ha una $P_{diss totale} = P_{con} + P_{gate} + P_{sw} + P_L + P_d = 663 \text{ mW}$.

Considerando che questi valori sono stati ottenuti considerando la condizione di tensione sul bus di potenza pari a 12.5 V significa avere una corrente massima in uscita idealmente pari a 0.96 A (come illustrato meglio dopo).

Così possiamo calcolare l'efficienza del nostro convertitore essendo :

$$P_o = V_o * I_o \quad (5.25)$$

$$\text{ed } \eta = \frac{P_o}{P_o + P_{diss}} = 0.947 \quad (5.26)$$

Quindi l'efficienza del convertitore è pari al 94.7% .

5.2.1.2 SpiceNetlist e componenti del Bk1B118_V2_Boost_Converter

Si riporta di seguito la netlist del blocco *Bk1B118_V2_Boost_Converter* (Figura 5.10):

```

*Definition For Project Bk1B118_V2_Boost_converter
.SUBCKT Bk1B118_V2_Boost_converter OUT EN GATE DGND IN VA_DIODE
LL1 VA_DIODE IN {MC( 33.000000U , /100)} RSER=94.500000M
XX81 DGND GATE OUTA N1N16 DGND EN IN DGND UCC27425
XX11 VA_DIODE OUT SL43
XM5 VA_DIODE N1N16 DGND irf7311
CC3 IN DGND {MC( 100.000000U , 20.000000 /100)} TC=15.000000U
CC4 N1N261 DGND {MC( 2.200000N , 5.000000 /100)} TC=10.000000U
CC5 OUT DGND {MC( 330.000000U , 10.000000 /100)} TC=10.000000U
RR25 VA_DIODE N1N261 {MC( 56ohms , 1000.000000M /100)} TC=10.000000U
* CROSS-REFERENCE 0
.ENDS

```

Figura 5.10:Netlist Spice del *Bk1B118_V2_Boost_Converter*

E la lista dei componenti utilizzati:

#	QTY	Part Number	PartLabel	PartName	Ref Designator	Value
1	1	DK_490-1459-1-ND	C_2n2_0603_COG_50_5	C2n2	C4	2.2n
2	1	RS_788-3057	C_100u_1206_10v_X5R_20	C_100u	C3	100U
3	1	DK_597D337X9020H2T-ND	C_330U_3226_20v	C_330U	C5	330u
4	1	DK_296-25241-1-ND	DRV_UCC27425_SOIC8	DRV_UCC27425	X81	
5	1	RS_610-6687	Q_IRF7311_S08_N_6A6_20V_double	IRF7311	M5	
6	1	RS_748-7261	L_33u_4040_4.4_95m_20	L33u	L1	33u
7	1	RS_504-7868	R_56R_0603_100_1	R56R	R25	56ohms
8	1	DK_SL43-E3/57TGICT-ND	D_SL43_SH_DO-214-AB_4_30	SL43-E3/57T	X11	

Figura 5.11:Lista dei componenti utilizzati per il *Bk1B118_V2_Boost_Converter*

5.2.2 Bk1B118_V2_BCCM_Control

Il *Bk1B118_V2_BCCM_Control* è un blocco circuitale analogico/digitale che permette di far operare un convertitore DC-DC di tipo Boost nella modalità *BCCM (Boundary Condition Conduction Mode)* precedentemente illustrata.

Il sistema è descritto attraverso un *Class Diagram* (Figura 5.12) che mostra le relazioni e le caratteristiche degli attori principali, che sono :

- *Bk1b118_V2_Triangular_waveform*
- *Bk1b118_V2_Compensator*
- *Diode_current_measure*
- *Logic_Circuit*

In realtà il *Diode_current_measure* e il *Logic_Circuit* non sono veri e propri blocchi all'interno dello schematico (Figura 5.13), ma vengono sintetizzati come blocco all'interno della descrizione in *Visual Paradigm*, per indentificare meglio le azioni che l'insieme dei singoli componenti svolge all'interno del funzionamento complessivo.

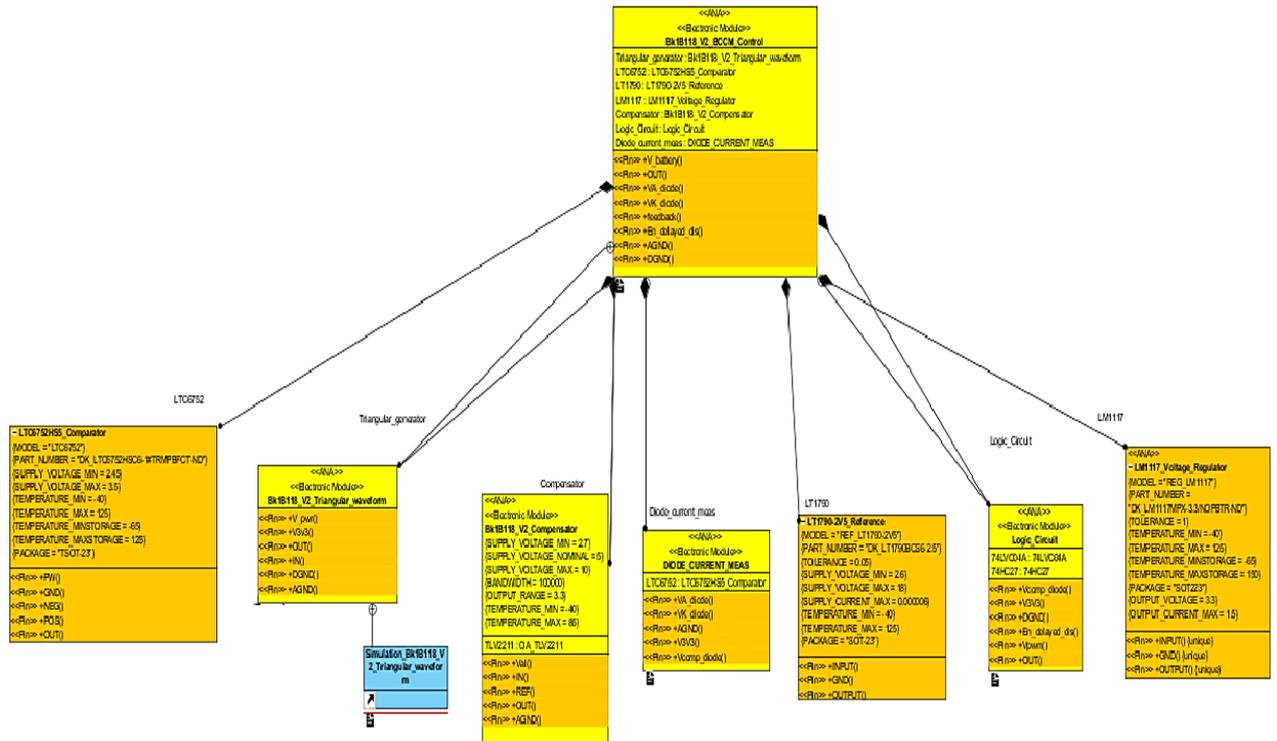


Figura 5.12: Class diagram del Bk1B118_V2_BCCM_Control

Altri dispositivi chiave all'interno del circuito, che invece non sono stati inglobati all'interno di altri blocchi sono :

- *LTC6752HS5_Comparator*, questo circuito compara il segnale di controllo proveniente dal blocco *Bk1b118_V2_Compensator* e il segnale triangolare in uscita dal *Bk1b118_V2_Triangular_waveform*, andando a generare un segnale *pwm* in ingresso al *Logic_Circuit*
- *LT1790-2V5_Reference*, genera la tensione di riferimento a 2.5V utilizzato dal compensatore *Bk1b118_V2_Compensator* per valutare la tensione di feedback.
- *LM1117_Voltage_Regulator*, permette di regolare i livelli di tensione provenienti dalla batteria a un valore di 3.3V compatibile con le dinamiche di molti dei dispositivi utilizzati.

5.2.2.1 Progettazione del Bk1B118_V2_BCCM_Control

Si mostra in Figura 5.13 il circuito che implementa quanto descritto dal diagramma delle classi, andando successivamente ad analizzare ognuna delle parti.

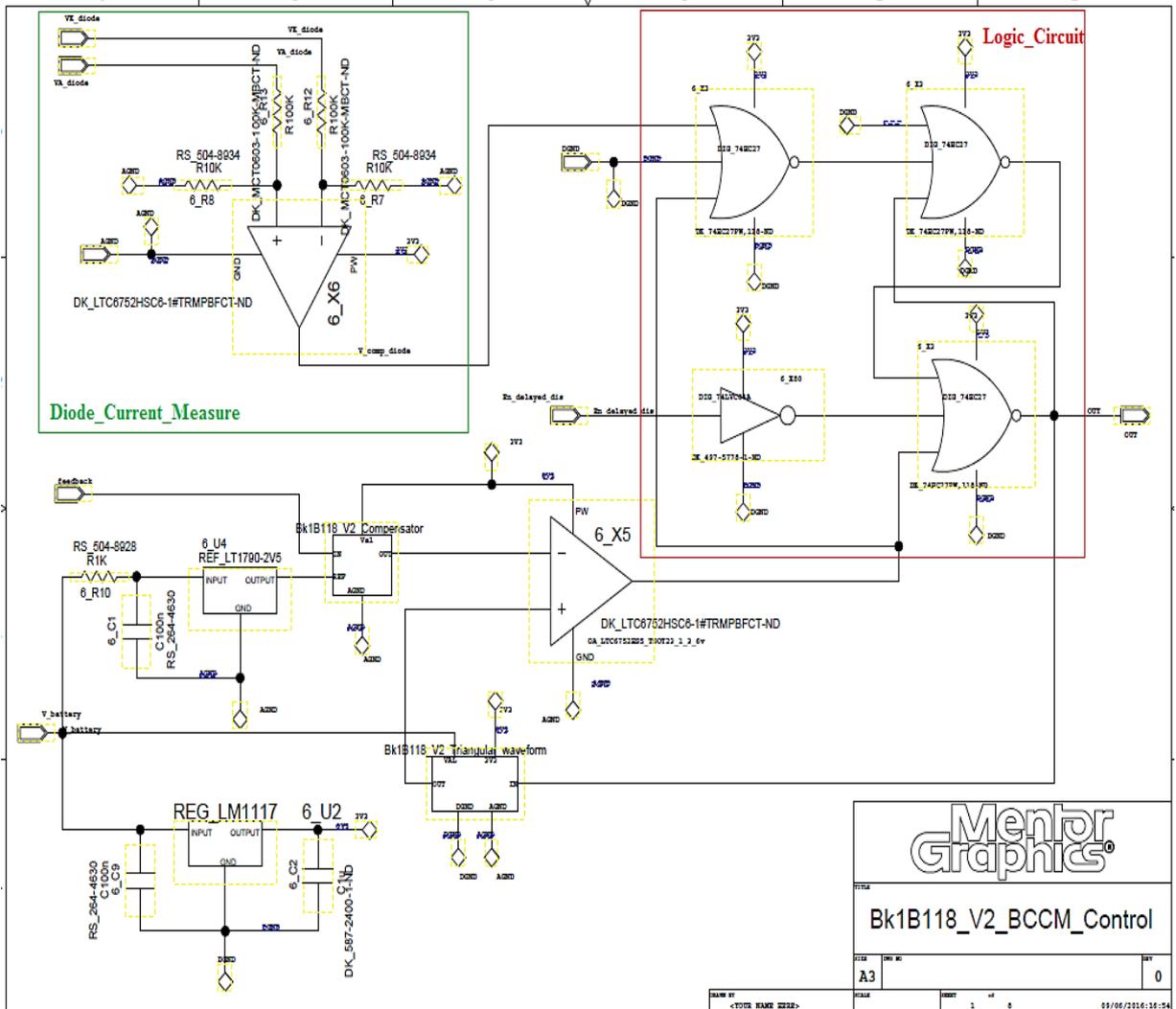


Figura 5.13: Schema elettrico realizzato in *Mentor Graphics* del *Bk1B118_V2_BCCM_Control*

In alto a sinistra sono presenti l'insieme di dispositivi che costituiscono il blocco chiamato *Diode_current_measure*.

Esso è un comparatore che ha il compito di monitorare la corrente che scorre sul diodo del convertitore Boost, ed in particolare individuare l'istante di tempo (all'interno dell'intervallo *Toff*) in cui la corrente sul diodo (che è la stessa dell'induttore all'interno di questo intervallo) diventi zero (diodo si interdice).

Così facendo si va a generare un cambiamento di stato all'interno del *Logic_Circuit* causando la commutazione forzata dello switch presente nel convertitore.

Nello stato di conduzione del diodo si ha una tensione presente sul morsetto " + " del comparatore maggiore rispetto a quella sul morsetto " - ", generandone una sua uscita alta. Nel stato di interdizione del diodo invece, l'interruttore MOS inizia a condurre portando a zero la tensione al morsetto positivo mentre al morsetto negativo è presente la tensione V_o del convertitore opportunamente scalata, portando ad un uscita del comparatore un livello di tensione basso.

Come è possibile vedere, agli ingressi del comparatore vengono posti dei partitori di tensione in modo tale da rendere compatibili i livelli di tensione del convertitore con le dinamiche del dispositivo di comparazione.

Sono stati scelti valori di resistenze sufficientemente alti per ridurre al minimo gli assorbimenti di corrente.

In alto a destra è presente il *Logic_Circuit*, costituito da un insieme di porte logiche, che si comporta come una macchina a stati, la cui attraverso opportuni segnali provenienti dai circuiti adiacenti permette di gestire il controllo desiderato.

Dopo alcune operazioni di sintesi si è riuscito a ridurre al minimo il numero di componenti logici utilizzati, minimizzando lo spazio occupato dal circuito.

Questo infatti è costituito da solo 3 porte NOR (a 3 ingressi, di cui non tutti utilizzati e quindi collegati a *DGND*) incluse all'interno di un unico integrato e una porta NOT.

Il funzionamento di tale macchina a stati è illustrato dalla seguente figura:

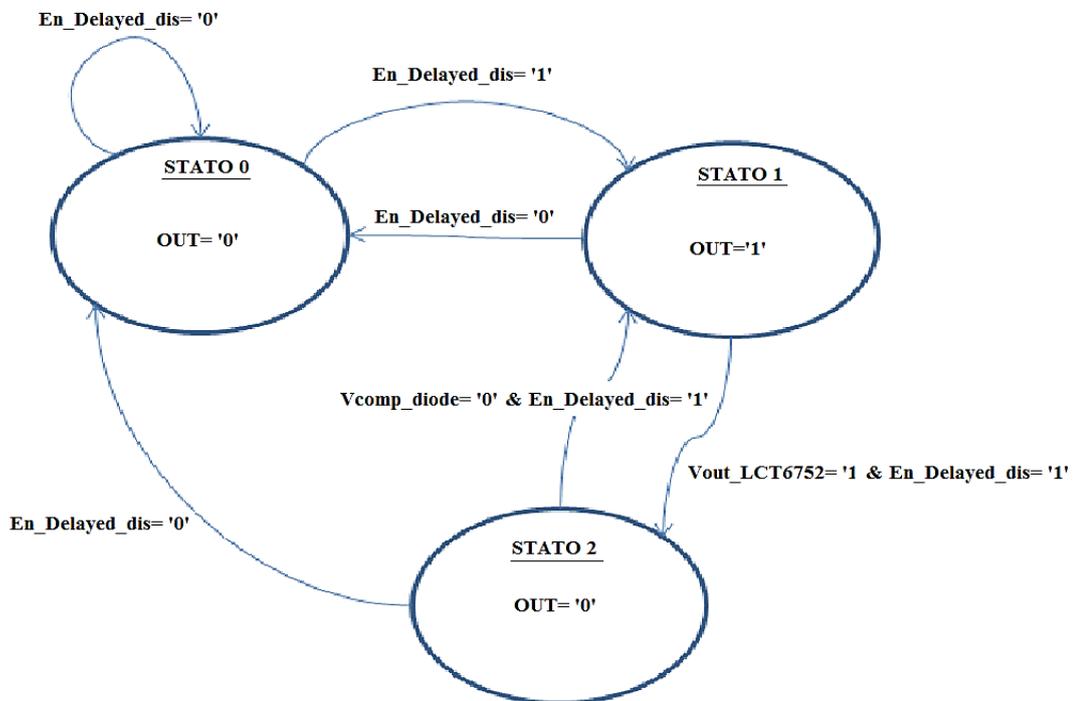


Figura 5.14: Rappresentazione del macchina a stati mediante pallogramma

Gli altri blocchi fondamentali che costituiscono il *Bk1B118_V2_BCCM_Control* sono:

Bk1b118_V2_Triangular_waveform

Il seguente blocco permette di generare il segnale di forma triangolare, che viene comparato con il segnale di controllo *Vcontrol* proveniente dal compensatore.

Esso è costituito (Figura 5.15) da un gruppo RC collegato alla tensione di alimentazione (in questo caso quella di batteria pari a 7.4V), il cui in funzione dello stato dell'interruttore carica e scarica il condensatore di uscita, generando appunto una variazione di tensione ai suoi capi associabile ad una forma d'onda di tipo triangolare.

La commutazione dell'interruttore dipende dallo stato del segnale *OUT* in uscita al *Logic_Circuit*, che viene applicato all'ingresso *IN* del seguente blocco e opportunamente invertito dalla presenza di una porta logica NOT posta al gate del MOSFET N. Pertanto l'input a tale blocco non deve superare la dinamica di ingresso di tale porta logica (5.5V).

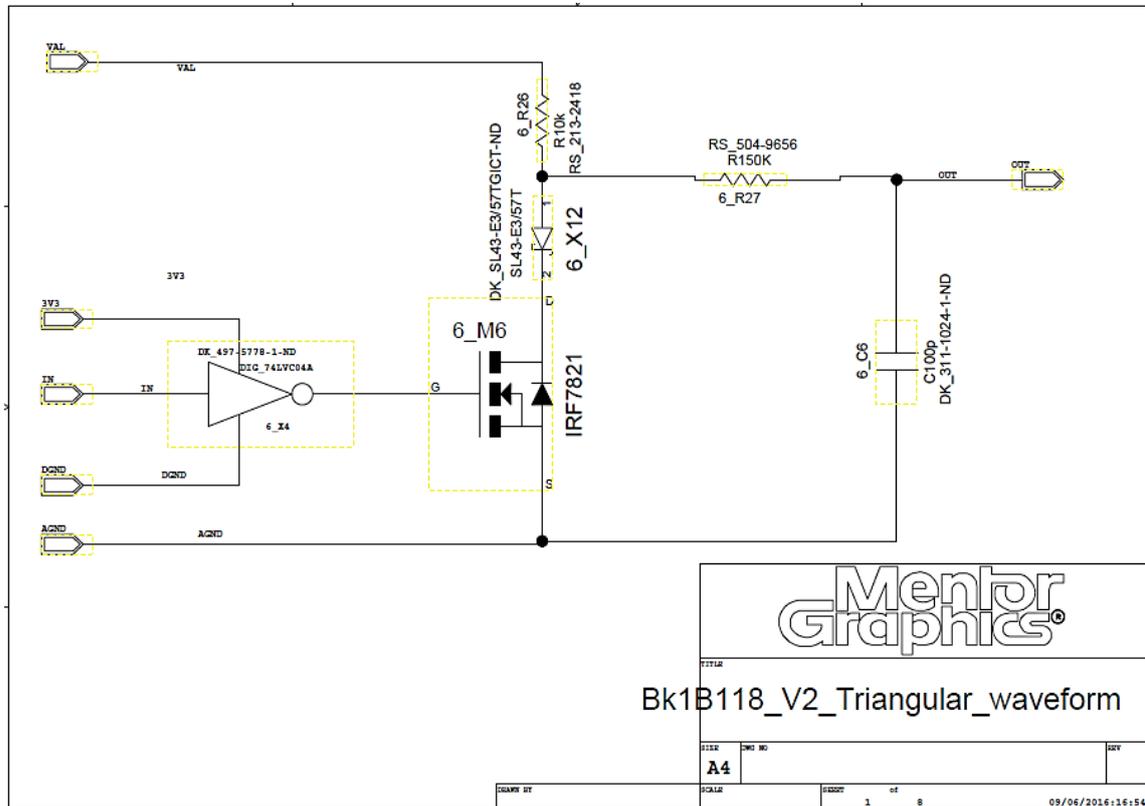


Figura 5.15: Schema elettrico del *Bk1B118_V2_Triangular_Waveform*

Dal grafico inoltre è possibile notare la presenza di un diodo posto in serie all'interruttore. Il suo inserimento permette di ottenere una tensione minima in uscita pari alla sua tensione di soglia V_γ uguale a 0.4V.

Nel caso in cui non ci fosse tale dispositivo, si avrebbe la completa scarica del condensatore e quindi una tensione di uscita al *Bk1B118_V2_Triangular_Waveform* nulla. Con questo valore di tensione, anche in presenza di una tensione di controllo bassa (pari a zero) si avrebbe erroneamente in uscita dal comparatore un livello di tensione che rimane sempre alto (a meno che non si disabiliti l'intero sistema).

La tensione massima di uscita al blocco considerato può assumere asintoticamente un valore pari alla tensione di alimentazione *VAL* ripartita sul resistore *6_R27* (ovviamente questa condizione si verifica quando l'ingresso è mantenuto sempre ad un livello alto). Si noti anche la presenza di un ulteriore resistore *6_R26* necessario ad evitare il cortocircuito della batteria, causato dalla chiusura dell'interruttore.

Il suo valore è stato scelto in modo tale da rendere l'assorbimento di corrente dalla batteria trascurabile.

In seguito viene mostrato il *TEST_Bk1B118_V2_Triangular_waveform* effettuato per verificare il corretto funzionamento di tale circuito (Figura 5.16):

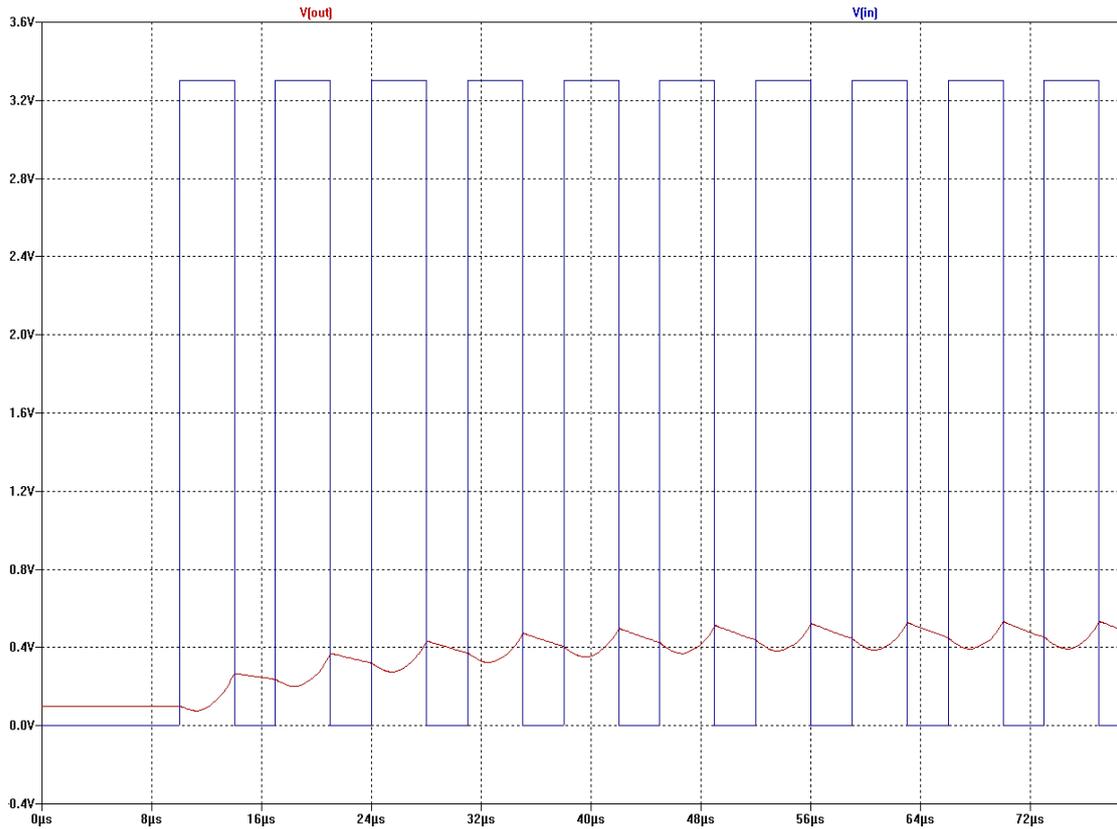


Figura 5.16: Andamento del TEST_Bk1B118_V2_Triangular_waveform

Possiamo vedere che quando l'ingresso è basso il transistor inizia a condurre scaricando il condensatore di uscita, mentre quando il segnale di ingresso diventa alto il condensatore inizia a caricarsi ma soltanto dopo un tempo di ritardo dovuto al tempo di propagazione dell'inverter e al tempo di spegnimento dell'interruttore pari a circa 12ns .

Bk1b118_V2_Compensator

Considerando di utilizzare il nostro convertitore Boost in modalità DCM, anche se per un breve periodo, abbiamo che la sua funzione di trasferimento sarà caratterizzata da un polo e da uno zero[10] come si vede dalla curva in rosso in Figura 5.17:

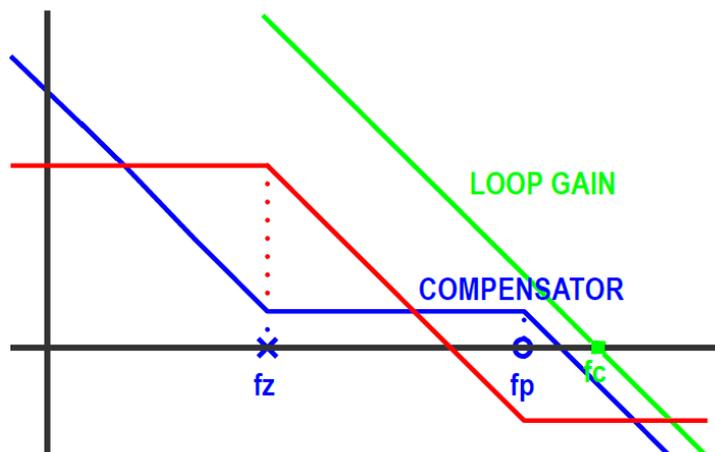


Figura 5.17: Comportamento in frequenza del sistema e compensazione desiderata

La sua relazione sarà :

$$\frac{\widehat{V}_o}{\widehat{d}} = \frac{2V_o}{D} \frac{M_{DCM}-1}{2M_{DCM}-1} \frac{1+\frac{s}{\omega_{ESR-Z}}}{1+\frac{s}{\omega_p}} \frac{1}{\widehat{V}_{tri}} \quad (5.27)$$

$$\text{con } \omega_p = \frac{2M-1}{RC(M-1)} \quad \text{e } \omega_{ESR-Z} = \frac{1}{ESR \cdot C_{out}} \quad (5.28)$$

dove \widehat{V}_{tri} è l'ampiezza massima dell'onda triangolare posta in ingresso al modulatore PWM.

La presenza di un solo polo anche se si hanno due componenti reattivi, è dovuta principalmente alla totale scarica dell'induttore all'interno del ciclo, che fa sì che la sua memoria venga ogni volta resettata, portando ad avere un polo a frequenze superiori ad $f_{sw}/2$ (e quindi al di fuori della nostra frequenza di funzionamento).

In particolare quando si realizza un sistema ad anello chiuso, si vuole ottenere un guadagno di anello T che in frequenza abbia un andamento simile a quello di un integratore (curva in verde) . Questo principalmente per due ragioni:

- una f.d.t. di questo tipo permette di avere un elevato guadagno alle basse frequenze, riducendo quindi l'errore in DC.
- Il margine di fase del sistema in questo modo sarà circa 90° . Questo non sarebbe molto buono poiché un margine di tale tipo significherebbe una risposta dinamica abbastanza lenta. Tuttavia considerando la non idealità dei componenti si otterrà un margine di fase di circa 50° (che rappresenta un ottimo margine)

Per ottenere un guadagno di anello simile ad un integratore, dobbiamo realizzare un opportuno compensatore con caratteristica simile a quella rappresentata in blu. Per far ciò si utilizza un compensatore di tipo 2 (PI) [10] (Figura 5.18).

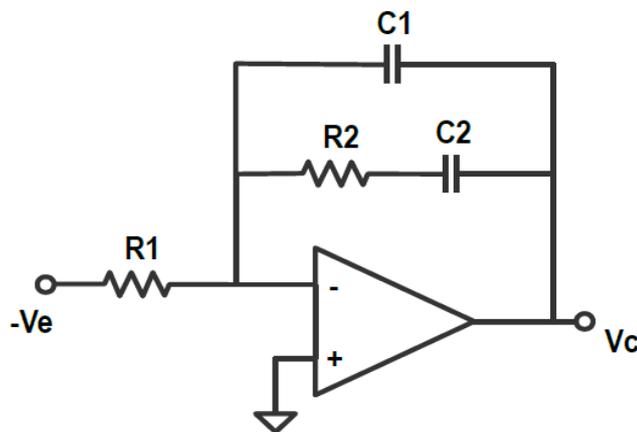


Figura 5.18: Compensatore di tipo 2 (controllore PI)

Al fine di soddisfare il criterio di Nyquist consideriamo una frequenza di crossover f_c inferiore ad almeno la metà di f_{sw} ed in particolare prendiamo $f_c = 25\text{kHz}$ (sei volte più piccola).

Poniamo inoltre la f_z del compensatore pari alla frequenza del polo del convertitore Boost (il cui valore è determinato da un dimensionamento precedente del boost) e la sua f_p pari a $f_{sw}/2$.

La funzione di quest'ultimo polo detto anche di chiusura è quella di ridurre la banda del sistema e di diminuire il rumore introdotto a frequenze superiori di $f_{sw}/2$. Avendo le seguenti equazioni :

$$A_0 = \frac{2V_o}{D} \frac{M_{DCM}-1}{2M_{DCM}-1} \frac{1}{V_{tri}} \quad (5.29)$$

$$A_1 = \frac{f_c}{f_p A_0} \quad (5.30)$$

$$f_z = f_{sw}/2 \quad (5.31)$$

Le relazioni di progettazione del compensatore sono :

$$f_p = \frac{1}{2\pi R_2 C_2} \quad (5.32)$$

$$f_z = \frac{1}{2\pi R_2 C_2} \quad (5.33)$$

$$A_1 = \frac{R_2}{R_1} \quad (5.34)$$

Come possiamo notare, abbiamo un sistema di tre equazioni e quattro incognite.

Fissiamo il valore di C_1 pari ad 100 pF, e di conseguenza calcoliamo il resto delle variabili ottenendo:

$$R_2 \approx 13\text{K}\Omega$$

$$R_1 \approx 39\text{K}\Omega$$

$$C_2 \approx 100\text{pF}$$

In realtà il valore di C_2 è stato leggermente ridotto rispetto a quello ottenuto per rendere il controllo più veloce.

Si ottiene quindi il blocco *Bk1b118_V2_Compensator* in Figura 5.19 :

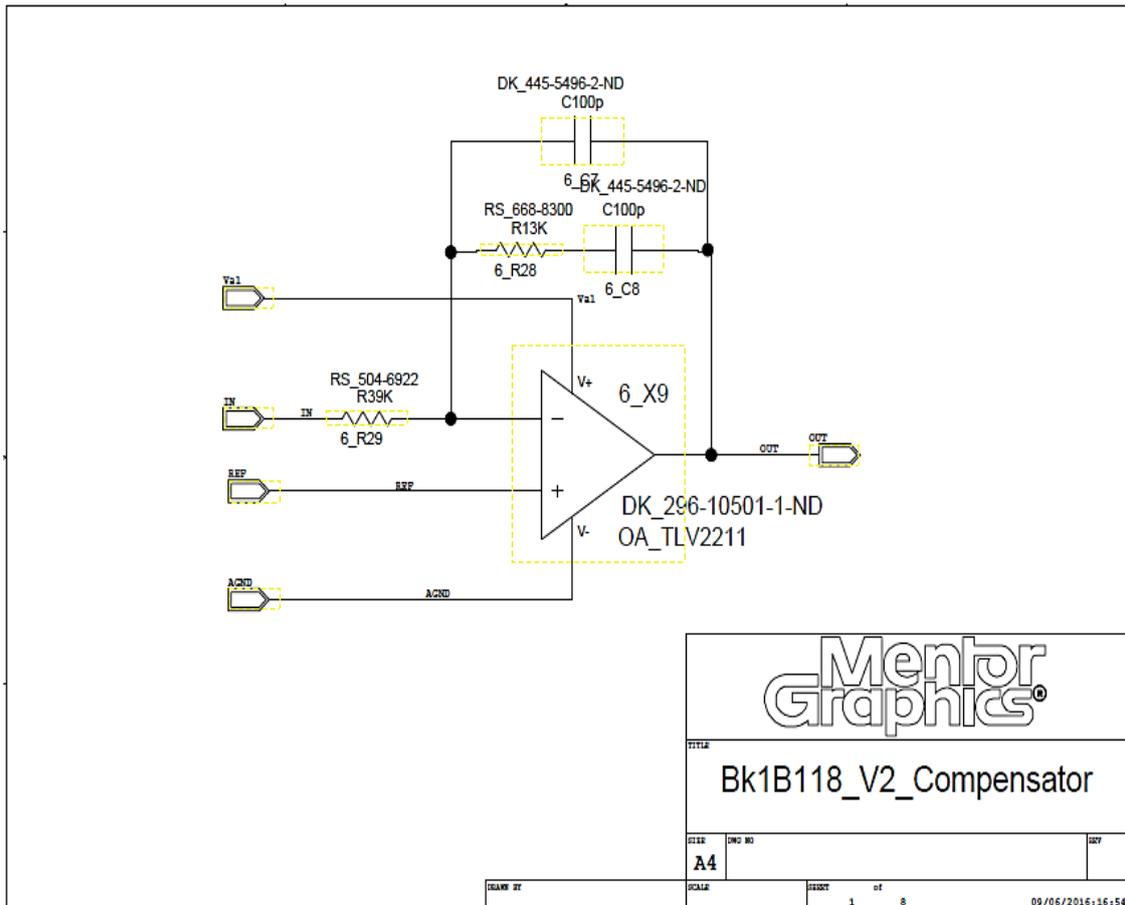


Figura 5.19:Schema del Bk1b118_V2_Compensator realizzato in Mentor Graphics

5.2.2.2 Simulazioni del Bk1B118_V2_BCCM_Control

Il principio di funzionamento che implementa il controllo *BCCM*, prevede innanzitutto un segnale di enable al circuito *En_delayed_dis*. Esso risulta utile, come vedremo meglio nel circuito complessivo, poiché permette di disabilitare il circuito di controllo quando ancora le tensioni in gioco non sono arrivate a regime. In questo modo si riesce ad evitare comportamenti anomali e indesiderati non facilmente prevedibili a priori.

Quando questo segnale *En_delayed_dis* è allo stato logico 'zero', l'uscita dell'inverter è a '1'. Questo porta indipendentemente dallo stato logico degli altri segnali ad avere un '1' in ingresso ad una porta NOR. E quindi la sua uscita *OUT* che va a controllare il driver dell'interruttore MOS del circuito switching, pari a 'zero' (ovvero switch OFF), definendo una condizione iniziale in cui partirà sempre il sistema complessivo quando è attivato (Figura 5.21). Infatti prima dell'abilitazione del circuito logico, si presenterà il seguente scenario: la corrente sul diodo (e sull'induttore) sarà nulla generando un'uscita *V_comp_diode* dal "blocco" *Diode_current_measure* anch'essa a 'zero'. Inoltre essendo a 'zero' l'uscita *OUT* del *Logic_Circuit* avremo una *Vtri* (uscita dal blocco *Bk1b118_V2_Triangular_waveform*) a livello basso. Così facendo all'ingresso della NOR (in alto a sinistra, che da ora in poi chiameremo NOR1) si ha una configurazione "000", che dalla tabella della verità di una NOR (Figura 5.20) si può vedere che essa causi in uscita un

livello logico alto. E di conseguenza si avrà in uscita della NOR in alto a destra (che chiameremo NOR2) un valore logico basso.

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Figura 5.20: Tabella della verità di una NOR a 3 ingressi

Partire da tale condizione è importante poiché un segnale *En_delayed_dis* alto, porta ad avere in ingresso della NOR avente in uscita il segnale *OUT* (che da adesso in poi chiameremo NOR3), la configurazione in ingresso "000" andando a determinare una transizione basso-alta della uscita logica. Ciò attiva sia l'interruttore MOS (del convertitore) sia il circuito di generazione dell'onda triangolare (generazione del fronte di salita della forma d'onda), portando alla carica dell'induttore. Quanto detto è illustrato dal grafico sotto, che ritrae la parte iniziale del *TEST_Bk118_V2_BCCM_Control*.

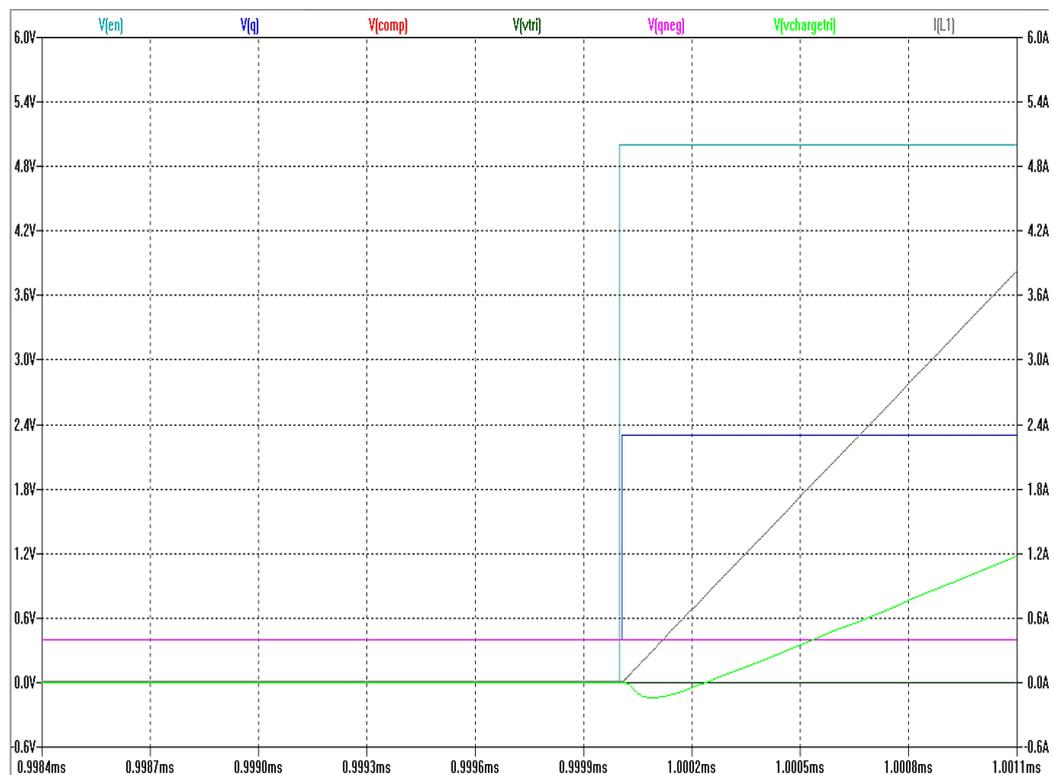


Figura 5.21: Prima parte del *TEST_Bk118_V2_BCCM_Control*

Dal grafico si nota nella prima fase la condizione iniziale descritta, all'arrivo del segnale di enable alto (in celeste) l'uscita del "blocco" *Logic_Control*, chiamata in questo caso *V(q)*, si porta ad un valore alto. Questo attiva il circuito di generazione d'onda triangolare che

possiamo vedere inizia il suo fronte di salita ($V_{chargeTri}$), così come la corrente sull'induttore. Quando il segnale triangolare supera il valore della tensione $V_{control}$, l'uscita del comparatore subirà una transizione basso-alta, che porta ad avere in ingresso della NOR3 un '1' logico andando a forzare in accordo con la sua tabella della verità l'uscita OUT (o $V(q)$ nel grafico) a 'zero' (Figura 5.22). Questo porta all'apertura del NMOS del convertitore, alla conseguente conduzione del diodo e alla scarica dell'induttore. Il diodo in stato ON genera in uscita del circuito di misura di corrente, un valore di V_{comp} alto. Questa situazione risulta essere una condizione critica del sistema, poiché la transizione ad un livello logico basso del segnale OUT genera il fronte di discesa dell'onda triangolare, pertanto è necessario garantire che: il segnale V_{comp} sia a livello alto prima che il segnale $V_{chargeTri}$ diventi inferiore alla tensione di controllo $V_{control}$ (segnale V_{tri} all'uscita del comparatore basso). Pertanto si deve avere un tempo $T_{V_{chargeTri} < V_{control}}$ ¹ maggiore rispetto al tempo $T_{turnoff_delay_MOS}$ ², affinché si eviti la generazione di impulsi spuri all'uscita del sistema $Bk118_V2_BCCM_Control$. Questi porterebbero a commutazioni indesiderate del dispositivo, aumentandone la potenza dissipata e causandone possibili malfunzionamenti. La scelta del transistor MOS è stata fatta considerando anche questi vincoli, cercando un dispositivo in grado di soddisfare tali limiti di velocità ma che fosse anche compatibile con le specifiche elettriche derivanti dall'utilizzo del convertitore.

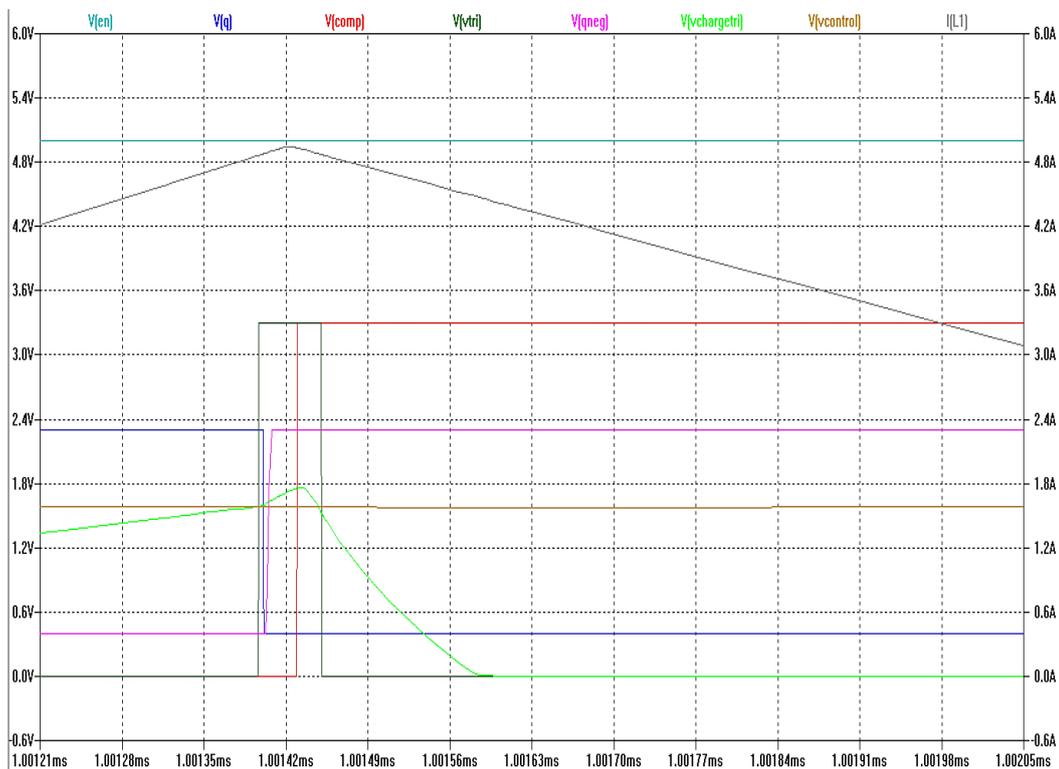


Figura 5.22: Seconda parte del $TEST_Bk118_V2_BCCM_Control$

¹ tempo necessario alla $V_{chargeTri}$ per passare dal suo valore massimo assunto durante il periodo T_{on} del convertitore ad un valore di tensione inferiore a $V_{control}$

² Tempo necessario a far passare il MOSFET N del convertitore dal suo stato di conduzione ad interdetto. Tempo considerato a partire dall'arrivo alto del segnale di spegnimento al driver che pilota il transistor.

Dal grafico si osserva inoltre che la $V_{chargeTri}$ non decresce subito dopo l'arrivo del segnale $V(q)$ basso, ma continua a crescere per un aggiuntivo intervallo di tempo legato sia al ritardo della porta NOT sia al tempo di accensione del MOS N all'interno del blocco *Bk1b118_V2_Triangular_waveform*.

Successivamente si ha la scarica dell'induttore che tende ad annullarsi, presentando uno scenario simile a quello iniziale con la differenza del segnale di enable $En_delayed_dis$, già abilitato.

Quindi l'annullarsi della corrente sul diodo (e quindi anche sull'induttore) fa commutare il segnale V_{comp} a zero.

In ingresso alla NOR1 avremo "000" che genera un '1' alla sua uscita portando basso il livello dello stadio di uscita della NOR2 .

Così facendo in ingresso alla NOR3 si avrà di nuovo "000" forzando un'altra volta il transistore MOS alla conduzione (induttore immagazzina energia) , $OUT= "alta"$ (Figura 5.23).

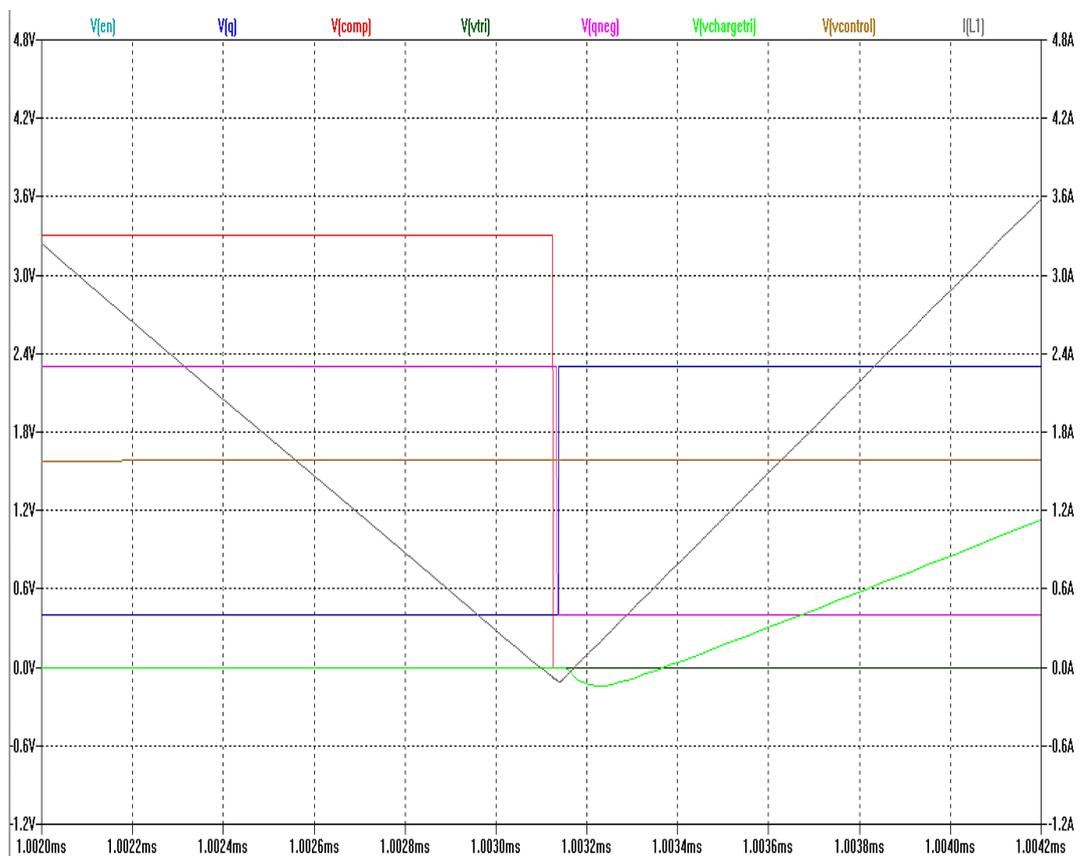


Figura 5.23: Terza (e ultima) parte del *TEST_Bk118_V2_BCCM_Control*

Si mostra infine un caso in cui si verifica la condizione critica precedentemente descritta (Figura 5.24):

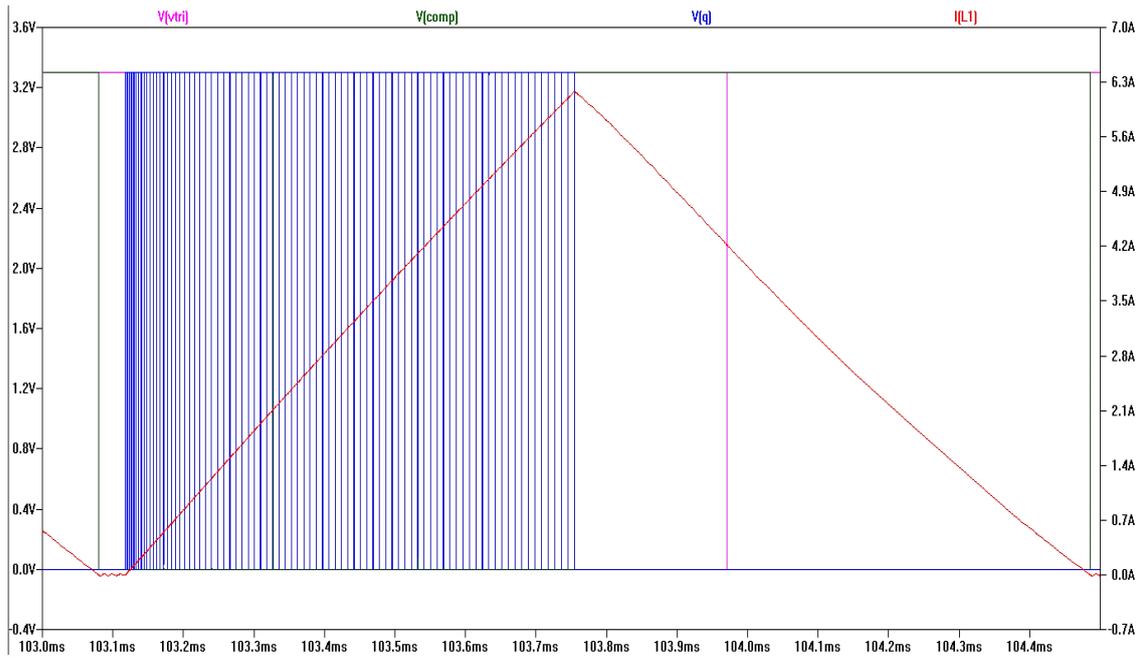


Figura 5.24: Condizione critica del controllo BCCM realizzato

Come possiamo vedere si hanno commutazioni spurie, questo porta ad avere transizioni dello segnale $V(q)$ anche quando la corrente dell'induttore i_L non raggiunge lo zero. Facendo lo zoom (Figura 5.25) in particolare possiamo vedere, che questo è causato dal segnale $Vtri$ in uscita al comparatore che va a 'zero' prima che $Vcomp$ sia a '1'.

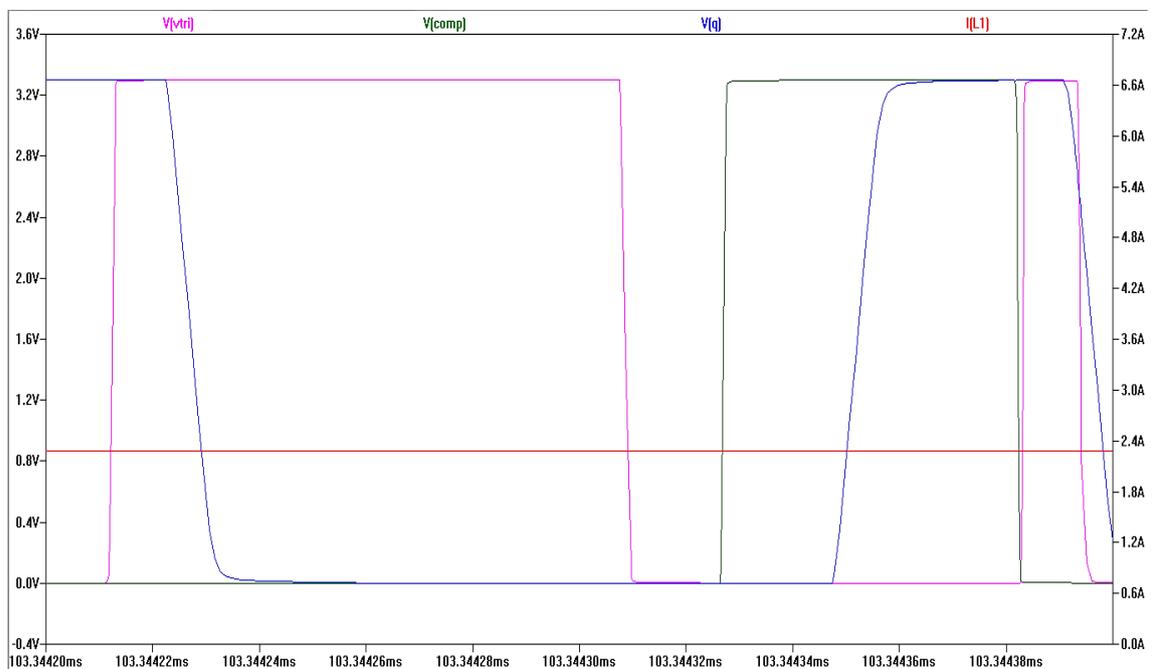


Figura 5.25: Zoom del grafico a figura 4.17

5.2.2.3 Spice Netlist del Bk1B118_V2_BCCM_Control e lista dei componenti

Si riporta di seguito la netlist del blocco *Bk1B118_V2_BCCM_Control* (Figura 5.26):

```
.SUBCKT Bk1B118_V2_BCCM_Control OUT V_battery AGND DGND En_delayed_dis UK_diode UA_diode feedback
XX3 DGND N1N37 OUT N1N32 N3U3 DGND 74HC27
XX80 En_delayed_dis N1N30 N3U3 DGND INVERT2
X0 U_comp_diode DGND Upwm N1N37 N3U3 DGND 74HC27
CC1 N1N1026 AGND {MC( 100.000000M , 10.000000 /100)} TC=100.000000U
XBk1B118_V2_Triangular_waveform DGND N3U3 Utri OUT V_battery AGND Bk1B118_V2_Triangular_waveform
XBk1B118_V2_Compensator Ucontr AGND N3U3 feedback N2v5 Bk1B118_V2_Compensator
XU4 N1N1026 AGND N2v5 LT1790-25
X1 N1N32 N1N30 Upwm OUT N3U3 DGND 74HC27
RR7 N1N202 AGND {MC( 10Kohms , 1000.000000M /100)} TC=100.000000U
RR8 AGND N1N203 {MC( 10Kohms , 1000.000000M /100)} TC=100.000000U
CC9 V_battery DGND {MC( 100.000000N , 10.000000 /100)} TC=100.000000U
XX5 Utri Ucontr N3U3 AGND Upwm LTC6752
XX6 N1N203 N1N202 N3U3 AGND U_comp_diode LTC6752
XU2 V_battery N3U3 DGND LM1117
CC2 N3U3 DGND {MC( 1uF , 10.000000 /100)} TC=10.000000U
RR10 U_battery N1N1026 {MC( 1Kohms , 1000.000000M /100)} TC=100.000000U
RR12 UK_diode N1N202 {MC( 100Kohms , 100.000000M /100)} TC=100.000000U
RR13 UA_diode N1N203 {MC( 100Kohms , 100.000000M /100)} TC=100.000000U
* CROSS-REFERENCE 2
* 2v5=N2v5
* 3U3=N3U3
.ENDS
```

Figura 5.26: Spice Netlist del *Bk1B118_V2_BCCM_Control*

E la lista dei componenti utilizzati (Figura 5.27):

#	QTY	Part Number	PartLabel	PartName	Ref Designator	Value
1	1	DK_587-2400-1-ND	C_1u_0603_X55_50_10	C1u	C2	1uF
2	2	RS_264-4630	C_100n_0603_X7R_16_10	C100n	C1,C9	100n ,100n
3	1	DK_311-1024-1-ND	C_100p_0402	C100p	C6	100p
4	2	DK_445-5496-2-ND	C_100p_0402_X5R_10_10	C100p	C7,C8	100pF,100pF
5	1	DK_74HC27PW,118-ND	DIG_74HC27_NOR_TSSOP_3_1	DIG_74HC27	X3	
6	2	DK_497-5778-1-ND	DIG_74LVC04A_NOT_TSSOP_6_1	DIG_74LVC04A	X4,X80	,
7	1	RS_650-4069	Q_IRF7821_S08_N_13A6_30V	IRF7821	M6	
8	2	DK_LTC6752HSC6-1#TRMPBFCT-ND	OA_LTC6752HS5_TSOT23_1_3_6V	OA_LTC6752HS5	X5,X6	,
9	1	DK_296-10501-1-ND	OA_TLV2211IDBVR_SOT23_2V7_10V	OA_TLV2211	X9	
10	1	RS_504-8928	R_1K_0603_100_1	R1K	R10	1Kohms
11	1	RS_213-2418	R_10K_0603_100_1	R10K	R26	10Kohms
12	2	RS_504-8934	R_10K_0603_100_1	R10K	R7,R8	10Kohms,10Kohms
13	1	RS_668-8300	R_13K_0603_63_0%1	R13K	R28	13Kohms
14	1	RS_504-6922	R_39K_0603_100_1	R39K	R29	39Kohms
15	2	DK_MCT0603-100K-MBCT-ND	R_100K_0603_125_0%1	R100K	R12,R13	100Kohms, 100Kohms
16	1	RS_504-9656	R_150K_0603_100_1	R150K	R27	150Kohms
17	1	DK_LT1790BC56-2,5	REF_LT1790_V_SOT23-6_2V5_0%1	REF_LT1790-2V5	U4	
18	1	DK_LM1117MPX-3,3/NOPBTR-ND	REG_LM1117_TO252_0_8A_3_3V	REG_LM1117	U2	
19	1	DK_SL43-E3/57TGICT-ND	D_SL43_SH_D0-214-AB_4_30	SL43-E3/57T	X12	

Figura 5.27:Lista componenti utilizzati per il *Bk1B118_V2_BCCM_Control*

5.2.3 Bk1B118_V2_Feedback_Net

L'ultimo dei tre blocchi da analizzare visti in precedenza è il circuito di generazione del feedback *Bk1B118_V2_Feedback_Net*. Esso è l'elemento fondamentale per ottenere sul bus d'uscita la caratteristica desiderata e illustrata nei capitoli precedenti.

In particolare si richiedeva una resistenza differenziale di uscita dV/dI associata al modulo di scarica pari a -1Ω (Figura 5.28).

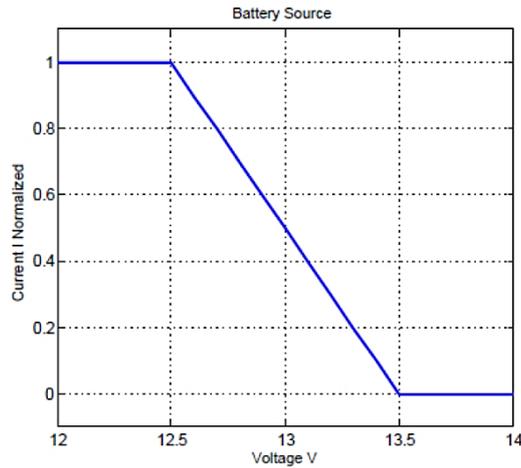


Figura 5.28: Caratteristica di uscita del Bk1B118_Battery_Discharger_V2

5.2.3.1 Progettazione del Bk1B118_V2_Feedback_Net

Per implementare ciò, si utilizza una rete analogica (Figura 5.29) con il compito di generare una tensione di uscita (*feedback*) paragonabile alla tensione di riferimento del compensatore Bk1b118_V2_Compensator, scelta pari a 2.5V .

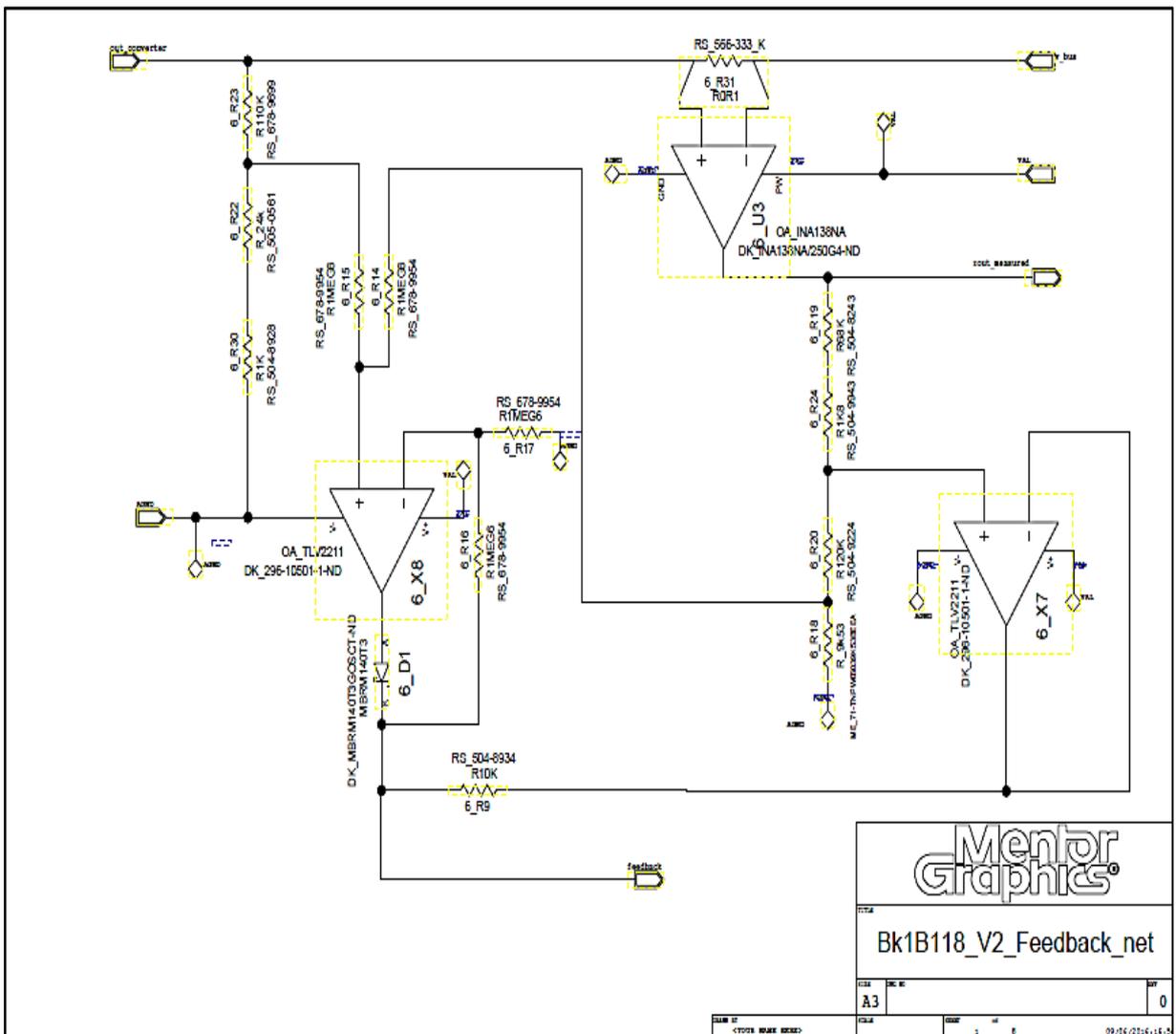


Figura 5.29: Schema elettrico del Bk1B118_V2_Feedback_Net

Se ad esempio dal carico viene richiesta una corrente di 1A a una tensione di 13V, la rete presenterà un valore di tensione di feedback lontano dal riferimento, rendendo impossibile che ciò avvenga seguendo pertanto le specifiche definite.

Il grafico illustrato è riferito ad un valore di corrente normalizzata, in realtà la rete considerata è stata realizzata per un preciso valore di corrente massima, così determinato:

$$I_{PDBmax} = \frac{V_{BATmin} * I_{DISCHARGEmax}}{V_{PDBmin}} \quad (5.35)$$

La corrente massima è calcolata considerando il caso peggiore, che si ha quando la tensione sul PDB è quella minima (ed è richiesta la massima corrente in uscita) e la tensione di batteria è al minimo (con tensione massima di scarica della batteria).

Un dimensionamento diverso potrebbe portare ad una richiesta di potenza alla batteria maggiore alla sua disponibilità.

Pertanto si ha:

$$V_{BATmin} * I_{discharge} = V_{PDBmax} * I_{PDBmax} \quad (5.36)$$

Il valore massimo di corrente sul *Power Distribution Bus* è di 0.96 A.

Il funzionamento della rete è in particolare caratterizzato dalla presenza di due caratteristiche (o regioni di lavoro): una compresa tra i 12.5V e i 13.5V lineare, e una al di sotto ai 12.5V parallela all'asse delle ascisse.

La selezione di una delle due curve avviene mediante l'uso del diodo δ_{DI} (in funzione del suo stato di conduzione o interdizione, sceglie la curva più bassa) collegato in uscita all'operazionale δ_{X8} .

In particolare la rete realizzata è stata resa parametrica, andando a definire alcuni elementi chiave per la progettazione.

In questo modo eventuali cambiamenti, ad esempio un diverso tipo di batterie utilizzate, non comportino una ridefinizione totale della rete. Ma attraverso opportune relazioni si riesce a cambiare il valore di alcuni resistori rendendo perfettamente funzionale l'intero sistema.

Il processo decisionale che ha portato alla scelta dei valori dei resistori utilizzati e della configurazione della rete illustrata in precedenza è stata fatta in modo tale che nel primo tratto (quello lineare) l'uscita dell'operazionale δ_{X8} (che chiameremo V_1 , vedi 5.37) risultasse inferiore all'uscita δ_{X7} (che chiameremo V_2 , vedi 5.38):

$$V_1 = V_{PDB} * \frac{6_{R30} + 6_{R22}}{6_{R30} + 6_{R22} + 6_{R23}} + I_{PDB} * K_i * \frac{6_{R18}}{6_{R18} + 6_{R19} + 6_{R20} + 6_{R24}} \quad (5.37)$$

$$V_2 = I_{PDB} * K_i * \frac{6_{R20} + 6_{R18}}{6_{R20} + 6_{R18} + 6_{R19} + 6_{R24}} \quad (5.38)$$

Successivamente nel tratto piano (inferiore ai 12.5 V) la tensione V2 assumerà valori inferiori rispetto alla tensione V1. e sarà selezionata dal diodo 6_DI come tensione di feedback.

Ovviamente si vuole che nel tratto in cui vengono selezionate le due tensioni V1 e V2, esse tendano ad assumere valori prossimi alla tensione di riferimento scelta.

La corrente di uscita dell'intero sistema utilizzata nelle espressioni precedenti, come si può notare dal grafico, è misurata attraverso l'utilizzo di un particolare dispositivo, l'INA138[13].

Esso attraverso l'utilizzo di una resistenza serie 6_R31 posta uguale a 100mΩ, rileva la corrente e la converte in tensione con un fattore di conversione (transconduttanza) pari a $6_R31 * K_i * R_L$.

Dove K_i dipende da parametri interni al dispositivo ed è pari ad $200\mu A/V^2$, e R_L è la resistenza in uscita al dispositivo (in questo caso dato dalla somma di 6_R19+6_R24+6_R20+6_R18) posta a 200KΩ per ottenere un guadagno K_i pari a 4.

Considerando quindi tali valori :

$$\left\{ \begin{array}{l} I_{BUSMAX} = 0.96A \\ V_{BUSmax} = 13.5V \\ V_{BUSmin} = 12.5V \\ V_{ref} = 2.5V \\ R_L = 200K\Omega \\ K_i = 4 \\ 6_R30 + 6_R22 = 25K\Omega \\ 6_R14 = 6_R15 = 6_R16 = 6_R17 = 1.6M\Omega \end{array} \right.$$

e attraverso l'utilizzo delle relazioni che caratterizzano la scelta dei valori dei resistori utilizzati, ottenute mediante l'uso di formule inverse e di imposizioni fatte :

$$6_R23 = \frac{1 - \frac{V_{ref}}{V_{PDBmax}}}{\frac{V_{ref}}{V_{PDBmax}}} \quad (5.39)$$

$$6_R24 + 6_R19 = R_L * \left(1 - \frac{V_{ref}}{I_{BUSmax} * K_i} \right) \quad (5.40)$$

$$6_R20 = \left[\frac{V_{ref}}{I_{PDBmax} * K_i} - \frac{1 - \frac{V_{PDBmin}}{V_{PDBmax}}}{I_{PDBmax} * K_i} \right] * R_L \quad (5.41)$$

$$6_R18 = \frac{\left(1 - \frac{V_{BUSmin}}{V_{BUSmax}} \right) * V_{ref}}{I_{BUSmax} * K_i} * R_L \quad (5.42)$$

Si ottengono i seguenti valori di resistori :

$$\left\{ \begin{array}{l} 6_R23 = 110K\Omega \\ 6_R18 = 9.53K\Omega \\ 6_R20 = 120K\Omega \\ 6_R24 = 1.8K\Omega \\ 6_R19 = 68K\Omega \end{array} \right\}$$

5.2.3.2 Simulazioni del Bk1B118_V2_Feedback_Net

Si riportano le simulazioni effettuate per validare il funzionamento della rete realizzata.

Il *TEST1_Bk1B118_V2_Feedback_net* (Figura 5.30) prevede come segnali in ingresso :

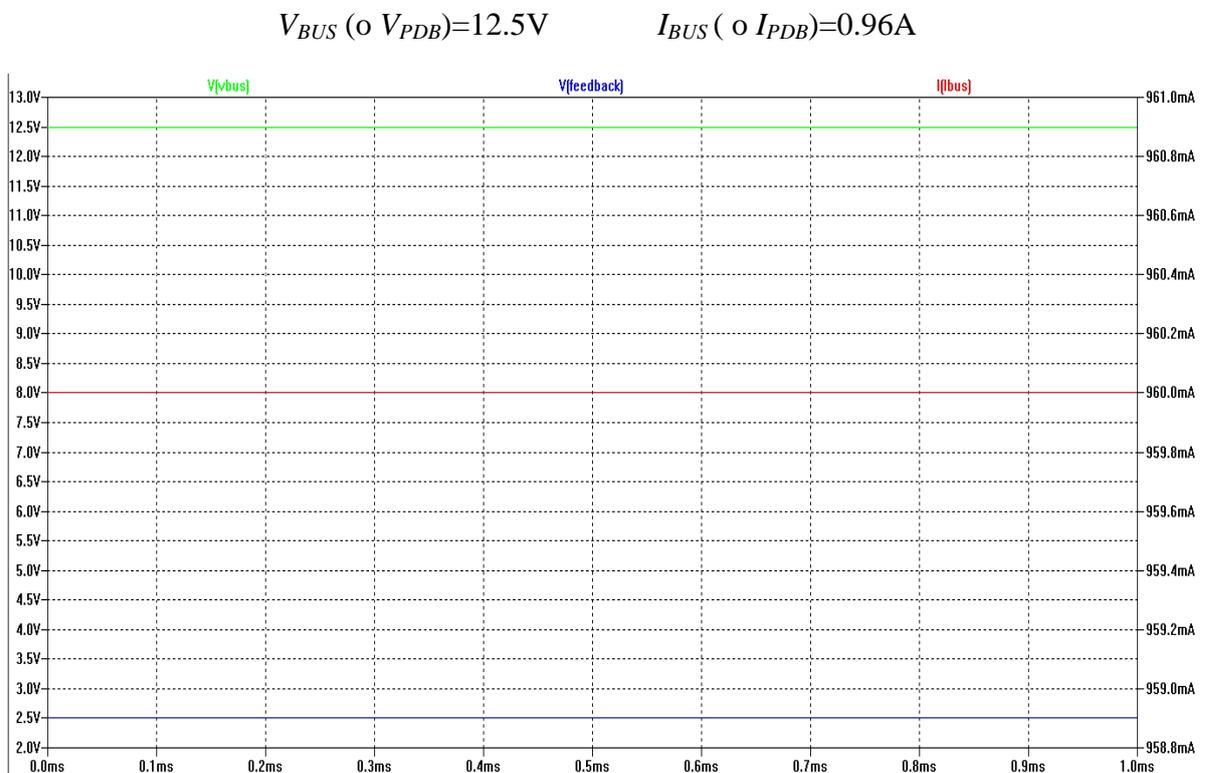


Figura 5.30: Grafico relativo al *TEST1_Bk1B118_V2_Feedback_net*

Il *TEST2_Bk1B118_V2_Feedback_net* (Figura 5.31) prevede come segnali in ingresso :

$$V_{BUS}$$
 (o V_{PDB})=13.5V I_{BUS} (o I_{PDB})=45mA

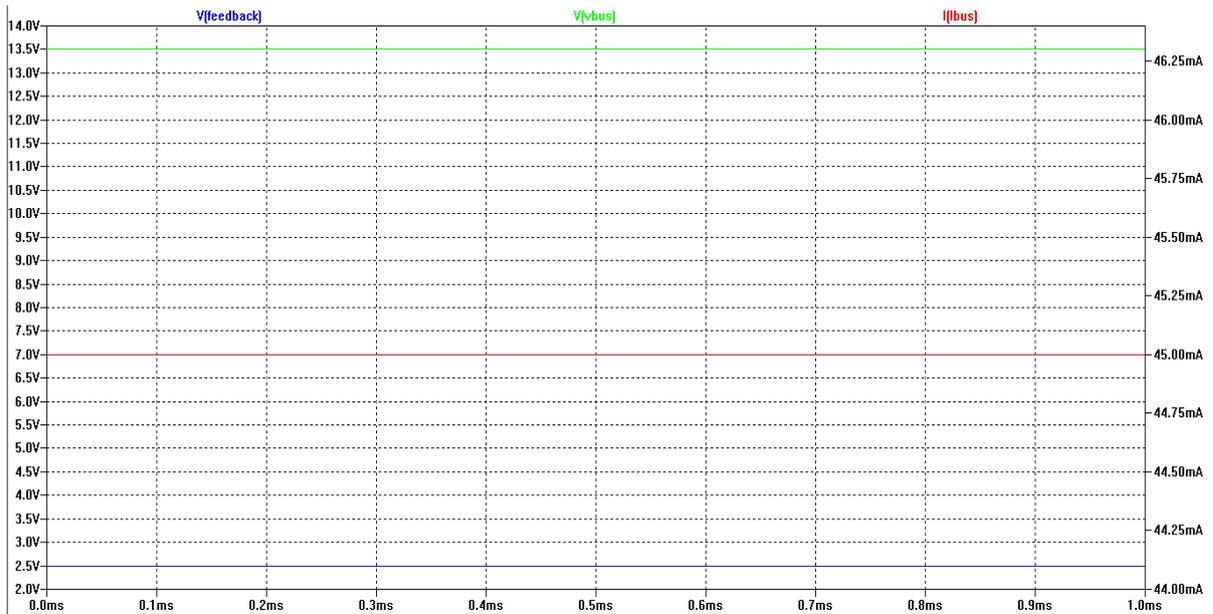


Figura 5.31: Grafico relativo al *TEST2_Bk1B118_V2_Feedback_net*

Si può notare che per entrambe le combinazioni delle sorgenti di ingresso si ha un valore della tensione di feedback pari a 2.5V, in accordo alle specifiche desiderate. In realtà il valore di corrente tale per cui la tensione di feedback è pari a 2.5V non è esattamente nullo ma assume un valore comunque accettabile. Inoltre vista la criticità dell'accuratezza della rete in esame per l'intero sistema e considerato che essa è realizzata da un certo numero di resistori (ognuno con proprie tolleranze di fabbricazione), è necessario effettuare simulazioni di tipo Montecarlo per avere risultati considerabili significativi. Si è effettuato pertanto un test con gli stessi segnali di ingresso del primo test visto in precedenza:

TEST1_1_Bk1B118_V2_Feedbak_Net_MONTECARLO

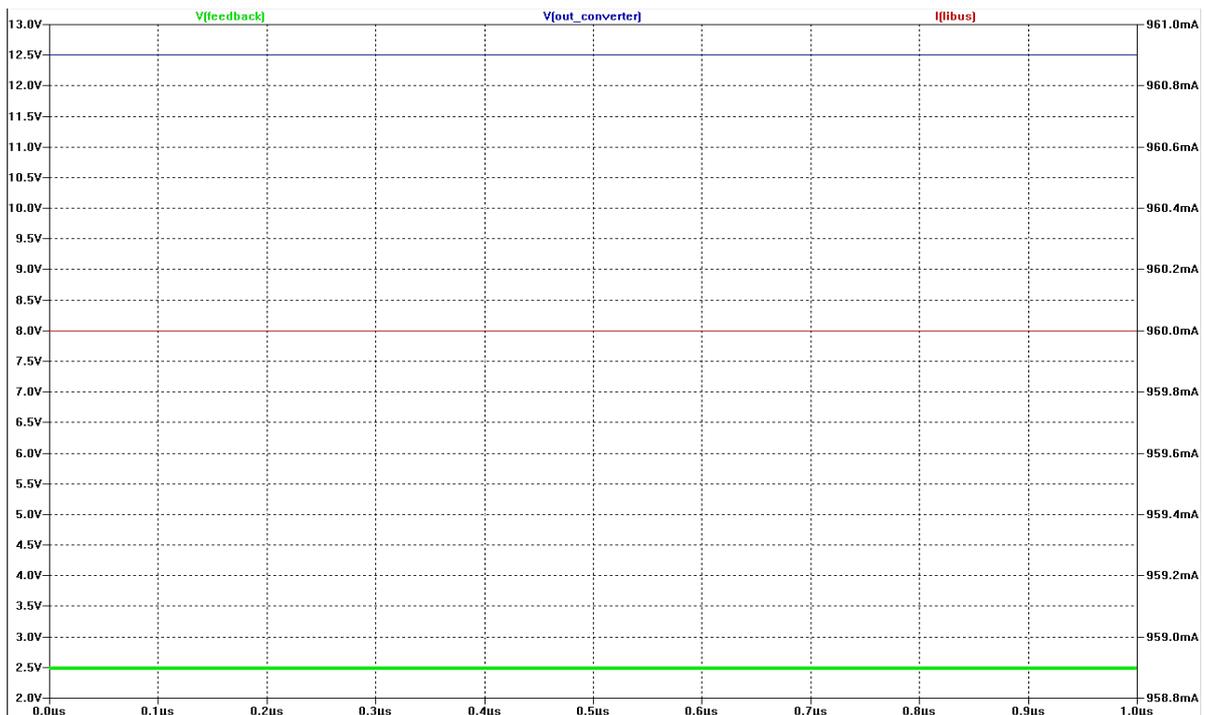


Figura 5.32: Grafico relativo al *TEST1_1_Bk1B118_V2_Feedback_net_MONTECARLO*

Facendo uno zoom sulla $V(\text{feedback})$ (Figura 5.33) si osservano valori molto vicini ai 2.5V idealmente desiderati. Ottenendo delle incertezze di circa lo 0.9 % considerate trascurabili.

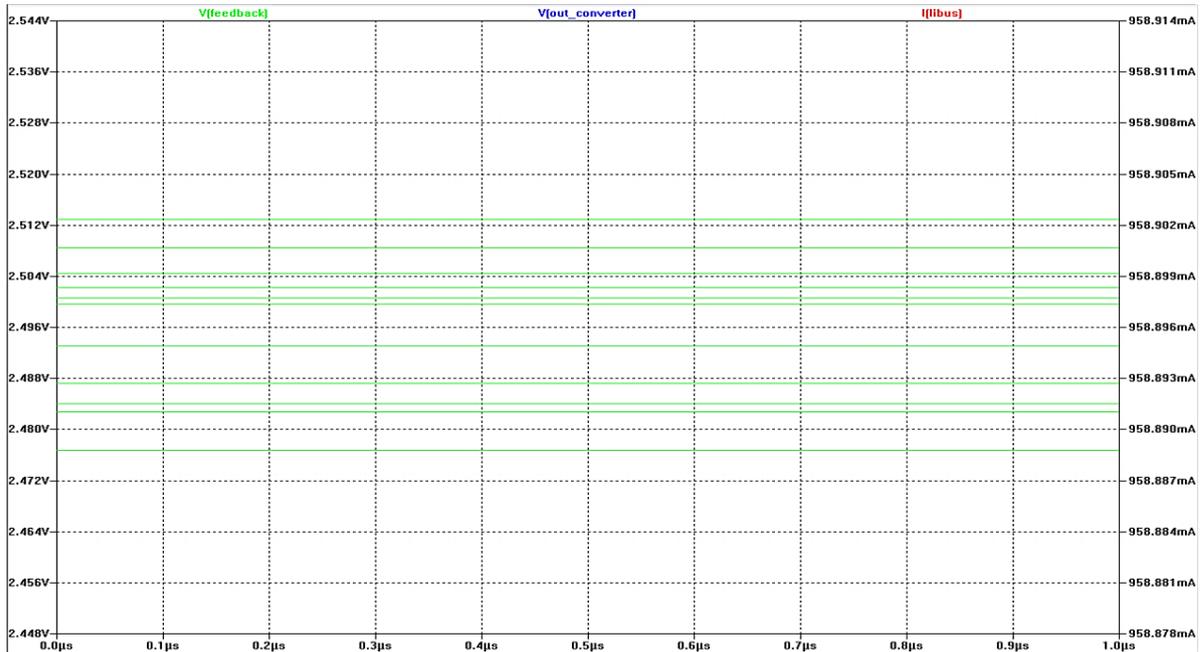


Figura 5.33: Zoom $V(\text{feedback})$ -TEST1_1_Bk1B118_V2_Feedback_net_MONTECARLO

Lo stesso si è fatto per il secondo test visto in precedenza (medesimi segnali d'ingresso alla rete):

TEST2_1_Bk1B118_V2_Feedbak_Net_MONTECARLO

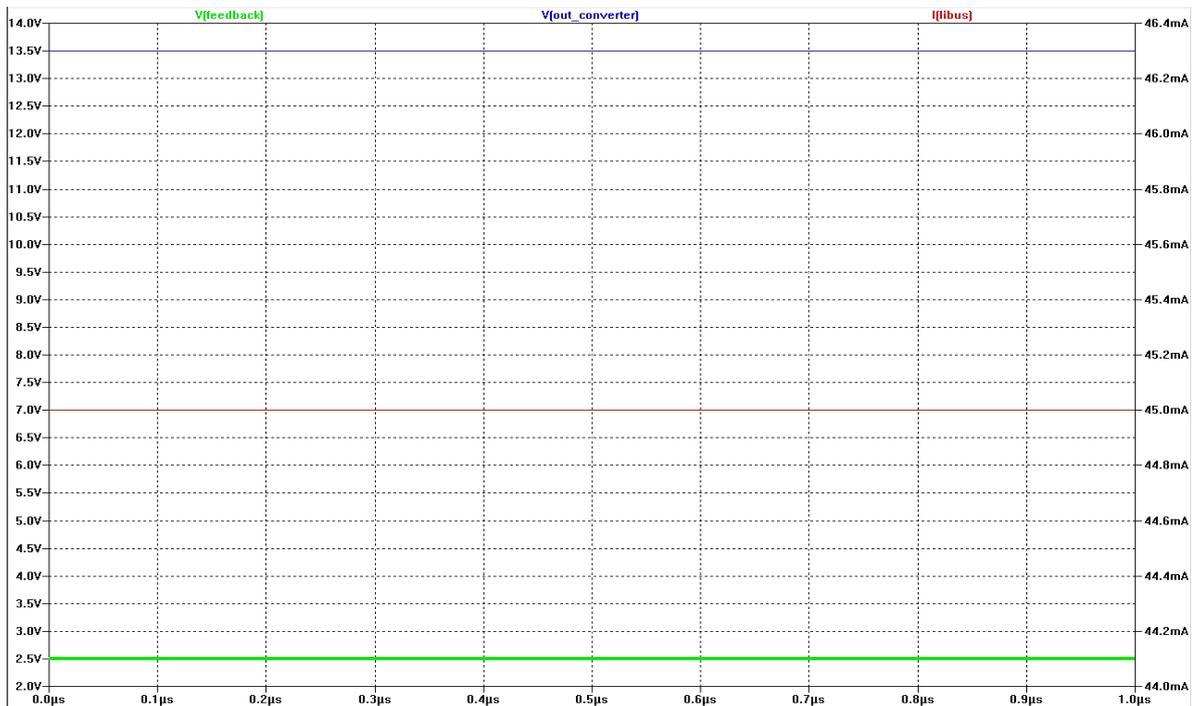


Figura 5.34: Grafico relativo al TEST2_1_Bk1B118_V2_Feedback_net_MONTECARLO

E lo zoom della tensione $V(\text{feedback})$ (Figura 5.35):

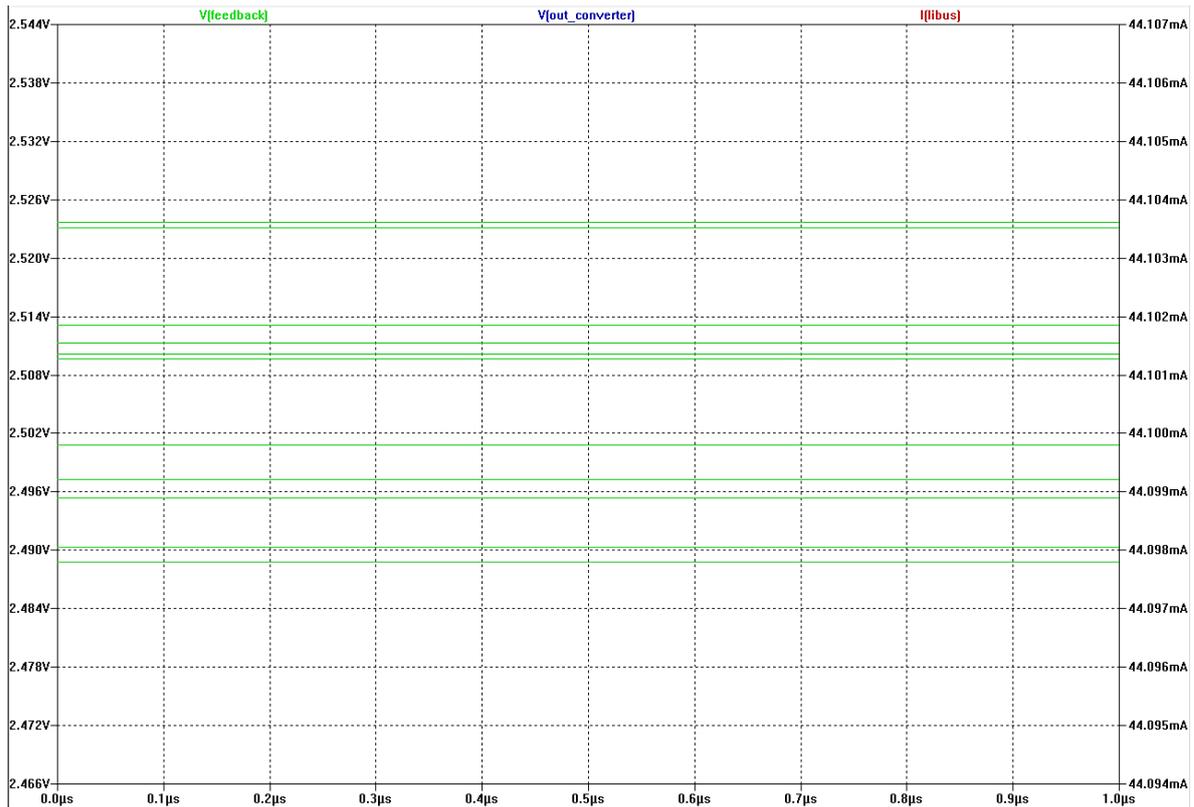


Figura 5.35: Zoom $V(\text{feedback})$ -TEST2_1_ Bk1B118_V2_Feedback_net_MONTECARLO

Anche in questo caso si possono notare tolleranze sulla $V(\text{feedback})$ relativamente basse e considerabili accettabili pari a 0.92%.

5.2.3.3 Spice Netlist del Bk1B118_V2_Feedback_Net e lista dei componenti

Si riporta di seguito la netlist del blocco *Bk1B118_V2_Feedback_Net* (Figura 5.36):

```
*Definition For Project Bk1B118_V2_Feedback_net
.SUBCKT Bk1B118_V2_Feedback_net Iout_measured feedback AGND U_bus out_converter UAL
RR14 N1N483 N1N542 {MC( 1.6MEGohms , 1000.000000M /100)} TC=100.000000U
RR9 feedback N1N199 {MC( 10Kohms , 1000.000000M /100)} TC=100.000000U
XR31 out_converter U_bus N1N937 N1N939 RES_4WIRE R={MC(100Mohms,1000.000000M/100)} TC=100.000000U
RR30 N1N436 AGND {MC( 1Kohms , 1000.000000M /100)} TC=100.000000U
RR18 N1N483 AGND {MC( 9.53Kohms , 1000.000000M /100)} TC=100.000000U
RR19 Iout_measured N1N877 {MC( 68Kohms , 1000.000000M /100)} TC=100.000000U
RR20 N1N170 N1N483 {MC( 120Kohms , 1000.000000M /100)} TC=100.000000U
XX7 N1N170 N1N199 UAL AGND N1N199 TLU2211
DD1 N1N589 feedback MBRM140
XU3 N1N937 N1N939 UAL AGND Iout_measured INA138
RR22 N1N441 N1N436 {MC( 24.000000K , 1000.000000M /100)} TC=100.000000U
RR23 out_converter N1N441 {MC( 110Kohms , 1000.000000M /100)} TC=100.000000U
XX8 N1N542 N1N557 UAL AGND N1N589 TLU2211
RR24 N1N877 N1N170 {MC( 1.8Kohms , 1000.000000M /100)} TC=100.000000U
RR15 N1N441 N1N542 {MC( 1.6MEGohms , 1000.000000M /100)} TC=100.000000U
RR16 N1N557 feedback {MC( 1.6MEGohms , 1000.000000M /100)} TC=100.000000U
RR17 N1N557 AGND {MC( 1.6MEGohms , 1000.000000M /100)} TC=100.000000U
* CROSS-REFERENCE 0
.ENDS
```

Figura 5.36: Netlist Spice del *Bk1B118_V2_Feedback_Net*

E la lista dei componenti utilizzati :

#	QTY	Part Number	PartLabel	PartName	Ref Designator	Value
1	1	DK_MBRM140T3GOSCT-ND	D_MBRM140T3_5H_D0216AA_40V_1A	MBRM140T3	D1	
2	1	DK_INA138NA/250G4-ND	OA_INA138NA_S0T23-5_1_36V_2.7V	OA_INA138NA	U3	
3	2	DK_296-10501-1-ND	OA_TLV2211IDBVR_S0T23_2V7_10V	OA_TLV2211	X7, X8	,
4	1	RS_566-333_K	R_OR1_1206_250_1	ROR1	R31	100Mohms
5	1	RS_504-8928	R_1K_0603_100_1	R1K	R30	1kohms
6	1	RS_504-9943	R_1K8_0603_100_1	R1K8	R24	1.8kohms
7	4	RS_678-9954	R_1MEG6_0603_100_1	R1MEG6	R14-R17	1.6MEGohms, 1.6MEGohms, 1.6MEGohms, 1.6MEGohms
8	1	RS_504-8934	R_10K_0603_100_1	R10K	R9	10kohms
9	1	RS_504-8243	R_68K_0603_100_1	R68K	R19	68kohms
10	1	RS_678-9699	R_110K_0603_100_1	R110K	R23	110kohms
11	1	RS_504-9224	R_120K_0603_100_1	R120K	R20	120kohms
12	1	ME_71-TNPN06039K53BEEA	R_9K53_0603_100_0&1	R_9k53	R18	9.53kohms
13	1	RS_505-0561	R_24k_0603_100_1	R_24k	R22	24k

Figura 5.37: Lista dei componenti utilizzati per il Bk1B118_V2_Feedback_Net

5.3 Bk1B121L_Load_switch_slow e Bk1B121H_Load_switch_slow

Il Sistema *Bk1B118_Battery_Discharger_V2* è caratterizzato infine dalla presenza di due load switch: uno collegato in ingresso al sistema (lato batteria) e l'altro all'uscita (lato *PDB*). Questi dispositivi permettono, qualora si volesse, di isolare il sistema considerato tramite opportuni comandi di enable. In questo modo il sistema non essendo più collegato alla batteria e al *PDB*, consente prima di tutto di evitare l'ulteriore scarica della batteria, condizione molto utile quando ad esempio la batteria è quasi scarica e ha quasi raggiunto il valore minimo impostato da progetto di 6V (considerato le due celle poste in serie). Ed inoltre permette di ridurre l'assorbimento sul bus di potenza.

5.3.1 Progettazione del Bk1B121L_Load_switch_slow

Il *Bk1B121L_Load_switch_slow* è il load switch posto sul lato delle celle costituenti la sorgente di energia secondaria. Lo schema elettrico di questo circuito è il seguente :

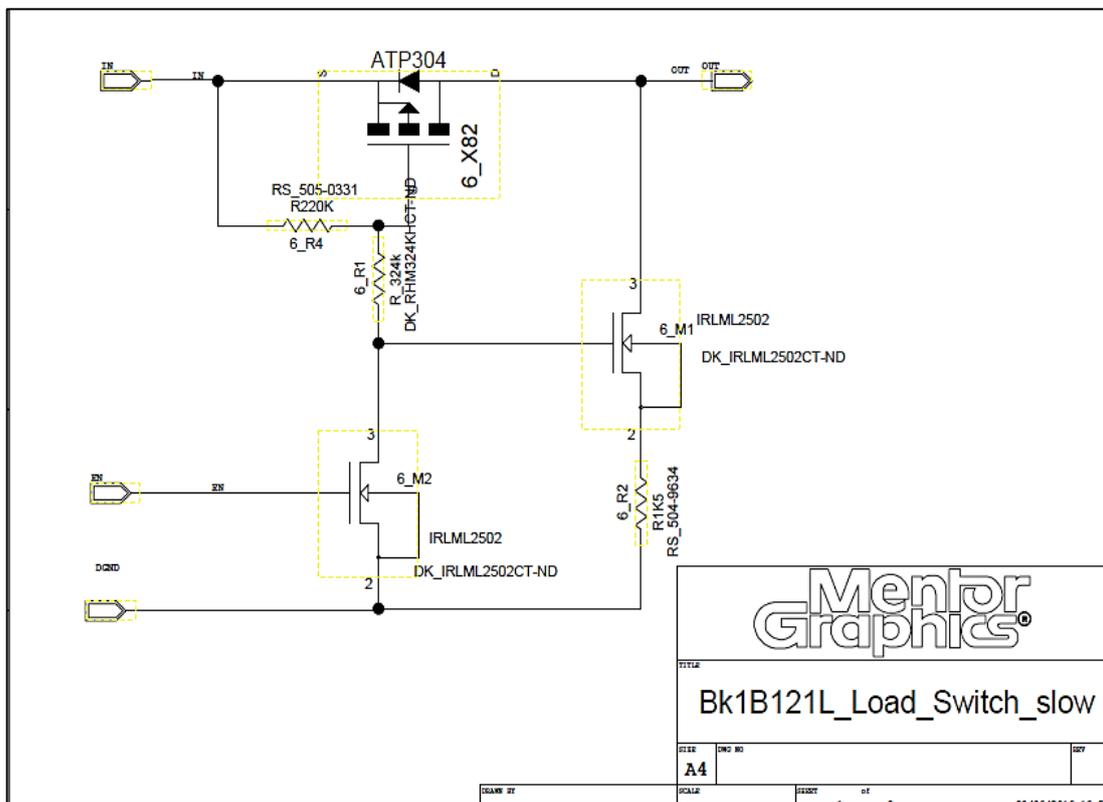


Figura 5.38: Schema elettrico del Bk1B121L_Load_switch_slow

Come si può notare è presente un PMOS in configurazione high-side, che in funzione dello stato del NMOS pilotato dal segnale di enable EN , conduce o è interdetto. In particolare quando il segnale EN è alto il MOS 6_M2 conduce, portando il gate del PMOS 6_X82 ad un livello di tensione basso e quindi alla conduzione di quest'ultimo. Quando invece il segnale EN è basso il 6_M2 è interdetto, sui resistori non scorre praticamente corrente e la tensione al gate assume lo stesso valore di quella presente sul source, portando allo spegnimento dell'interruttore. Il transistor di tipo P è stato scelto in funzione della sua resistenza di conduzione R_{on} (desiderata la più piccola possibile) poiché visto l'elevata corrente di scarica pari a 2A valori troppo alti di resistenza, avrebbero portato a cadute di tensione sulla stesso non trascurabili, oltre ad una elevata dissipazione termica. I valori delle altre resistenze sono scelte invece, in base a due ragioni:

- Aumentare il tempo di chiusura e di apertura del PMOS, in modo da ridurre la corrente di inrush current sul condensatore di ingresso del convertitore Boost, ed evitare che una sovracorrente all'accensione del sistema distrugga il banco batterie
- Ridurre il valore di corrente assorbita dalla batteria quando il sistema *Bk1B118_Battery_Discharger_V2* è scollegato, aumentando la durata della batteria stessa

Considerando il sistema sempre scollegato (scarica della batteria dovuta alla corrente di leakage), con questi valori di resistori e considerata la resistenza R_{off} del transistor, la durata della batteria è molto superiore a quella di vita del satellite.

Il PMOS essendo un transistor di potenza presenta un diodo in parallelo per la bidirezionalità di corrente all'interno del dispositivo stesso. Questo porterebbe ad un passaggio di corrente indesiderato dal circuito alla batteria anche quando il sistema dovrebbe essere disconnesso.

Per evitare ciò è stato inserito un ulteriore NMOS 6_M1 che ha anch'esso una duplice funzione:

- Interdire il diodo in parallelo al transistor PMOS evitando un passaggio di corrente tra batteria e circuito quando quest'ultimo in realtà deve essere scollegato. Infatti quando il 6_M1 conduce la tensione all'anodo del diodo diventa inferiore rispetto al catodo (tensione di batteria) interdicendolo.
- Portare la tensione a zero all'uscita del Load Switch quando l'intero sistema di scarica deve essere disconnesso. In questo modo tutti i dispositivi del circuito che sono collegati a quella net non sono più alimentati, riducendone la dissipazione di potenza.

È presente infine un resistore in serie al 6_M1 che consente di non forzare la tensione ai capi del condensatore d'ingresso del circuito di switching a zero. Evitando così forti escursioni di corrente che potrebbero portare alla distruzione dei dispositivi.

In questo modo la tensione all'uscita del *Bk1B121L_Load_switch_slow* tenderà a zero dopo un transitorio di scarica il cui tempo dipende dal dimensionamento del condensatore e della resistenza. In questo caso i tempi del transitorio sono comunque da considerarsi

trascurabili, rispetto ai tempi di scarica della batteria. Si riportano di seguito i valori dei resistori utilizzati e le principali caratteristiche del dispositivo:

$$6_R4 = 220k\Omega \quad 6_R1 = 324k\Omega \quad 6_R2 = 1.5K\Omega$$

Parameter	Min	Max
EN	1.2V	12V
IN	5V	20V
tdelayon	1.25ms	121ms
tdelayoff	3.9ms	210ms

Quando il circuito è disabilitato il massimo ingresso ammesso è fino ai 60V.

5.3.2 Progettazione del Bk1B121H_Load_switch_slow

Il *Bk1B121H_Load_switch_slow* è il load switch posto sul lato del bus di potenza. Esso presenta uno schema elettrico analogo al precedente load switch con l'unica differenza sui valori dei resistori utilizzati. Infatti la presenza di un condensatore di uscita del convertitore più grande, necessita tempi di accensione e spegnimento più lenti, al fine di evitare forti escursioni di corrente sui dispositivi utilizzati e sul *PDB*. Lo schematico è mostrato in Figura 5.39 :

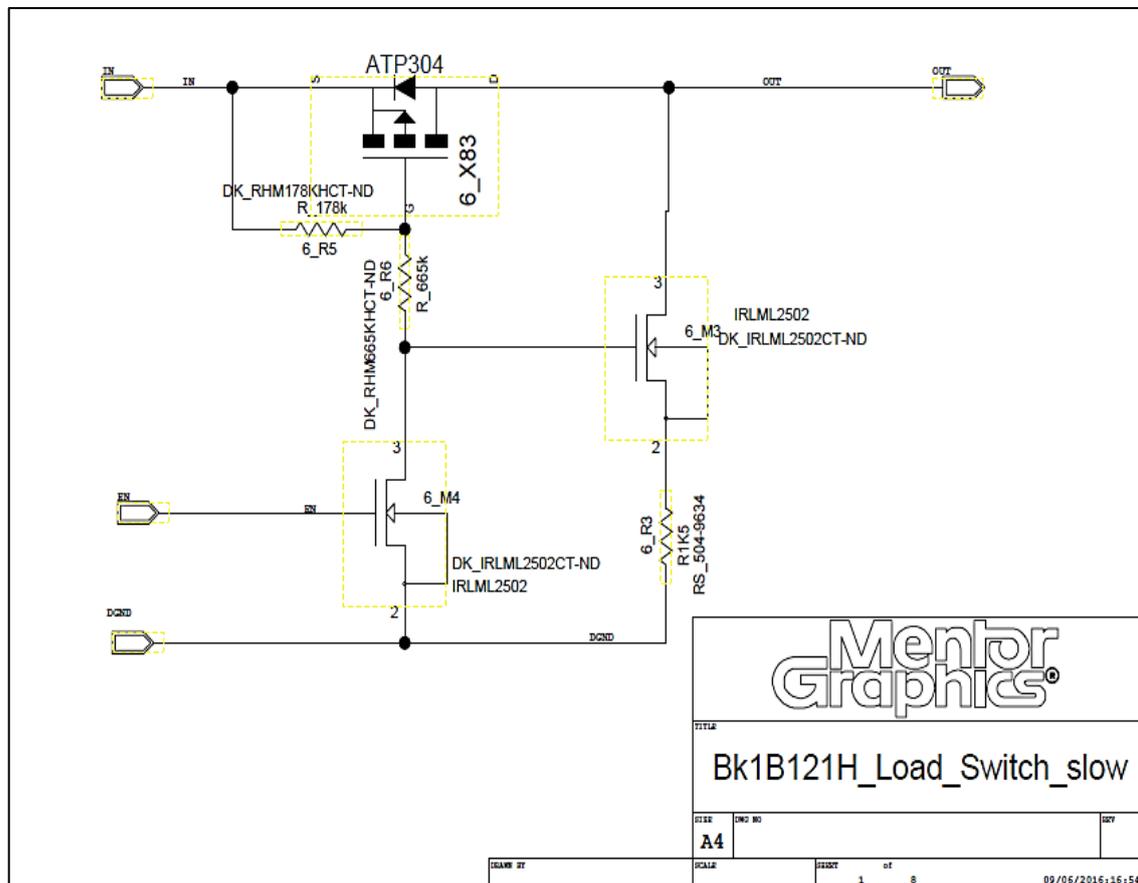


Figura 5.39: Schema elettrico del *Bk1B121H_Load_switch_slow*

Il principio di funzionamento è lo stesso di quello illustrato per il load switch precedente. In particolare si nota che i valori di resistori oltre per un motivo strettamente legato ai tempi di accensione e spegnimento sono stati selezionati per rispettare il vincolo definito da specifica.

Ovvero il circuito di scarica *Bk1B118_Battery_Discharger_V2* quando è disconnesso deve assorbire una corrente di leakage inferiore ai 100µA.

Con il circuito così progettato e considerata una tensione massima sul *PDB* pari a 25V avremo, un assorbimento da parte del sistema pari ad 29.6 µA (ampiamente al di sotto delle specifiche date).

Si riportano di seguito i valori dei resistori utilizzati e le caratteristiche salienti del dispositivo:

$$6_R31 = 1.5k\Omega \quad 6_R5 = 178k\Omega \quad 6_R6 = 665k\Omega$$

Parameter	Min	Max
EN	1.2V	12V
IN	11V	20V
tdelayon	4.15ms	150ms
tdelayoff	5ms	24ms

Quando il circuito è disabilitato il massimo ingresso ammesso è fino ai 60V.

5.3.3 Spice Netlist e lista dei componenti dei Bk1B121L_Load_switch_slow e Bk1B121H_Load_switch_slow

Si riporta di seguito la netlist del blocco *Bk1B121L_Load_switch_slow* (Figura 5.40):

```
*Definition For Project Bk1B121L_Load_Switch_slow
.SUBCKT Bk1B121L_Load_Switch_slow EN DGND OUT IN
XM2 N1N126 EN DGND ir1m12502
RR1 N1N264 N1N126 {MC( 324Kohms , 1000.000000M /100)} TC=100.000000U
RR2 N1N127 DGND {MC( 1.5Kohms , 1000.000000M /100)} TC=100.000000U
XM1 OUT N1N126 N1N127 ir1m12502
RR4 IN N1N264 {MC( 220Kohms , 1000.000000M /100)} TC=100.000000U
XX82 OUT N1N264 IN atp304
* CROSS-REFERENCE 0
.ENDS
```

Figura 5.40: Netlist Spice del *Bk1B121L_Load_switch_slow*

E' riportata anche la netlist del blocco *Bk1B121H_Load_switch_slow* (Figura 5.41):

```

*Definition For Project Bk1B121H_Load_Switch_slow
.SUBCKT Bk1B121H_Load_Switch_slow OUT IN DGND EN
XM4 N1N173 EN DGND ir1m12502
RR5 IN N1N11 {MC( 178Kohms , 1000.000000M /100)} TC=100.000000U
RR3 N1N132 DGND {MC( 1.5Kohms , 1000.000000M /100)} TC=100.000000U
XM3 OUT N1N173 N1N132 ir1m12502
XX83 OUT N1N11 IN atp304
RR6 N1N11 N1N173 {MC( 665.000000K , 1000.000000M /100)} TC=100.000000U
* CROSS-REFERENCE 0
.ENDS

```

Figura 5.41: Netlist Spice del *Bk1B121H_Load_switch_slow*

Si riportano inoltre le liste dei componenti dei relativi blocchi:

#	QTY	Part Number	PartLabel	PartName	Ref Designator	Value
1	1	DK_ATP304-TL-HOSCT-ND	Q_ATP304_ATPAK_Pmos_100A_60V	ATP304	X82	
2	2	DK_IRLML2502CT-ND	Q_IRLML2502_SOT23-3_MOS_N_4A2_20	IRLML2502	M1, M2	,
3	1	RS_504-9634	R_1K5_0603_100_1	R1K5	R2	1.5Kohms
4	1	RS_505-0331	R_220K_0603_100_1	R220K	R4	220Kohms
5	1	DK_RHM324KHCT-ND	R_324k_0603_63_1	R_324k	R1	324Kohms

Figura 5.42 :Lista dei componenti per il *Bk1B121L_Load_switch_slow*

#	QTY	Part Number	PartLabel	PartName	Ref Designator	Value
1	1	DK_ATP304-TL-HOSCT-ND	Q_ATP304_ATPAK_Pmos_100A_60V	ATP304	X83	
2	2	DK_IRLML2502CT-ND	Q_IRLML2502_SOT23-3_MOS_N_4A2_20	IRLML2502	M3, M4	,
3	1	RS_504-9634	R_1K5_0603_100_1	R1K5	R3	1.5Kohms
4	1	DK_RHM178KHCT-ND	R_178k_0603_100_1	R_178k	R5	178Kohms
5	1	DK_RHM665KHCT-ND	R_665k_0603_100_1	R_665k	R6	665k

Figura 5.43: Lista dei componenti per il *Bk1B121H_Load_switch_slow*

5.4 Sistema completo del Bk1B118_Battery_Discharger_V2

Analizzati nel dettaglio i singoli elementi costituenti il *Bk1B118_Battery_Discharger_V2*, si studia il comportamento complessivo del sistema e l'interazione tra i vari sottoblocchi, che quindi sono :

- *Bk1B118_V2_BCCM_Control*
- *Bk1B121L_Load_switch_slow e Bk1B121H_Load_switch_slow*
- *Bk1B118_V2_Feedback_net*
- *Bk1B118_V2_Compensator*
- *Bk1B118_V2_Triangular_waveform*
- *Bk1B118_V2_Boost_Converter*

La relazione tra tutti questi sottocircuiti è stata descritta in modo più chiaro attraverso l'utilizzo di un opportuno *Class Diagram* (Figura 5.44).

L'intero sistema può essere visto come un *reusable block* avente i seguenti pin di I/O:

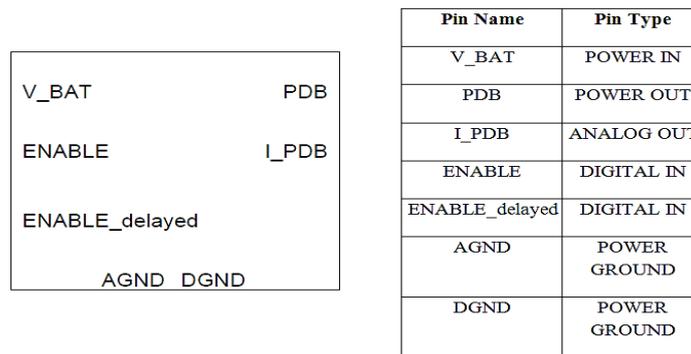


Figura 5.45: Reusable Block Bk1B118_Battery_Discharger_V2 e tabella dei suoi pin

Si mostra di seguito lo schema circuitale complessivo:

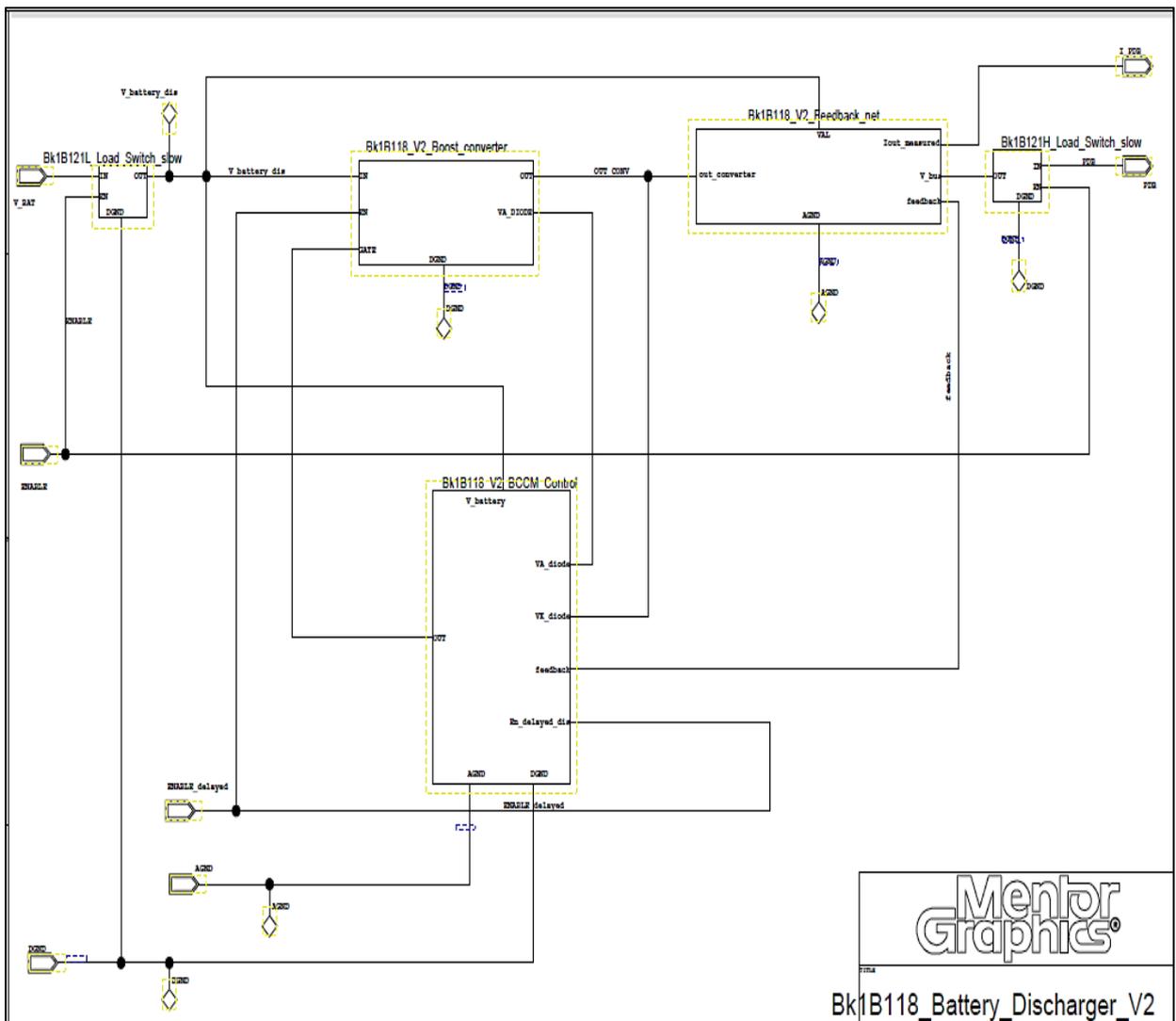


Figura 5.46: Schema circuitale del Bk1B118_Battery_Discharger_V2 in Mentor Graphics

Dal grafico sono più chiare le relazioni tra i vari circuiti che caratterizzano l'intero sistema, il cui funzionamento è illustrato nel dettaglio attraverso le seguenti simulazioni.

5.4.1 Simulazioni del sistema Bk1B118_Battery_Discharger_V2

Per verificare la corretta funzione del sistema di scarica delle sorgenti secondarie sono state eseguite un numero elevato di simulazioni, attive a dare riscontri significativi e monitorare tutte quelle condizioni critiche che potessero portare a malfunzionamenti della circuiteria elettronica applicata.

Il primo test effettuato è il *TEST1_Bk1B118_Battery_Discharger_V2*, il cui è caratterizzato dalle seguenti condizioni di simulazione :

```
.tran 10u 2 0 1u
VAGND AGND 0 DC 0
UDGND DGND 0 DC 0
**VEN ENABLE 0
VEN ENABLE 0 PULSE (0 3.3 1u 1n )
**VEN DEL ENABLE DELAYED 0
VEN_DEL ENABLE_DELAYED 0 PULSE (0 3.3 100M 1P )
UPDB PDB 0 13.5
VUBAT Xth_UBAT 0 DC 7.4
Rth_UBAT Xth_UBAT V_BAT 100M
```

Figura 5.47: Sorgenti utilizzate nel *TEST1_Bk1B118_Battery_Discharger_V2*

Da questo test si ottiene il seguente grafico(Figura 5.48):

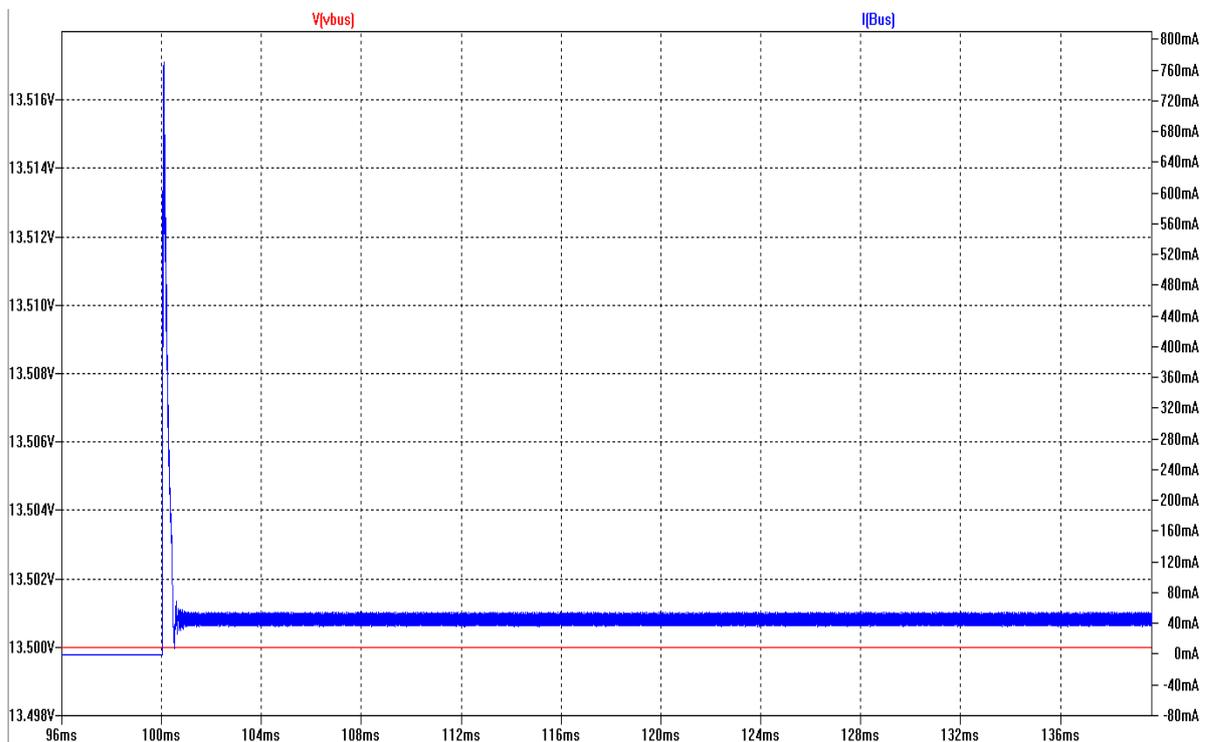


Figura 5.48: Grafico relativo al *TEST1_Bk1B118_Battery_Discharger_V2*

Possiamo notare che dopo un transitorio iniziale, in presenza di una tensione sul *PDB* pari a 13.5V, si ottiene un valore di corrente I_{BUS} (o I_{PDB}) pari a circa 45mA . In accordo alla rete di generazione di feedback progettata.

All'interno della stessa simulazione è stato osservato che a causa della presenza dei load switch, all'accensione insorgeva il fenomeno dell' *inrush current*. Causando un elevata corrente di scarica sulla batteria(Figura 5.49).

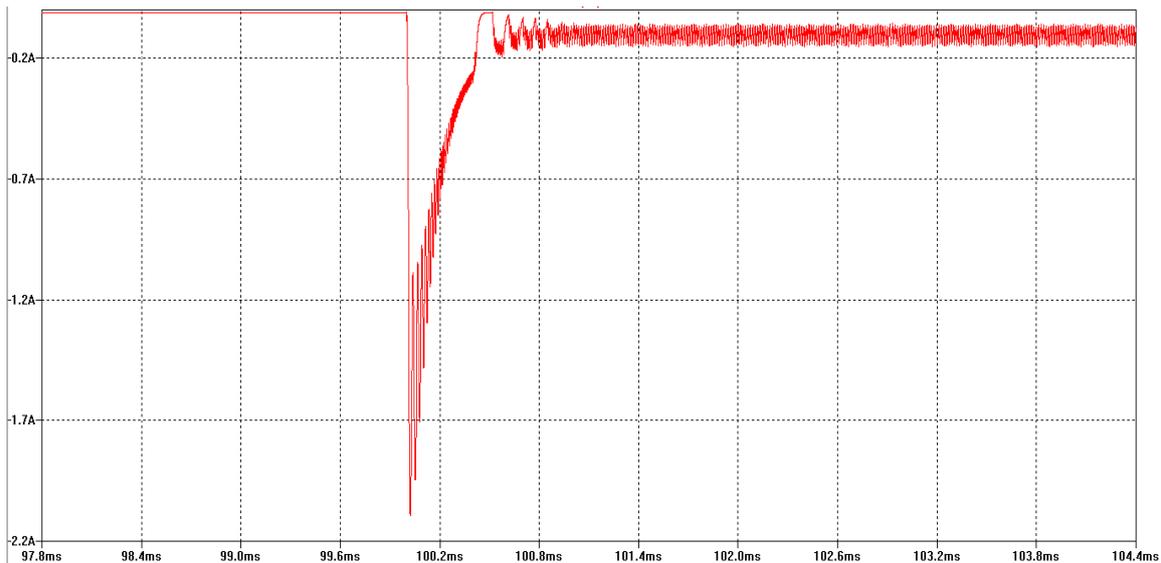


Figura 5.49: Corrente di scarica della batteria causata dal fenomeno di *inrush current* all'accensione del sistema

Questa corrente (negativa poiché presa con segno entrante alla batteria) risulta comunque inferiore alla $I_{DISCHARGE_{max}}$ della cella. Inoltre il tempo molto ridotto fa sì che questo fenomeno non risulti dannoso alla batteria .

Il secondo test effettuato *TEST2_Bk1B118_Battery_Discharger_V2* tende a valutare l'altra estremità della caratteristica. Infatti si avranno le seguenti sorgenti applicate al circuito:

```
.tran 10u 2 0 1u
UAGND AGND 0 DC 0
UDGND DGND 0 DC 0
**VEN ENABLE 0
VEN ENABLE 0 PULSE (0 3.3 1u 1n )
**VEN_DEL ENABLE_DELAYED 0
VEN_DEL ENABLE_DELAYED 0 PULSE (0 3.3 100M 1P )
UPDB X_PDB 0 pulse(12 14 100m 450m)
Rpdb PDB X_PDB 0.5
UBAT Xth_UBAT 0 DC 7.4
Rth_UBAT Xth_UBAT U_BAT 100M
```

Figura 5.50: Sorgenti utilizzate nel *TEST2_Bk1B118_Battery_Discharger_V2*

Ottenendo i seguenti risultati(Figura 5.51) :

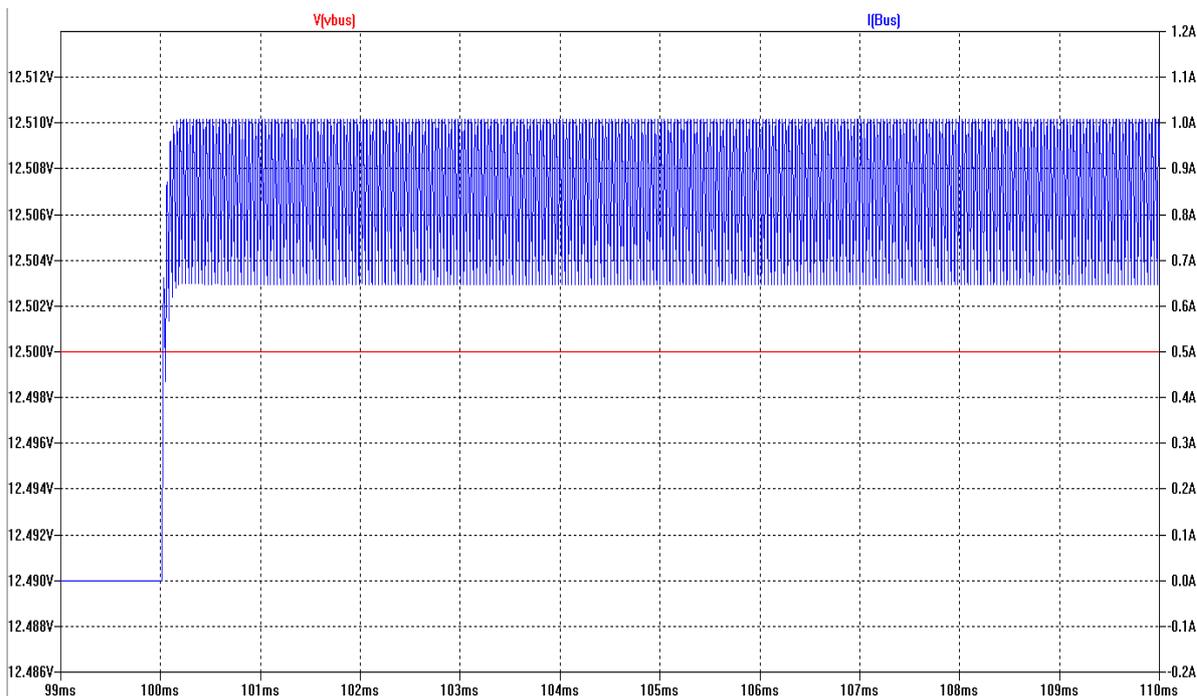


Figura 5.51: Grafico relativo al *TEST2_Bk1B118_Battery_Discharger_V2*

Come si può notare otteniamo valori di corrente alti (al di là di un ripple) il cui valor medio è circa 0.9A come si vede meglio nelle successive simulazioni.

Questo valore di corrente risulta inferiore rispetto a quanto aspettato dai dati relativi alla rete di generazione del feedback *Bk1B118_V2_Feedback_Net* .

Questo tuttavia è dovuta ad un'efficienza non al 100% del convertitore *Bk1B118_V2_Boost_Converter* utilizzato.

Infatti come precedentemente calcolato l'efficienza del sistema è pari al 94.7% .

Essendo che la corrente di scarica della batteria, così come la sua tensione e la tensione posta sul *PDB* sono fissate, la quantità che risente di questa riduzione di efficienza è proprio la corrente I_{BUS} (o I_{PDB}).

Infatti dovremmo avere una corrente effettiva $I_{BUS_{real}}$ uguale ad $I_{BUS_{ideal}} * 0.947$ che è proprio uguale ad 0.91A .

All'interno della stessa simulazione si sono analizzati altri aspetti relativi al circuito in esame, andando a vedere cosa accade in caso di disabilitazione del segnale di enable (Figura 5.52).

In particolare si è considerato il caso in cui si disabilitino contemporaneamente sia il segnale *ENABLE* sia *ENABLE_delayed*.

Dal grafico è possibile vedere come la corrente fornita al *Power Distribution Bus*, una volta disattivato il circuito tende rapidamente a zero .

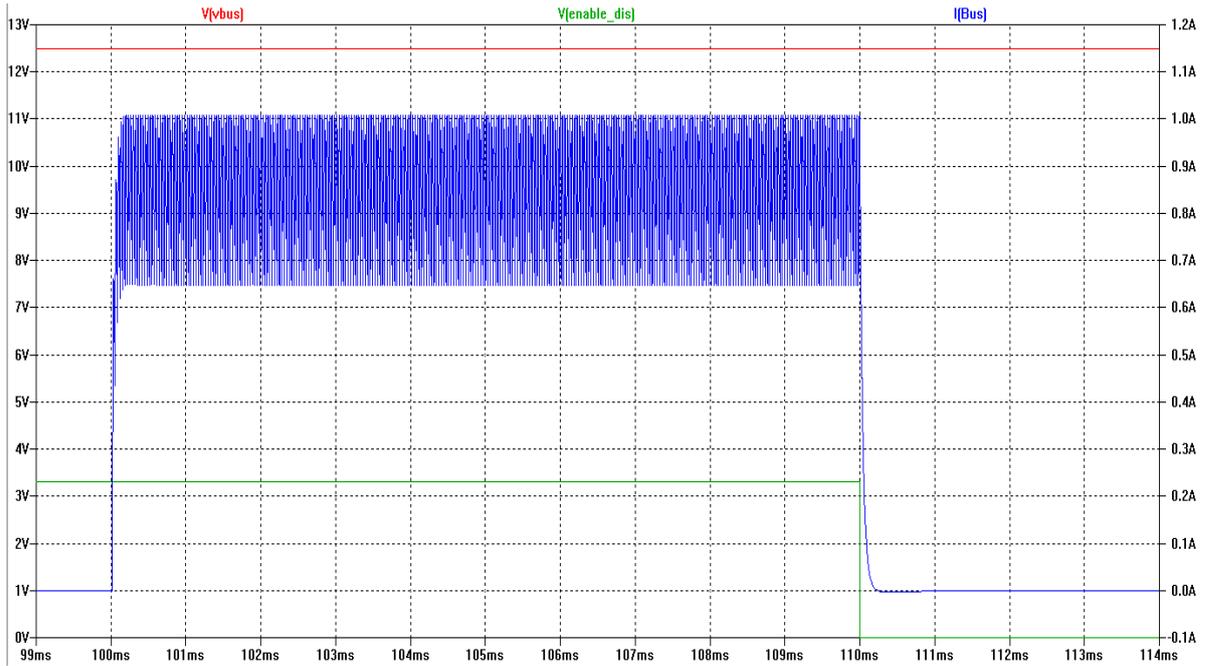


Figura 5.52: Comportamento del *Bk1B118_Battery_Discharger_V2* a seguito della disattivazione del segnale di enable

Si è osservato inoltre l'andamento delle tensioni all'uscita dei due load switch : *Bk1B121H_Load_switch_slow* e *Bk1B121L_Load_switch_slow* conseguenti ad una transizione dei due segnali di enable alto-bassa (Figura 5.53).

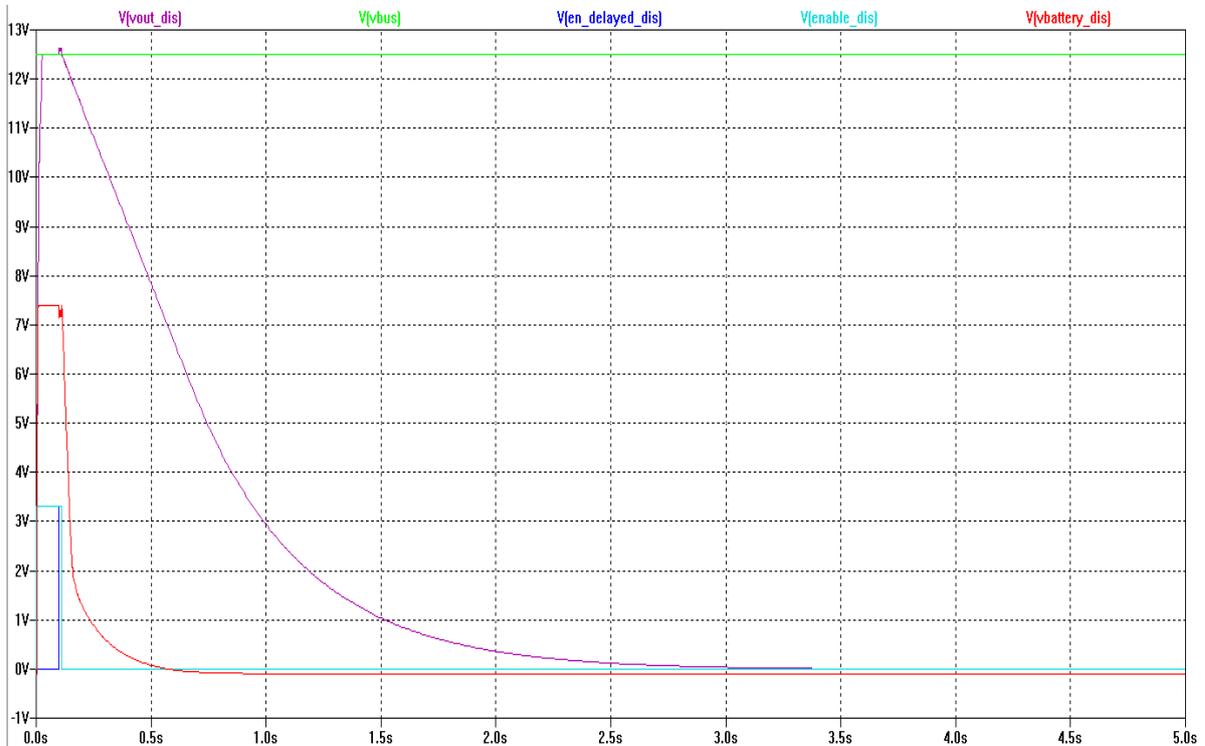


Figura 5.53: Andamento delle tensioni interne al circuito *Bk1B118_Battery_Discharger_V2* a seguito della disattivazione del segnale di enable

Come è possibile vedere, le tensioni di uscita ai due load switch (V_{out_dis} e $V_{battery_dis}$) tendono a zero dopo un transitorio di scarica (con tempi naturalmente diversi) dei condensatori d'ingresso e d'uscita del convertitore, attraverso i resistori posti in serie ad uno degli NMOS costituenti i blocchi di accensione e spegnimento. In questo modo si evita di forzare a zero le tensioni ai capi di questi due capacitori ed evitando quindi forti escursioni di correnti, come ampiamente spiegato nei precedenti paragrafi.

Successivamente al fine di ottenere la classica relazione che caratterizza l'attività del *Bk1B118_Battery_Discharger_V2* sul *Power Distribution Bus*, più volte mostrata finora, si è eseguito il *TEST3_Bk1B118_Battery_Discharger_V2*. Esso prevede l'utilizzo di una tensione sul bus di potenza non più costante ma variabile nel tempo (tra 11.5V e 14V) e di una resistenza serie del bus pari a 0.5Ω , e una tensione di batteria invece sempre pari a 7.4V con resistenza serie R_S di $100m\Omega$ come possiamo vedere dalla seguente figura:

```
.tran 500m
VAGND AGND 0 DC 0
VDGND DGND 0 DC 0
**VEN ENABLE 0
VEN ENABLE 0 PULSE (0 3.3 1u 1n )
**VEN_DELAYED ENABLE_DELAYED 0
VEN_DELAYED ENABLE_DELAYED 0 PULSE (0 3.3 100M 1n )
VVBATTERY Xth_VBATTERY 0 DC 7.4
Rth_VBATTERY Xth_VBATTERY U_BAT 100M
**VUBUS Xth_VBUS 0
VUBUS Xth_VBUS 0 PULSE (11.5 14 100M 450M )
Rth_VBUS Xth_VBUS PDB 0.5
```

Figura 5.54: Segnali utilizzati per il *TEST3_Bk1B118_Battery_Discharger_V2*

Si ottiene :

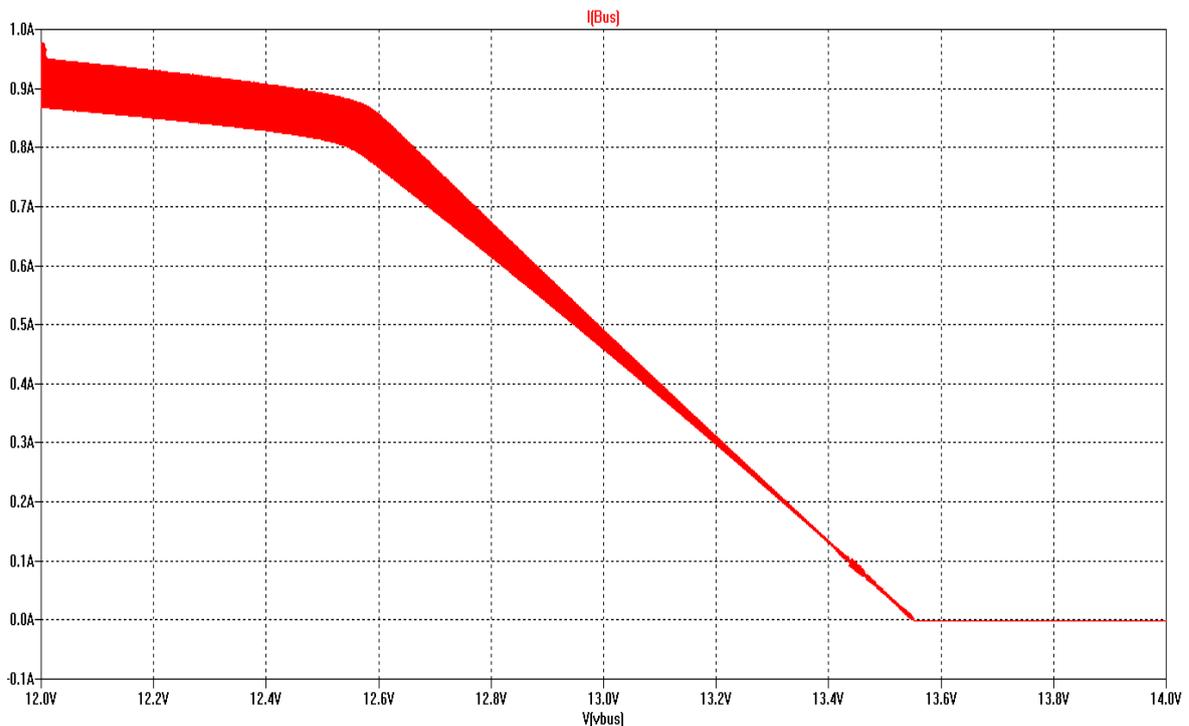


Figura 5.55: Grafico I_{bus} vs V_{bus} relativo al *TEST2_Bk1B118_Battery_Discharger_V2*

Come è possibile notare dal grafico, i risultati ottenuti sono perfettamente compatibili con le specifiche di progetto richieste.

Avendo ottenuto i risultati voluti, si è proceduto andando a studiare il comportamento dinamico del sistema.

Ovvero si è analizzato i suoi tempi di risposta a fronte di variazioni improvvise delle tensioni sul *PDB*. Per simulare questa condizione si è utilizzato un generatore di corrente in parallelo al bus di potenza che assorbe 50mA e poi si ha un gradino a 110ms che porta l'assorbimento di corrente ad un valore pari a 0.77A. Il *PDB* invece è simulato mediante un generatore di tensione di 12V e una resistenza serie di 1.5Ω, come si può osservare in figura:

```
.tran 10u 2 0 1u
UAGND AGND 0 DC 0
UDGND DGND 0 DC 0
**VEN ENABLE 0
VEN ENABLE 0 PULSE (0 3.3 1u 1n )
**VEN_DEL ENABLE_DELAYED 0
VEN_DEL ENABLE_DELAYED 0 PULSE (0 3.3 100M 1P )
UPDB X_PDB 0 12.5
Rpdb PDB X_PDB 1.5
UUBAT Xth_UBAT 0 DC 7.4
Rth_UBAT Xth_UBAT U_BAT 100M
I1 PDB 0 pulse (50m 0.77 110m 10n)
```

Figura 5.56: Sorgenti utilizzate nel *TEST4_Bk1B118_Battery_Discharger_V2*

I risultati del *TEST4_Bk1B118_Battery_Discharger_V2* ottenuti sono visibili di seguito :

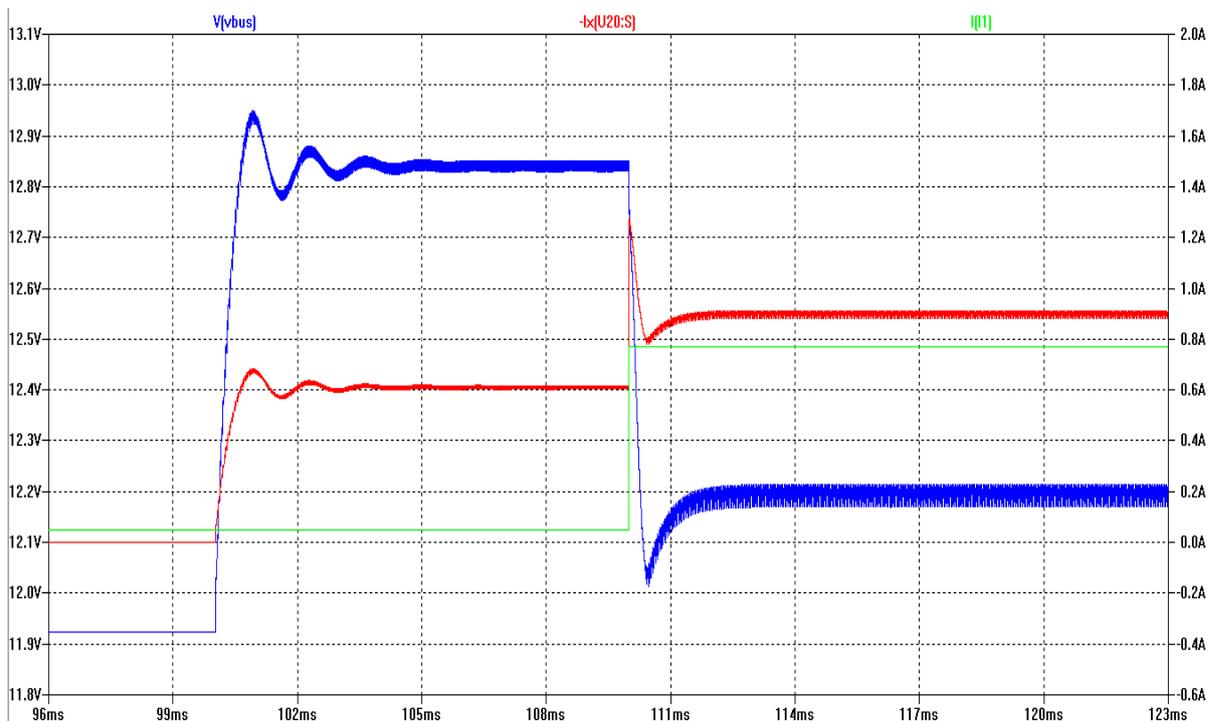


Figura 5.57: Grafico relativo al *TEST4_Bk1B118_Battery_Discharger_V2*

Il circuito entra in funzione dopo un transitorio iniziale, raggiunta la condizione di regime, si ha la presenza sul *PDB* di una tensione pari a 12.84V e una corrente "ceduta" dal *Bk1B118_Battery_Discharger_V2* pari a circa 0.61A, come previsto dalla caratteristica tensione-corrente sul bus di distribuzione vista in precedenza (e in accordo con il progetto *AraMis*). All'istante 110ms la variazione a gradino della corrente porta ad una variazione di tensione sul bus pari a 12.2V, con conseguente corrente fornita dal circuito di scarica pari a 0.9A ancora in accordo con le specifiche.

Il tutto avviene con tempi di risposta dell'intero sistema dell'ordine dei millisecondi e quindi ininfluenti al corretto funzionamento dello stesso.

Tuttavia questa simulazione permette di validare il sistema solo all'interno del primo tratto della caratteristica. Per valutare anche la seconda parte (passaggio dalla zona lineare alla zona piatta caratterizzata da una tensione superiore ai 13.5V) si esegue il *TEST5_Bk1B118_Battery_Discharger_V2*.

In questo caso si assumono le sorgenti in figura :

```
.tran 10u 2 0 1u
UAGND AGND 0 DC 0
UDGND DGND 0 DC 0
**UEN ENABLE 0
UEN ENABLE 0 PULSE (0 3.3 1u 1n )
**UEN_DEL ENABLE_DELAYED 0
UEN_DEL ENABLE_DELAYED 0 PULSE (0 3.3 100M 1P )
UPDB X_PDB 0 14
Rpdb PDB X_PDB 1.5
UUBAT Xth_UBAT 0 DC 7.4
Rth_UBAT Xth_UBAT U_BAT 100M
I1 PDB 0 pulse (1 20m 110m 10n)
```

Figura 5.58: Sorgenti utilizzate nel *TEST5_Bk1B118_Battery_Discharger_V2*

I risultati ottenuti sono:

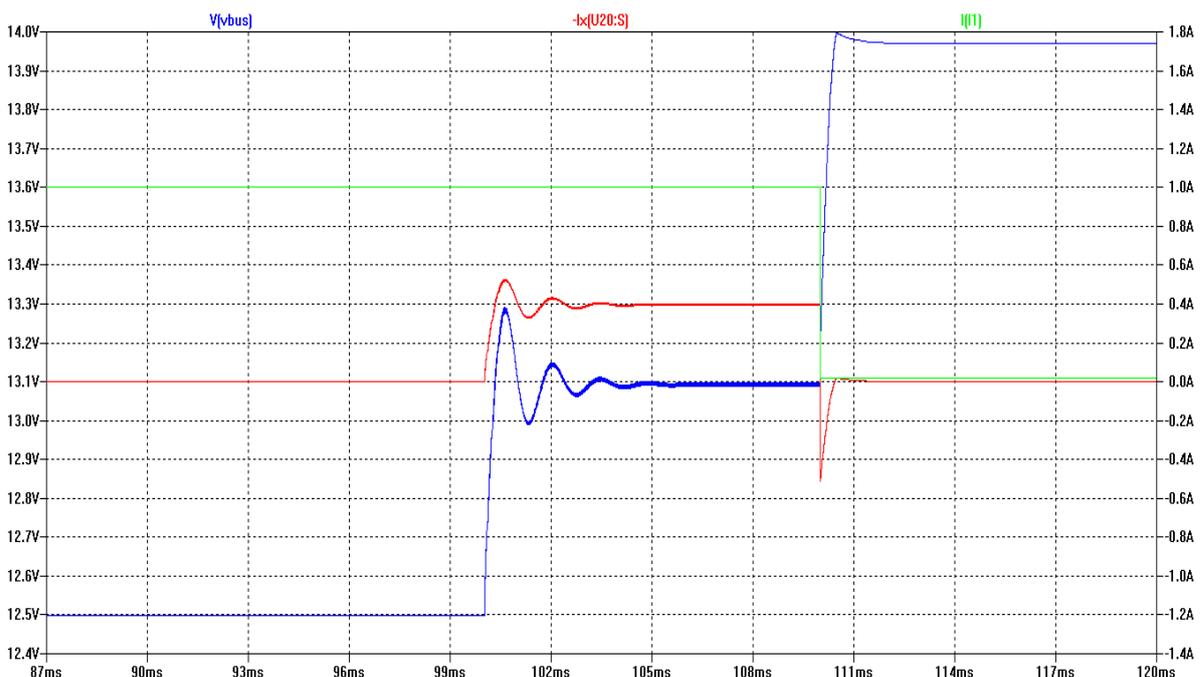


Figura 5.595.60: Grafico relativo al *TEST4_Bk1B118_Battery_Discharger_V2*

Dopo il solito transitorio iniziale il circuito entra in funzione raggiungendo i suoi valori di regime. Avremo difatti un valore di tensione sul *PDB* pari ad 13.1V con corrente di bus pari a 0.4A (sempre in accordo con le specifiche *AraMis*). Dopo la transizione alto-bassa del gradino di corrente, che permette il passaggio alla zona piatta della caratteristica I-V del bus, si ha un valore V_{bus} uguale a 14V e la corrente I_{bus} nulla, come da previsione. Anche in questo caso i tempi di risposta dell'intero sistema, a fronte di variazione della tensione sul bus di potenza, risultano essere decisamente brevi e quindi trascurabili.

Come detto in precedenza per la rete di generazione del feedback, a causa della presenza di componenti quali resistori, induttori, e capacitori soggetti a tolleranze di fabbricazione, è necessario al fine di ottenere dei risultati significativi alla validazione del funzionamento dell'intero sistema l'utilizzo di simulazioni *montecarlo*. A tal fine si è effettuato il *TEST7_Bk1B118_Battery_Discharger_V2_MONTECARLO*. In cui per motivi di limitazione delle risorse ha disposizione si sono prese solo le prime 5 curve. Si mostrano di seguito le sorgenti di simulazione:

```
.step param 1 5 1
.tran 500m
UAGND AGND 0 DC 0
VDGND DGND 0 DC 0
**UEN ENABLE 0
UEN ENABLE 0 PULSE (0 3.3 1U 1N )
**UEN_DELAYED ENABLE_DELAYED 0
UEN_DELAYED ENABLE_DELAYED 0 PULSE (0 3.3 100M 1N )
VUBATTERY Xth_UBATTERY 0 DC 7.4
Rth_UBATTERY Xth_UBATTERY U_BAT 100M
**UUBUS Xth_UBUS 0
UUBUS Xth_UBUS 0 PULSE (11.5 14 100M 450M )
Rth_UBUS Xth_UBUS PDB 0.5
```

Figura 5.61: Segnali utilizzati per *TEST7_Bk1B118_Battery_Discharger_V2_Montecarlo*

I risultati ottenuti sono riportati di seguito:

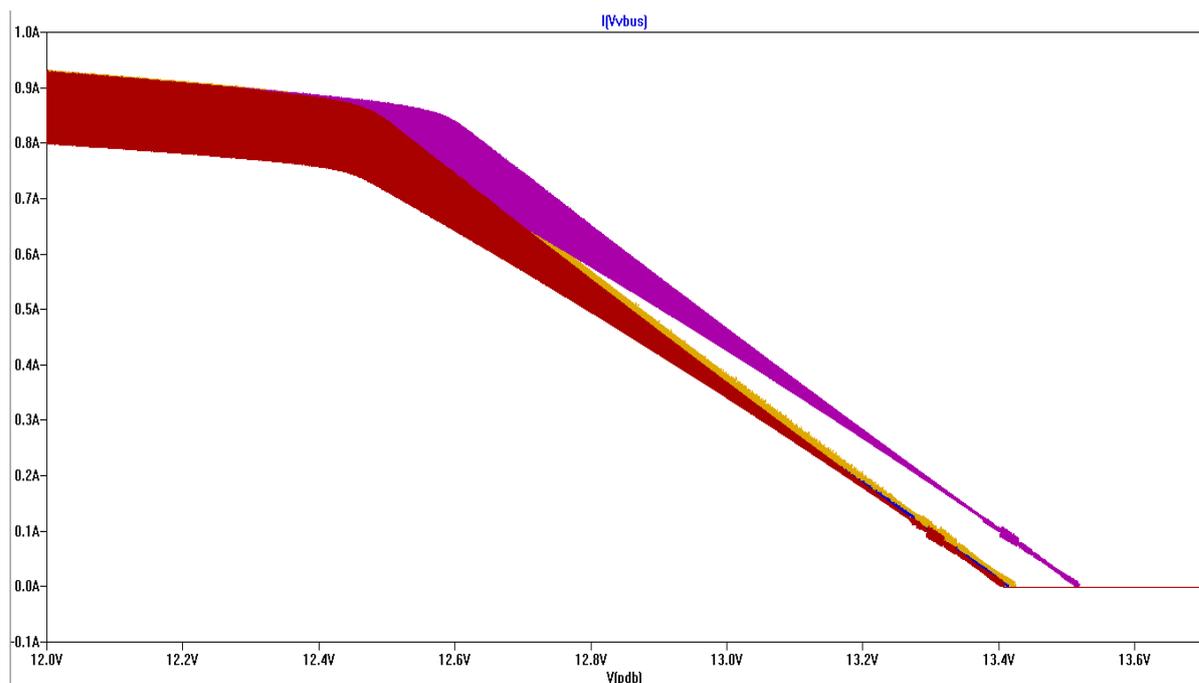


Figura 5.62: Grafico relativo al *TEST7_Bk1B118_Battery_Discharger_V2_Montecarlo*

I valori presentati dalla simulazione eseguita permettono di affermare che le specifiche del progetto *AraMis*, sono ampiamente rispettate. Infatti si hanno valori di tensione nell'intorno dei 12.5V con un incertezza massima pari ad 100mV, lo stesso accade nell'intorno dei 13.5V. Queste incertezze sono ampiamente inferiori a quelle previsti per i valori di tensione sul bus di potenza della caratteristica di uscita, definite a priori:

$$V = \begin{cases} 13.5 \pm 250\text{mV} \\ 12.5 \pm 250\text{mV} \end{cases}$$

Infine al solo scopo illustrativo si è osservato l'andamento della caratteristica I-V sul bus di potenza nel caso di utilizzo di due blocchi *Bk1B118_Battery_Discharger_V2* connessi in parallelo tra il banco batterie e il *Power Distribution Bus* (Figura 5.63), e pilotati contemporaneamente dagli stessi segnali di di abilitazione del circuito.

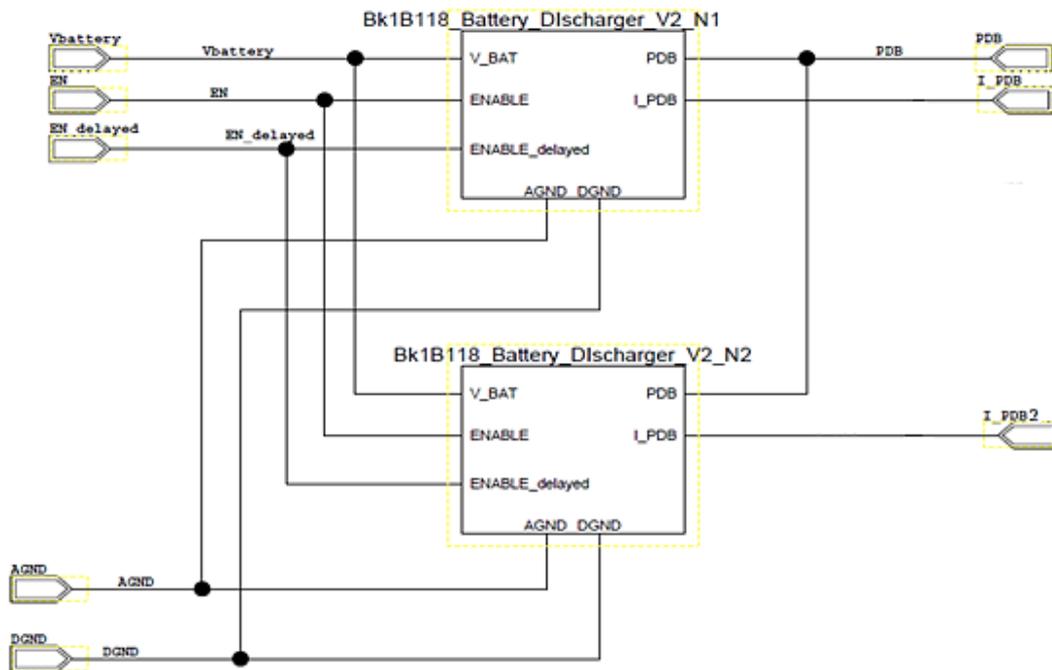


Figura 5.63: Schema elettrico di due *Bk1B118_Battery_Discharger_V2* in parallelo

Per effettuare il test si sono utilizzate gli stessi segnali d'ingresso utilizzati per il *TEST3_Bk1B118_Battery_Discharger_V2* con l'unica differenza che la resistenza serie del bus assume un valore di 0.25Ω.

```
.tran 500m
UAGND AGND 0 DC 0
UDGND DGND 0 DC 0
**UEN ENABLE 0
UEN ENABLE 0 PULSE (0 3.3 1U 1N )
**UEN_DELAYED ENABLE_DELAYED 0
UEN_DELAYED ENABLE_DELAYED 0 PULSE (0 3.3 100M 1N )
UUBATTERY Xth_UBATTERY 0 DC 7.4
Rth_UBATTERY Xth_UBATTERY U_BAT 100M
**UUBUS Xth_UBUS 0
UUBUS Xth_UBUS 0 PULSE (11.5 14 100M 450M )
Rth_UBUS Xth_UBUS PDB 0.25
```

Figura 5.64 : Segnali utilizzati per il *TEST6_Bk1B118_Battery_Discharger_V2*

Ottenendo la seguente caratteristica :

TEST6_Bk1B118_Battery_Discharger_V2

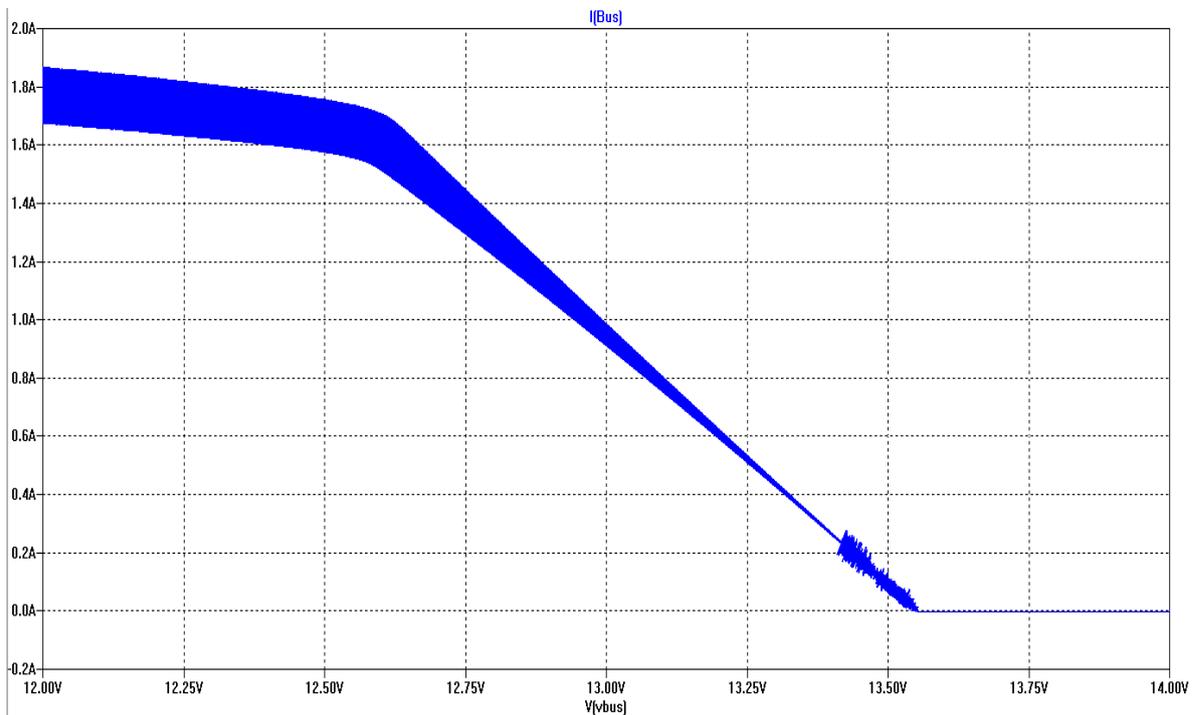


Figura 5.65: Grafico I_{bus} vs V_{bus} relativo al TEST6_Bk1B118_Battery_Discharger_V2

Come era facilmente intuibile l'andamento della caratteristica risulta essere analogo a quella ottenuta con l'utilizzo di un solo blocco di scarica. L'unica variante sta nei valori di corrente forniti al bus che sono raddoppiati rispetto al caso precedente. Come si può notare si ha adesso un valore massimo di I_{bus} pari a 1.8A. Pertanto tale configurazione può essere utilizzata qualora si necessiti di un maggiore quantitativo di corrente disponibile sul *Power Distribution Bus*.

5.4.2 Spice Netlist del sistema Bk1B118_Battery_Discharger_V2

```
CC1 N5U DGND {MC( 4.700000U , 10.000000 /100)} TC=10.000000U
XBk1B121G_Load_Switch_Shunt ENABLE DGND Ubat_char U_BAT
+Bk1B121G_Load_Switch_Shunt
XBk1B113_U3_Feedback_Net N2U5 FEEDBACK U_BAT N5U AGND IN_converter Ubus_char
+I_PDB Bk1B113_U3_Feedback_Net
XBk1B113_U3_Triwave_Gen N3U3 TRI AGND Bk1B113_U3_Triwave_Gen
XBk1B113_U3_Compensator N2U5 AGND N5U FEEDBACK U_CONTROL
+Bk1B113_U3_Compensator
XBk1B113_U3_Buck_Converter_charger Ubus_char U_PWM Ubat_char DGND
+IN_converter Bk1B113_U3_Buck_Converter_charger
XU1 Ubat_char N3U3 DGND LM1117
XX1 U_CONTROL TRI N3U3 AGND U_PWM LTC6752
CC3 N1N990 AGND {MC( 100.000000N , 10.000000 /100)} TC=30.000000U
RR1 Ubat_char N1N990 {MC( 1Kohms , 1000.000000M /100)} TC=100.000000U
CC4 N3U3 DGND {MC( 1uF , 10.000000 /100)} TC=10.000000U
CC5 Ubat_char DGND {MC( 1uF , 10.000000 /100)} TC=10.000000U
CC2 Ubat_char DGND {MC( 100.000000N , 10.000000 /100)} TC=30.000000U
XU4 N1N990 AGND N2U5 LT1790-25
XBk1B121I_Load_Switch_Delayed ENABLE DGND Ubus_char PDB
+Bk1B121I_Load_Switch_Delayed
XX17 Ubat_char DGND Ubat_char N5U TPS76150
```

Figura 5.66: Netlist Spice del Bk1B118_Battery_Discharger_V2

Capitolo 6

Bk1B113_Battery_Charger_V3

All'interno del sistema *Bk1B114_Battery_System_V2* che prevede: l'immagazzinamento, la gestione (monitoraggio dei parametri e gestione delle funzioni automatiche/di protezione), e la distribuzione dell'energia proveniente dalle sorgenti definite secondarie, sono presenti ulteriori due blocchi oltre al *Bk1B118_Battery_Discharger_V2* descritto precedentemente. Il cui compito di tale sottosistema era quello di prelevare energia dalle batterie e renderla disponibile e soprattutto compatibile con le esigenze del resto della struttura satellitare.

In questo capitolo ci si occupa della definizione e descrizione dettagliata del blocco complementare a quello appena descritto. Ovvero di un sottosistema che permetta di caricare le celle, qualora sia necessario, usufruendo dell'energia prodotta in eccesso dal satellite (ed in particolare dai pannelli solari, nel periodo di maggiore esposizione alle radiazioni solari) e rendendola compatibile con le caratteristiche elettriche caratterizzanti il banco batterie (due celle *Li-Po* poste in serie).

Questo sistema di interfaccia è chiamato *Bk1B113_Battery_Charger_V3* ed è costituito a sua volta da sottoblocchi più piccoli, che attraverso la loro interazione permettono di svolgere la funzione desiderata. Anche in questo caso si fa utilizzo di un convertitore DC-DC, per rendere compatibile i livelli di tensione forniti dalla sorgente secondaria con quelli disponibili sul *PDB*. In particolare in questo caso si usa un convertitore DC-DC di tipo Buck (chiamato *Bk1B113_V3_Buck_Converter_charger*). Esso permette di ridurre le tensioni disponibili sul sistema di distribuzione della potenza (*Power Distribution Bus*) rendendole confrontabili con quelle presentate dalla fonte di energia secondaria, e di fornire in uscita una corrente che permette la carica delle celle.

Il sistema descritto deve garantire, oltre ad una corrente di carica che non superi i livelli massimi sopportati dalla batteria, ulteriori specifiche tipiche dei circuiti caricabatterie. In particolare si deve definire il metodo di carica più idoneo e i livelli (massimi e minimi) di tensione per ogni ciclo al fine di:

- evitare danneggiamenti alle celle
- ottenere la massima efficienza e longevità possibile dalle batterie
- ottenere tempi delle operazioni compatibili all'esigenze del sistema

Come visto nei precedenti capitoli le batterie utilizzate *Mikroe1120* richiedono un metodo definito dal costruttore che è il CC-CV. Ovvero una modalità di carica che prevede un primo tratto a corrente costante, in cui la tensione del banco batterie cresce in modo più o meno lineare fino al raggiungimento del suo valore massimo. E un secondo tratto in cui la tensione rimane costante (al suo massimo), e la corrente tende a decrescere fino a giungere ad un valore minimo definito di *cutoff*.

L'implementazione di tale metodo avviene mediante il solo utilizzo di circuiteria analogica, in cui il blocco di generazione del feedback *Bk1B113_V3_Feedback_Net*, gioca un ruolo fondamentale.

6.1 Bk1B113_V3_Feedback_Net

Il *Bk1B113_V3_Feedback_Net* costituisce il blocco di generazione del feedback. Esso permette oltre che di ottenere sul bus d'uscita la caratteristica desiderata e illustrata nei capitoli precedente, di implementare il metodo di carica *CC-CV* appena mostrato. A differenza della rete analizzata per il *Bk1B118_Battery_Discharger_V2*, il numero delle variabili in gioco non saranno più due ma bensì tre.

Infatti la rete *Bk1B113_V3_Feedback_Net* deve gestire due distinte fasi.

La prima in cui la batteria avendo una tensione inferiore a quella massima, viene caricata da una corrente il cui valore dipende dalla caratteristica I-V sul bus che caratterizza il circuito *Battery Charger* all'interno del progetto *AraMis*, e quindi dalla tensione presente sul *Power Distribution Bus*. Si ricorda che tale caratteristica richiede una resistenza differenziale di uscita dV/dI pari a 1Ω .

Quando la tensione di batteria raggiunge il valore massimo impostato, la rete deve gestire la seconda fase, ovvero mantenere la tensione di batteria costante e diminuire progressivamente il valore della corrente di carica.

Pertanto la rete realizzata implementa una caratteristica del seguente tipo:

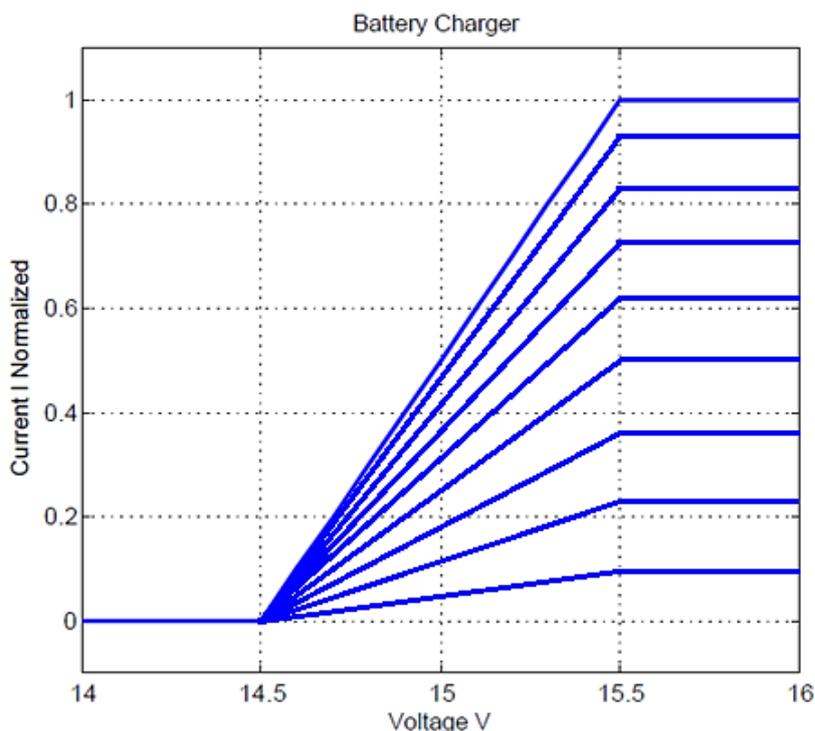


Figura 6.1: Caratteristica I-V d'uscita al *Bk1B113_Battery_Charger_V3* al raggiungimento della massima tensione di carica di batteria.

Dove è facile notare l'abbassamento progressivo della caratteristica conseguente al raggiungimento del valore massimo di tensione di carica della cella.

6.1.1 Progettazione del Bk1B113_V3_Feedback_Net

Anche questa rete è realizzata in maniera del tutto analogica (Figura 6.2), con il compito di generare in uscita una tensione di *feedback* paragonabile alla tensione di riferimento del compensatore *Bk1B113_V3_Compensator*, scelta pari a 2.5V .

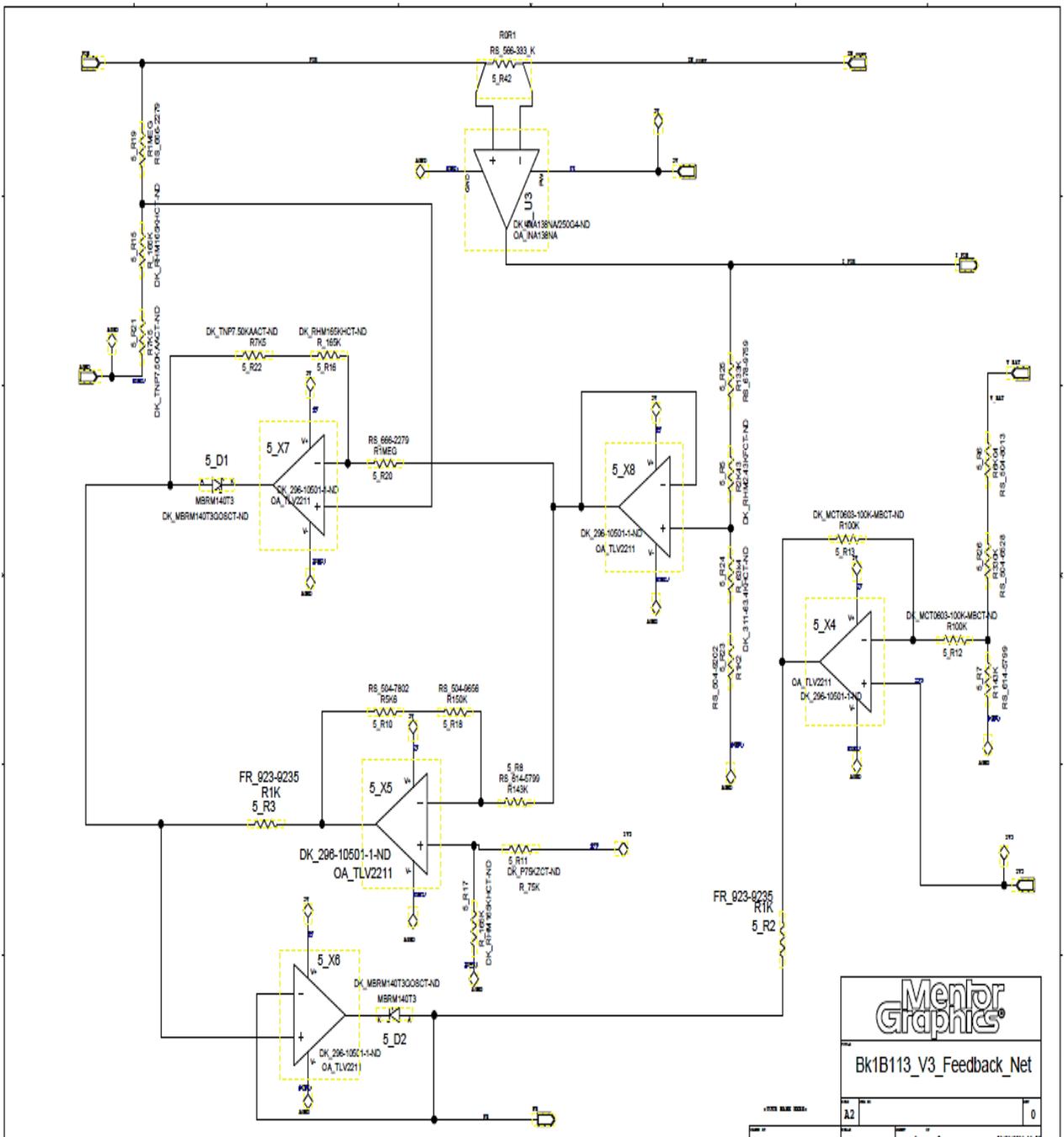


Figura 6.2: : Schema elettrico del *Bk1B113_V3_Feedback_Net* realizzato su Mentor Graphics

Il grafico precedentemente illustrato in Figura 6.1, si riferisce ad un valore di corrente normalizzata, ma in realtà la rete è stata progettata per un determinato valore di corrente massima, così determinato :

$$I_{PDBmax} = \frac{V_{BATmin} * I_{CHARGEmax}}{V_{PDBmax}} \quad (6.1)$$

La corrente massima è calcolata considerando il caso peggiore. Esso si ha quando la tensione sul PDB è quella massima (ed si ha la massima corrente in uscita), e la tensione di batteria è al minimo (con tensione massima di scarica della batteria, posta da progetto a 6V considerando la serie delle due celle). Un dimensionamento diverso potrebbe portare ad una richiesta di potenza al bus maggiore alla sua disponibilità. Pertanto si ha $V_{BATmin} * I_{charge} = V_{PDBmax} * I_{PDBmax}$.

Il valore massimo di corrente sul *Power Distribution Bus* è di 0.774 A. Ovvero la corrente che preleveremo dal bus al fine di avere una massima corrente di carica della batteria pari a 2A.

In questo caso il funzionamento della rete sarà caratterizzato dalla presenza di tre caratteristiche (o regioni di lavoro): una compresa tra i 14.5V e i 15.5V lineare, una al di sopra dei 15.5V parallela all'asse delle ascisse, considerate entrambe con tensione di batteria inferiore al suo massimo valore di carica. E la terza che si ha a batteria completamente carica, che causa l'abbassamento della caratteristica I-V in uscita al sistema. La selezione di una delle prime due curve, avviene mediante l'uso del diodo 5_D1 (dal suo stato di conduzione o interdizione, sceglie la curva più bassa) collegato in uscita all'operazionale 5_X7. La tensione più bassa viene successivamente confrontata con la terza curva mediante il diodo 5_D2 all'uscita dell'operazionale 5_X6, che determina il valore della tensione di feedback. La rete realizzata è stata resa parametrica, andando a definire alcuni elementi chiave per sua la progettazione. Questo approccio permette che eventuali cambiamenti, come ad esempio un diverso tipo di batterie utilizzate, possano essere implementati modificando il valore di solo alcuni dei resistori, attraverso l'utilizzo di opportune relazioni: Non dovendo quindi ridefinire totalmente la rete (che prevede parametri fissati a priori) e rendendo perfettamente funzionale l'intero sistema. Il processo decisionale che ha portato alla scelta dei valori dei resistori utilizzati, è il seguente: si è scelta la configurazione della rete illustrata in precedenza e i valori dei resistori in modo tale che, nel primo tratto (quello lineare) l'uscita dell'operazionale 5_X7 (che chiameremo V1, vedi 6.2) risultasse inferiore all'uscita 5_X5 (che chiameremo V2, vedi 6.3), ovviamente con l'uscita all'op-amp 5_X4 anch'essa maggiore (che chiameremo V3, vedi 6.4) finché la batteria non è completamente carica.

$$V_1 = \left(\frac{-I_{PDB} * K_i * (5_R24 + 5_R23)}{5_R5 + 5_R25 + 5_R24 + 5_R23} + V_{PDB} \right) * \frac{5_R21 + 5_R15}{5_R19} \quad (6.2)$$

$$V_2 = \left[\left(V_{ref} * \frac{5_R17}{5_R17 + 5_R11} * \left(1 + \frac{5_R10 + 5_R18}{5_R8} \right) \right) - \frac{I_{PDB} * K_i * (5_R24 + 5_R23)}{5_R5 + 5_R25 + 5_R24 + 5_R23} \right] * \frac{5_R8}{5_R10 + 5_R18} \quad (6.3)$$

$$V_3 = V_{ref} * \left(1 + \frac{5_R13}{5_R12}\right) - V_{BAT} * \left(\frac{5_R7}{5_R26+5_R6}\right) * \frac{5_R13}{5_R12} \quad (6.4)$$

Quando si è nel tratto piano (superiore ai 15.5 V) la tensione V2 assumerà valore inferiori rispetto alla tensione V1 e sarà scelta sia dal diodo 5_D1 sia dal 5_D2 . Questo considerando ancora la batteria non completamente carica, e quindi la tensione V3 maggiore alla V2. Una volta caricata completamente la cella, V3 assume un valore inferiore a V2 o a V1 (dipende dal tratto della caratteristica I-V di bus in cui ci si trova) e pertanto il diodo 5_D2 si interdice selezionandola. Ovviamente si vuole che nel tratto in cui vengono selezionate le tre tensioni V1,V2 e V3 tendano ad assumere valori prossimi alla tensione di riferimento scelta. Attraverso l'utilizzo di queste equazioni e di alcuni parametri fissati a priori dalle specifiche di progetto:

$$I_{BUSmax}=0.774A, V_{BATchargemax}=8.4V, V_{BUSmin}=14.5V, V_{BUSmax}=15.5V, K_i=4, R_L=200K\Omega, R42=100m\Omega$$

Dove R42 è la resistenza serie utilizzata dal dispositivo *INA138* per misurare la corrente in ingresso al sistema di carica, questo valore viene poi convertito in tensione con un fattore (transconduttanza) $6_R31 * K_i * R_L$. In cui K_i dipende da parametri interni al dispositivo ed è pari ad $200\mu A/V^2$, e R_L è la resistenza in uscita al dispositivo (in questo caso dato dalla somma di 5_R25+5_R5+5_R24+5_R23) posta a 200K Ω per ottenere un guadagno K_i pari a 4.

Si ottengono i seguenti valori per i resistori :

$$\left\{ \begin{array}{l} 5_R19 = 5_R20 = 1 M\Omega \\ 5_R15 + 5_R21 = 5_R22 + 5_R16 = 172.5 K\Omega \\ 5_R8 = 143K\Omega \\ 5_R10 + 5_R18 = 155.6 K\Omega \\ 5_R17 = 165 K\Omega \\ 5_R11 = 75 K\Omega \\ 5_R3 = 5_R2 = 1 K\Omega \\ 5_R13 = 5_R12 = 100 K\Omega \end{array} \right.$$

Questi sono caratterizzati da avere valori fissati, a prescindere dai segnali applicati. Invece gli elementi variabili all'interno della rete sono :

$$\left\{ \begin{array}{l} 5_R26 + 5_R6 = X * 5_R7 \end{array} \right. \quad (6.5)$$

$$\left\{ \begin{array}{l} 5_R7 = 5_R13 * \left(\frac{1+X}{X}\right) \end{array} \right. \quad (6.6)$$

$$\left\{ \begin{array}{l} 5_R5 + 5_R25 = (5_{R24} + 5_{R23}) * Y \end{array} \right. \quad (6.7)$$

$$\left\{ \begin{array}{l} 5_R24 + 5_R23 = \frac{R_L}{1+Y} \end{array} \right. \quad (6.8)$$

Con:

$$X = \frac{1 - \frac{V_{ref}}{V_{BATchargemax}}}{\frac{V_{ref}}{V_{BATchargemax}}} \quad (6.9)$$

$$Y = - \frac{1 + \frac{R_{19}}{R_{15} + R_{21}} \cdot \frac{V_{ref} - V_{PDBmax}}{K_i \cdot I_{PDBmax}}}{\frac{R_{19}}{R_{15} + R_{21}} \cdot \frac{V_{ref} - V_{PDBmax}}{K_i \cdot I_{PDBmax}}} \quad (6.10)$$

I cui valori ottenuti sono riportati di seguito :

$$\begin{cases} 5_R26 + 5_R6 = 336 \text{ K}\Omega \\ 5_R7 = 143 \text{ K}\Omega \\ 5_R5 + 5_R25 = 135.4 \text{ K}\Omega \\ 5_R24 + 5_R23 = 64.6 \text{ K}\Omega \end{cases}$$

6.1.2 Simulazioni del Bk1B118_V2_Feedback_Net

Si riportano le simulazioni effettuate per validare il funzionamento della rete realizzata.

Il *TEST1_Bk1B113_V3_Feedback_net* (Figura 6.3) prevede come segnali in ingresso :

$$V_{PDB} = 15.5V$$

$$I_{BUS} \text{ (o } I_{PDB} \text{)} = 0.774A$$

$$V_{BAT} = 7.2V$$

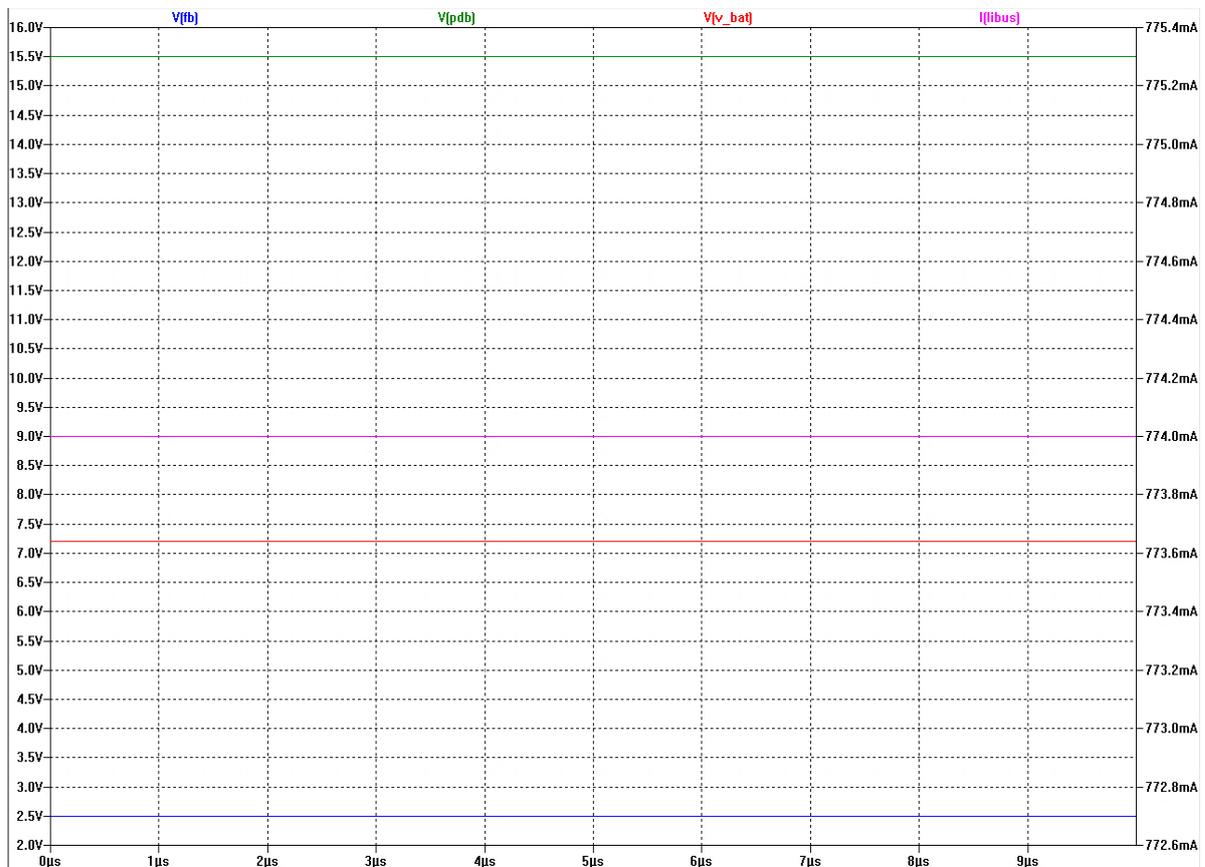


Figura 6.3: Grafico relativo al *TEST1_Bk1B113_V3_Feedback_net*

Il TEST2_ Bk1B113_V3_Feedback_net (Figura 6.4) prevede come segnali in ingresso :

$$V_{BUS} \text{ (o } V_{PDB}) = 14.5V$$

$$I_{BUS} \text{ (o } I_{PDB}) = 0A$$

$$V_{BAT} = 7.2V$$

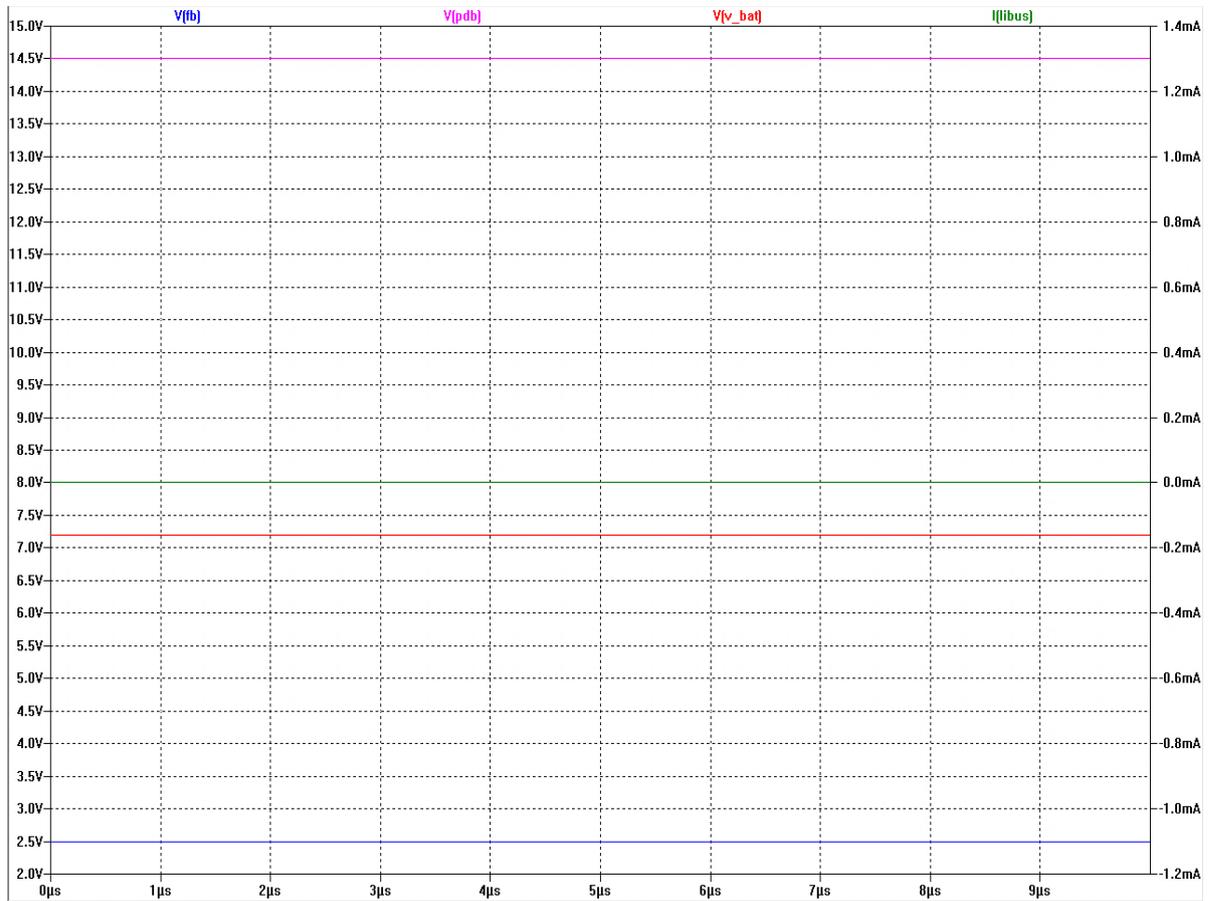


Figura 6.4: Grafico relativo al TEST2_ Bk1B113_V3_Feedback_net

Si può notare che per entrambe le combinazioni delle sorgenti di ingresso si ha un valore della tensione di feedback pari a 2.5V, in accordo alle specifiche desiderate precedentemente viste.

Anche in questo caso a causa della criticità dell'accuratezza della rete in esame per il funzionamento dell'intero sistema, e considerato che essa è realizzata da un certo numero di resistori (ognuno con proprie tolleranze di fabbricazione), si è reso necessario l'utilizzo di simulazioni di tipo Montecarlo al fine di poter considerare significativi i risultati ottenuti.

Pertanto si rieseguono i due test appena illustrati andando a considerare gli errori di fabbricazione dei componenti utilizzati.

Nel primo test chiamato TEST1_1_ Bk1B113_V3_Feedback_Net_MONTECARLO , in cui si utilizzano gli stessi segnali di ingresso del primo test visto in precedenza, si ottengono i seguenti risultati :

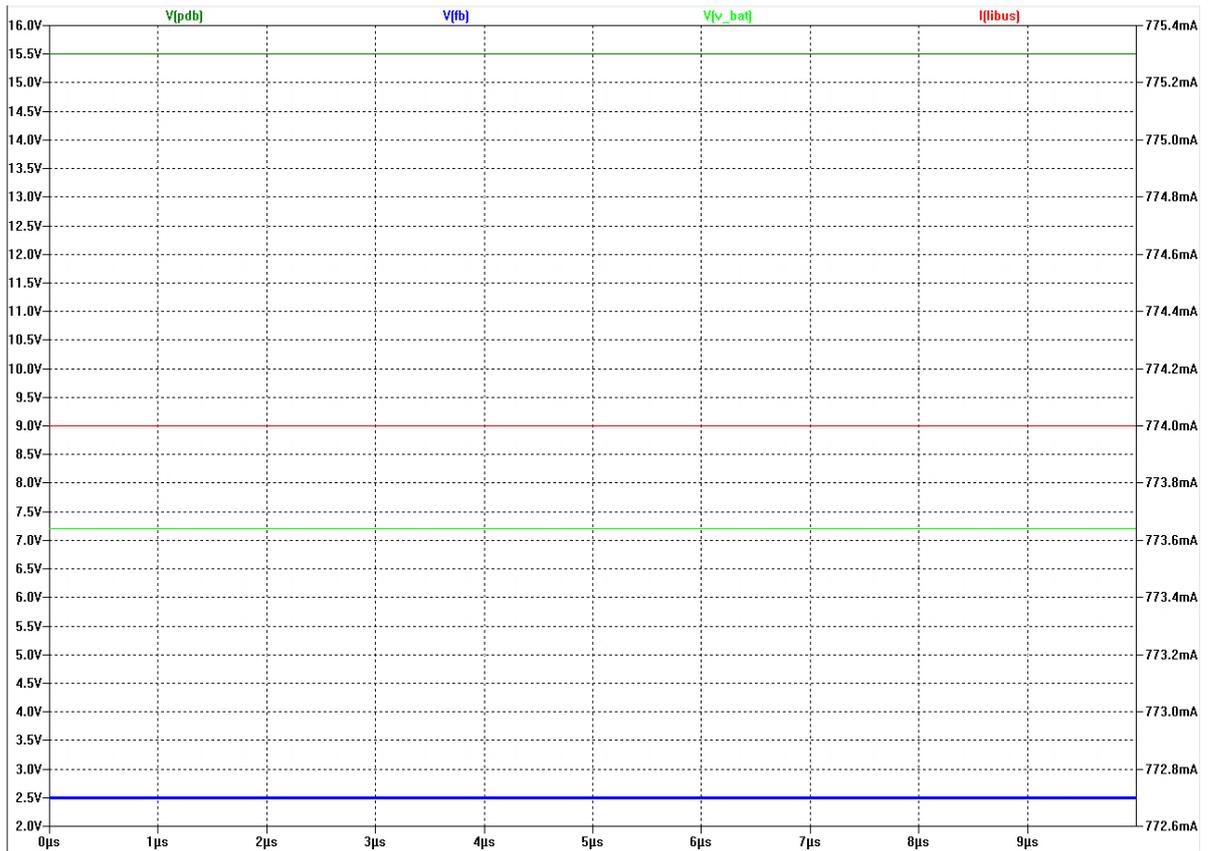


Figura 6.5: Grafico relativo al TEST1_1_Bk1B113_V3_Feedback_Net_MONTECARLO

Effettuando uno zoom sulla $V(\text{fb})$ (Figura 6.6) :

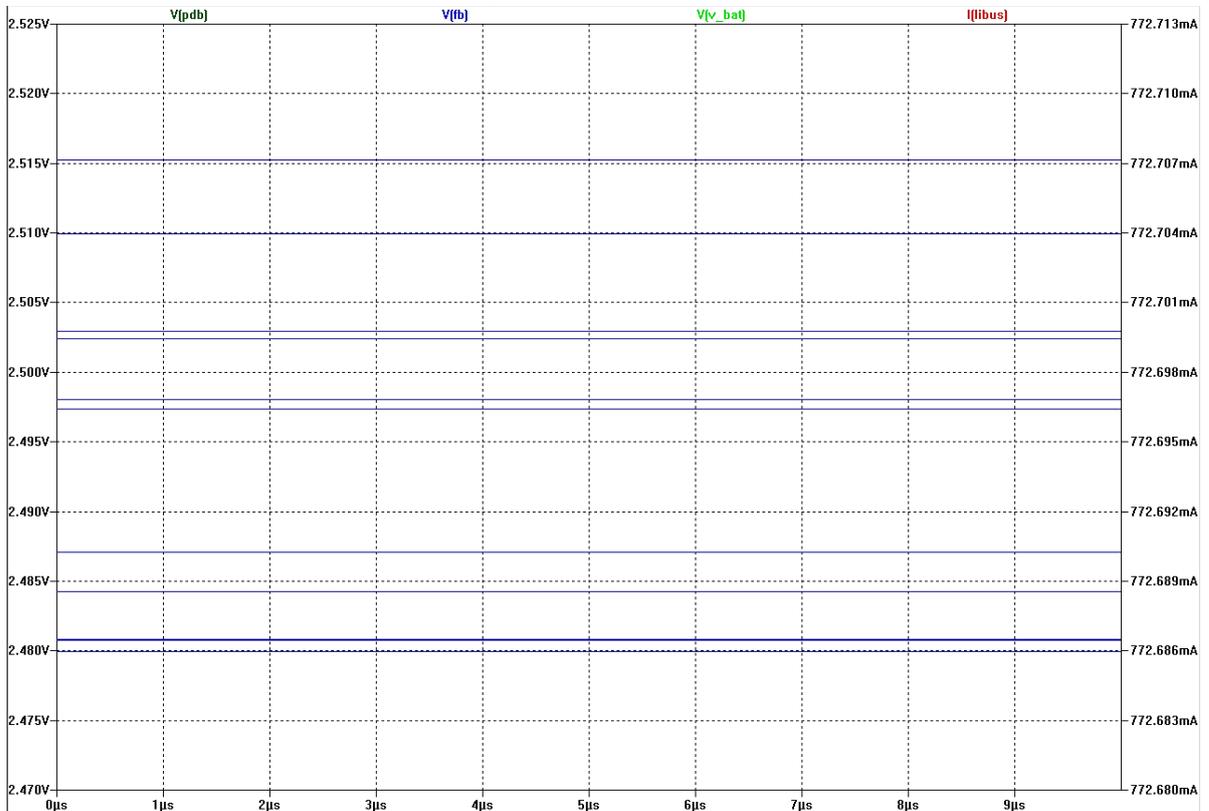


Figura 6.6: Zoom $V(\text{fb})$ - TEST1_1_Bk1B113_V3_Feedback_Net_MONTECARLO

Si osservano valori molto vicini ai 2.5V idealmente desiderati. Ottenendo delle incertezze di circa lo 0.8 % considerate trascurabili.

Lo stesso si è fatto per il secondo test visto in precedenza (medesimi segnali d'ingresso alla rete):

TEST2_1_Bk1B113_V3_Feedback_Net_MONTECARLO

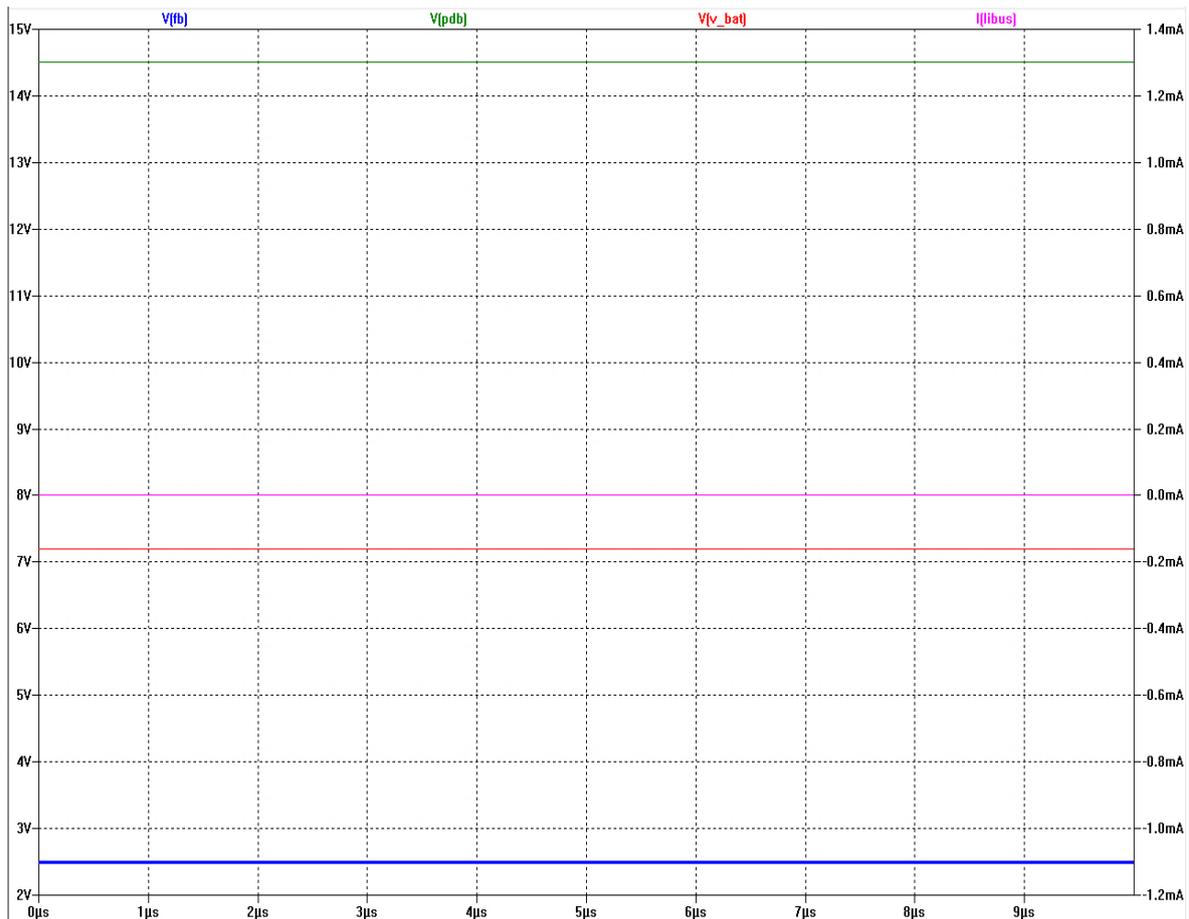


Figura 6.7: Grafico relativo al TEST2_1_Bk1B113_V3_Feedback_Net_MONTECARLO

In cui facendo sempre uno zoom sulla tensione di feedback generata dalla rete (Figura 6.8), si osservano valori molto prossimi ai 2.5V di riferimento utilizzati nel Bk1B113_V3_Compensator .

Ed in particolare si ottengono incertezze sulla tensione $V(fb)$ anche in questo caso di circa 0.8% e quindi anche questa volta considerabili trascurabili.

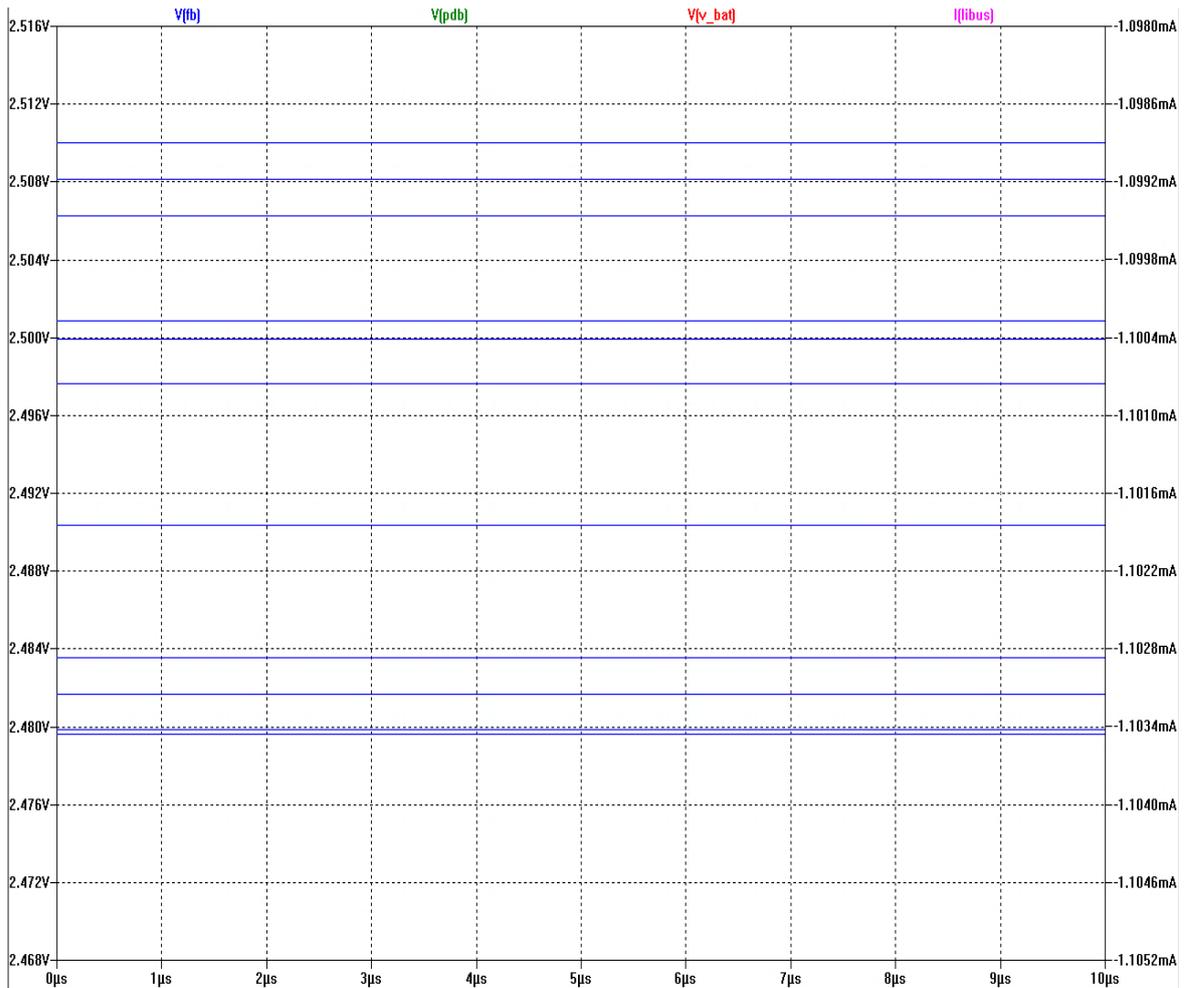


Figura 6.8: Zoom $V(fb)$ - TEST2_1_Bk1B113_V3_Feedback_Net_MONTECARLO

Infine si è analizzato anche il caso in cui la tensione di batteria raggiunge il suo valore massimo pari a 8.4V.

Ed in particolare si è simulata la condizione per cui la caratteristica di uscita I-V sul bus relativa al Bk1B113_Battery_Charger_V3 tenda progressivamente ad abbassarsi, fino ad congiungersi con l'asse delle ascisse (ovvero corrente I_{PDB} pari a zero).

Per ottenere questa situazione si è considerato di avere come tensione sul *Power Distribution Bus* la massima possibile pari ad 15.5V.

E attraverso uno sweep di corrente che parte dal valore massimo di 0.774A e tende a zero si cerca di "toccare" tutte le possibili curve del diagramma (V_{PDB} , I_{PDB} , V_{BAT}).

Il test effettuato prende il nome di TEST3_Bk1B113_V3_Feedbak_Net, il cui risultato mostrato dal relativo grafico (Figura 6.9), permette di vedere che la tensione di feedback $V(fb)$ generata dalla rete Bk1B113_V3_Feedback_Net rimane al valore della tensione di riferimento 2.5V, per qualsiasi valore assunto dalla corrente di bus.

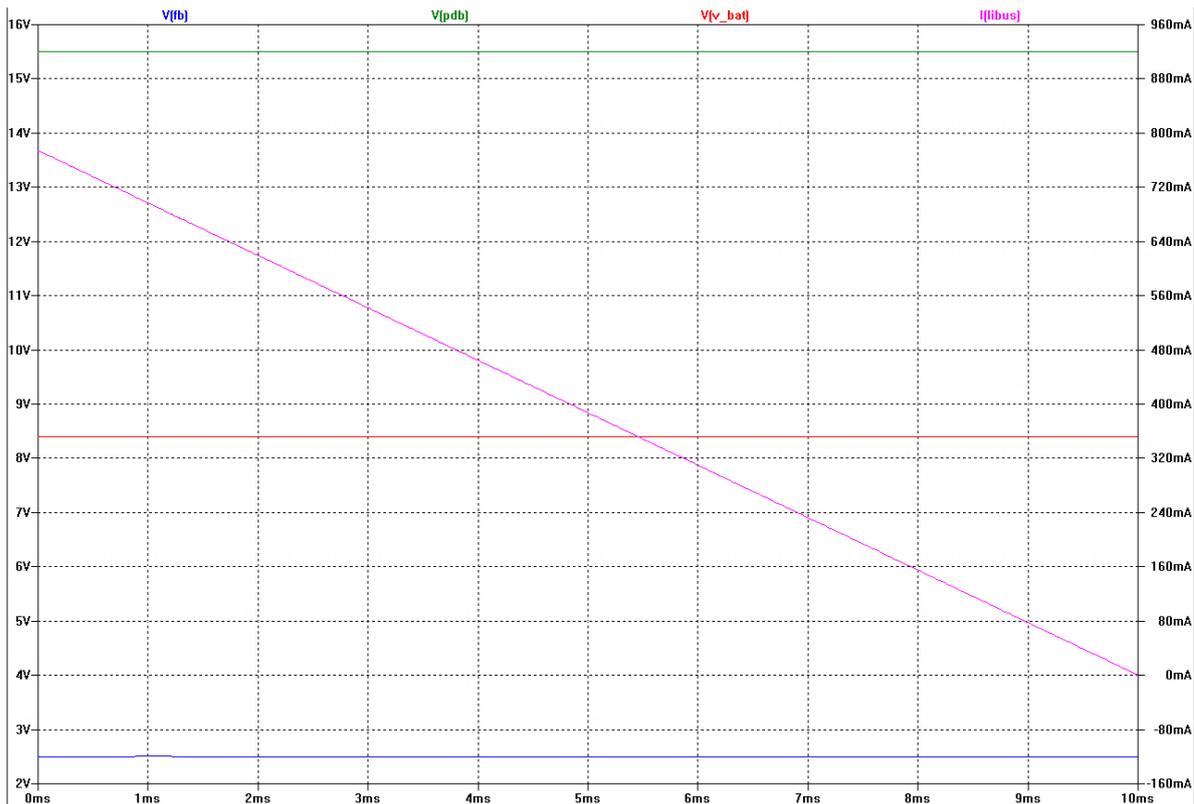


Figura 6.9: Grafico relativo al TEST3_Bk1B113_V3_Feedback_net

Per i motivi precedentemente detti , anche in questo caso è stata eseguita un analisi *Montercarlo*, utilizzando le stesse sorgenti del test appena illustrato.

Si ottengono i seguenti risultati:

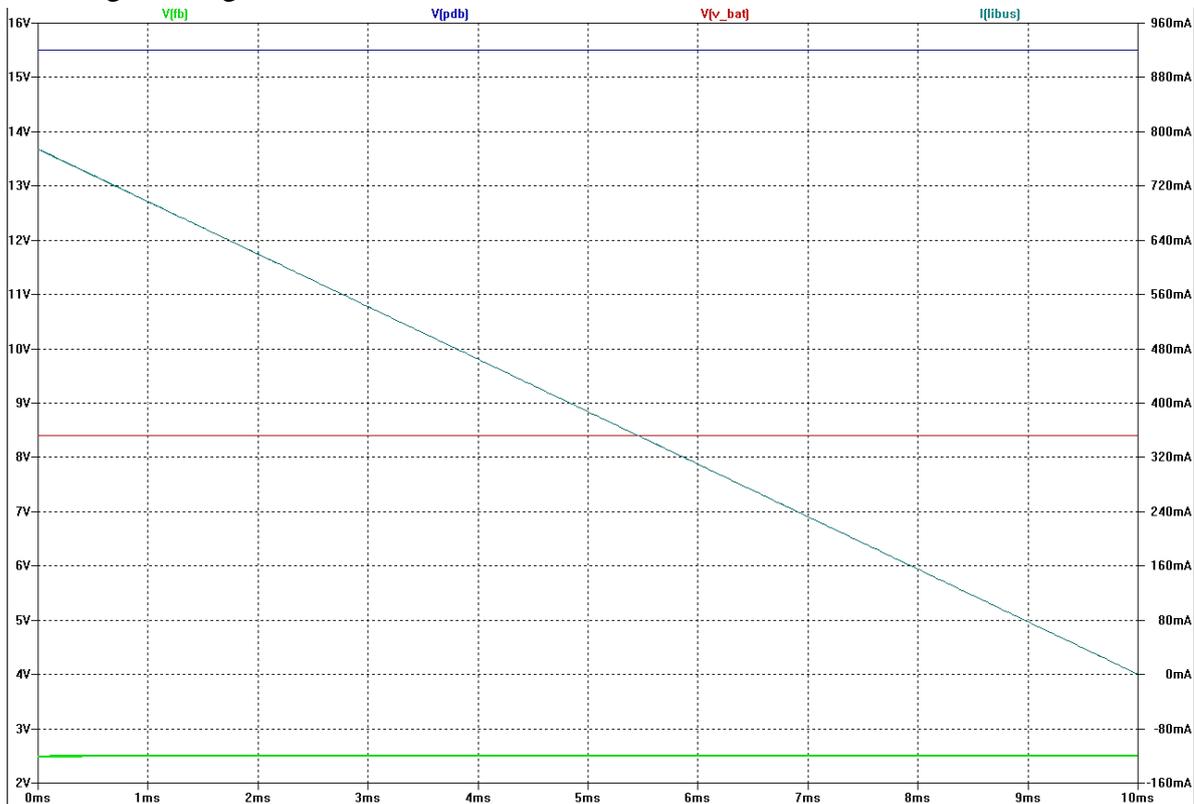


Figura 6.10: Grafico relativo al TEST3_Bk1B113_V3_Feedback_Net_MONTECARLO

In particolare facendo un ingrandimento sulla tensione $V(fb)$ è possibile notare che anche in presenza di tolleranze dei componenti utilizzati, il suo valore rimane nell'intorno dei 2.5V considerati come riferimento. Infatti si ottiene una tolleranza pari a circa 0.8% .

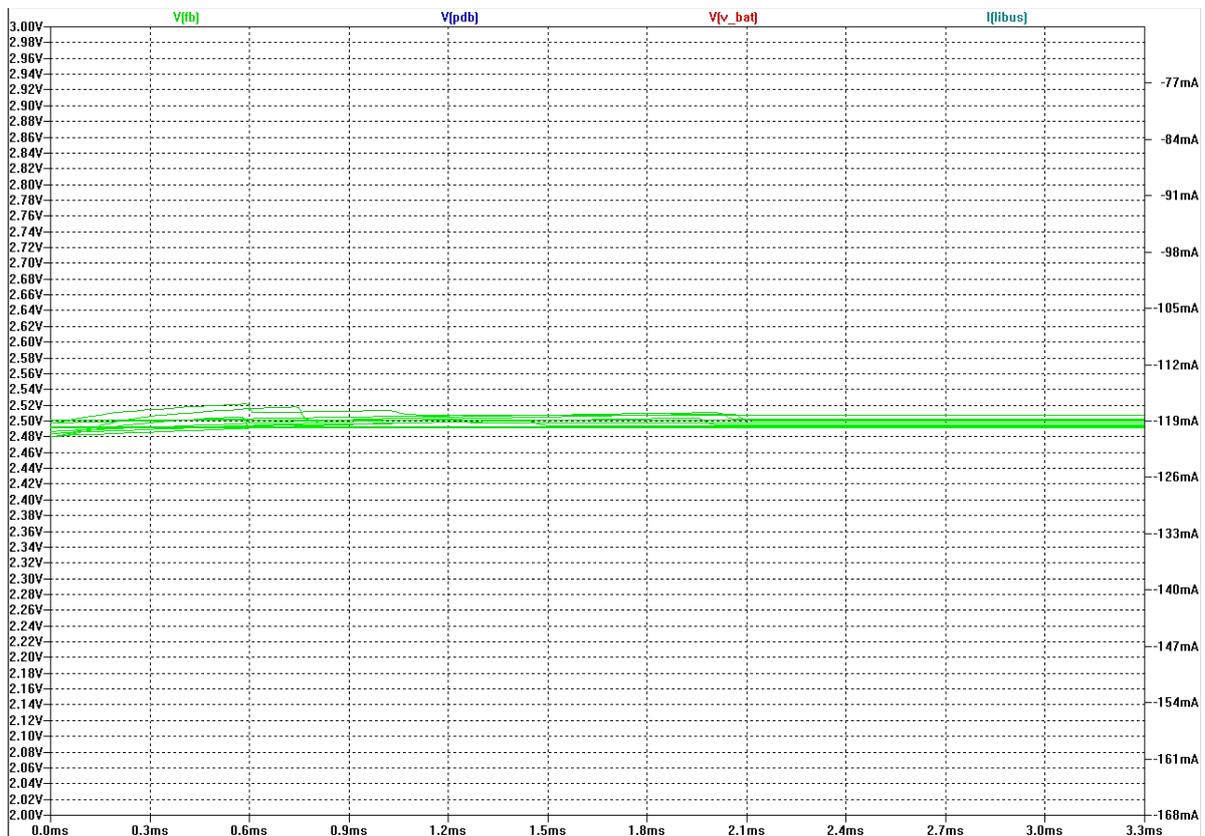


Figura 6.11: : Zoom $V(fb)$ - TEST3_Bk1B113_V3_Feedback_Net_MONTECARLO

6.1.3 Spice Netlist e lista componenti del Bk1B113_V3_Feedback_Net

Si riporta di seguito la netlist del blocco *Bk1B113_V3_Feedback_Net* (Figura 6.12):

```
*Definition For Project Bk1B113_U3_Feedback_Net
.SUBCKT Bk1B113_U3_Feedback_Net N2U5 FB U_BAT N5U AGND IN_conv PDB I_PDB
XU3 N1N24 N1N23 N5U AGND I_PDB INA138
RR5 N1N544 N1N47 {MC( 2.430000K , 1000.000000M /100)} TC=100.000000U
RR6 U_BAT N1N142 {MC( 6.04Kohms , 1000.000000M /100)} TC=100.000000U
XX6 N1N1144 FB N5U AGND N1N250 TLU2211
RR8 N1N95 N1N64 {MC( 143Kohms , 100.000000M /100)} TC=50.000000U
RR10 N1N99 N1N97 {MC( 5.6Kohms , 1000.000000M /100)} TC=
RR11 N1N237 N2U5 {MC( 75Kohms , 1000.000000M /100)} TC=100.000000U
XX8 N1N47 N1N64 N5U AGND N1N64 TLU2211
RR12 N1N174 N1N144 {MC( 100Kohms , 100.000000M /100)} TC=100.000000U
RR7 N1N144 AGND {MC( 143Kohms , 100.000000M /100)} TC=50.000000U
RR13 N1N180 N1N174 {MC( 100Kohms , 100.000000M /100)} TC=100.000000U
RR17 N1N237 AGND {MC( 165Kohms , 1000.000000M /100)} TC=100.000000U
RR18 N1N97 N1N95 {MC( 150Kohms , 1000.000000M /100)} TC=100.000000U
RR2 FB N1N180 {MC( 1Kohms , 1000.000000M /100)} TC=100.000000U
RR3 N1N1144 N1N99 {MC( 1Kohms , 1000.000000M /100)} TC=100.000000U
XX7 N1N282 N1N306 N5U AGND N1N358 TLU2211
RR19 PDB N1N282 {MC( 1MEGohms , 100.000000M /100)} TC=25.000000U
RR21 N1N284 AGND {MC( 7.5Kohms , 100.000000M /100)} TC=100.000000U
XX4 N2U5 N1N174 N5U AGND N1N180 TLU2211
XX5 N1N237 N1N95 N5U AGND N1N99 TLU2211
RR22 N1N1144 N1N345 {MC( 7.5Kohms , 100.000000M /100)} TC=100.000000U
RR16 N1N345 N1N306 {MC( 165Kohms , 1000.000000M /100)} TC=100.000000U
RR23 N1N507 AGND {MC( 1.2Kohms , 1000.000000M /100)} TC=100.000000U
RR24 N1N47 N1N507 {MC( 63.4Kohms , 1000.000000M /100)} TC=100.000000U
XR42 PDB IN_conv N1N24 N1N23 RES_4WIRE R={MC(100Mohms,1000.000000M/100)} TC=100.000000U
RR25 I_PDB N1N544 {MC( 133Kohms , 1000.000000M /100)} TC=100.000000U
RR26 N1N142 N1N144 {MC( 330Kohms , 1000.000000M /100)} TC=100.000000U
RR15 N1N282 N1N284 {MC( 165Kohms , 1000.000000M /100)} TC=100.000000U
RR20 N1N306 N1N64 {MC( 1MEGohms , 100.000000M /100)} TC=25.000000U
DD1 N1N1144 N1N358 MBRM140
DD2 FB N1N250 MBRM140
```

Figura 6.12: Spice Netlist del blocco *Bk1B113_V3_Feedback_Net*

E la lista dei componenti utilizzati:

#	QTY	Part Number	PartLabel	PartName	Ref Designator	Value
1	2	DK_MBRM140T3GOSCT-ND	D_MBRM140T3_SH_D0216AA_40V_1A	MBRM140T3	D1, D2	,
2	1	DK_INA138NA/250G4-ND	OA_INA138NA_S0T23-5_1_38V_2.7V	OA_INA138NA	U3	
3	5	DK_296-10501-1-ND	OA_TLV2211IDBVR_S0T23_2V7_10V	OA_TLV2211	X4-X8	,, , , ,
4	1	RS_566-333_K	R_0R1_1206_250_1	R0R1	R42	100Mohms
5	2	FR_923-9235	R_1K_0402_63_1	R1K	R2, R3	1Kohms, 1Kohms
6	1	RS_504-9202	R_1K2_0603_100_1	R1K2	R23	1.2Kohms
7	2	RS_666-2279	R_1MEG_0603_63_0%1	R1MEG	R19, R20	1MEGohms, 1MEGohms
8	1	DK_RHM2.43KFCT-ND	R_2K43_1206	R2K43	R5	2.43K
9	1	RS_504-7802	R_5K6_0603_100_1	R5K6	R10	5.6Kohms
10	1	RS_504-8013	R_6K04_0603_100_1	R6K04	R6	6.04Kohms
11	2	DK_TNP7.50KAACT-ND	R_7K5_0603_100_0%1	R7K5	R21, R22	7.5Kohms, 7.5Kohms
12	2	DK_MCT0603-100K-MBCT-ND	R_100K_0603_125_0%1	R100K	R12, R13	100kohms, 100kohms
13	1	RS_678-9759	R_133K_0603_100_1	R133K	R25	133Kohms
14	2	RS_614-5799	R_143K_0805_100_0%1	R143K	R7, R8	143Kohms, 143Kohms
15	1	RS_504-9656	R_150K_0603_100_1	R150K	R18	150Kohms
16	1	RS_504-6528	R_330K_0603_100_1	R330K	R26	330Kohms
17	1	DK_311-63.4KHCT-ND	R_63k4_0603_100_1	R_63k4	R24	63.4Kohms
18	1	DK_P75KZCT-ND	R_75K_0805_100_0%1	R_75K	R11	75Kohms
19	3	DK_RHML65KHCT-ND	R_165K_0603_100_1	R_165K	R15-R17	165kohms, 165kohms, 165kohms

Figura 6.13: Lista dei componenti utilizzati per la realizzazione del blocco *Bk1B113_V3_Feedback_Net*

6.2 Elementi principali del sistema Bk1B113_Battery_Charger_V3

Il blocco visto in precedenza (*Bk1B113_V3_Feedback_Net*) permette insieme all'utilizzo di ulteriori tre blocchi di fornire una corrente al banco batterie, in modo compatibile al metodo di carica CC-CV selezionato, prendendo la potenza disponibile dal bus di distribuzione (in eccesso).

In particolare la corrente di carica viene determinata dalla tensione di feedback che come abbiamo già visto dipende da tensione e corrente del *Power Distribution Bus* e dalla tensione di batteria.

Volendo avere una tensione di controllo che vari linearmente, la tensione di feedback viene posta all'ingresso di un circuito di compensazione (chiamato *Bk1B113_V3_Compensator*), il cui segnale di uscita viene comparato con un segnale ad onda triangolare generato dal *Bk1B113_V3_Triwave_Gen*.

L'esito di tale comparazione genera un segnale *PWM* che pilota il convertitore all'interno del blocco *Bk1B113_V3_Buck_Converter_charger*, permettendo di fornire così il valore di corrente di carica desiderato.

Si mostra di seguito un grafico in cui vengono evidenziate solo l'interazione dei blocchi suddetti:

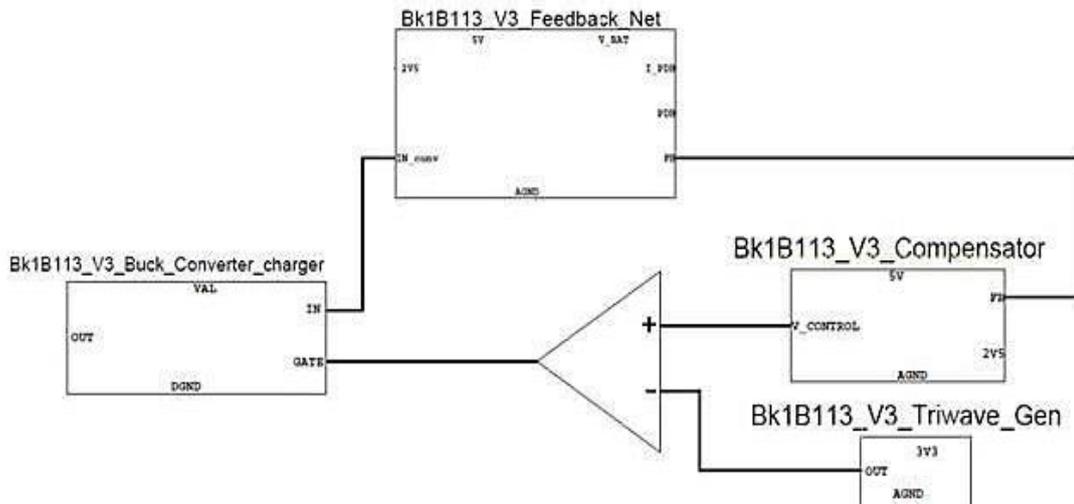


Figura 6.14: Interazione tra gli elementi principali del *Bk1B113_Battery_Charger_V3*

Nei successivi sottoparagrafi vengono descritti nel dettaglio i seguenti singoli blocchi illustrandone il funzionamento mediante l'utilizzo di opportune simulazioni.

6.2.1 Bk1B113_V3_Buck_Converter_charger

Per ottenere una compatibilità elettrica tra le caratteristiche presenti sul *Power Distribution Bus* e il banco batterie, si utilizza un circuito di *step-down* (abbassatore di tensione).

In particolare viene utilizzato un convertitore DC-DC di tipo Buck che lavora in modalità *CCM* (*Continuous Conduction Mode*).

6.2.1.1 Progettazione del Bk1B113_V3_Buck_Converter_charger

Per ottenere tale tipo di funzionamento, è necessario dimensionare opportunamente il valore dell'induttore posto all'interno del circuito di potenza, di modo che:

$$L < L_{crit} \quad (6.11)$$

$$\text{con } L_{crit} = \frac{(1-D)R}{2f_{sw}} \quad (6.12)$$

Si dimensiona inoltre il condensatore di uscita C_{out} in funzione del ripple desiderato sulla tensione di uscita:

$$C_{out} = \frac{\Delta I_L}{8 f_{sw} V_{ripple}} \quad (6.13)$$

Ottenendo quindi :

$$L = 68 \mu\text{H}$$

$$C_{out} = 10 \mu\text{F}$$

Il circuito realizzato viene mostrato in Figura 6.15 :

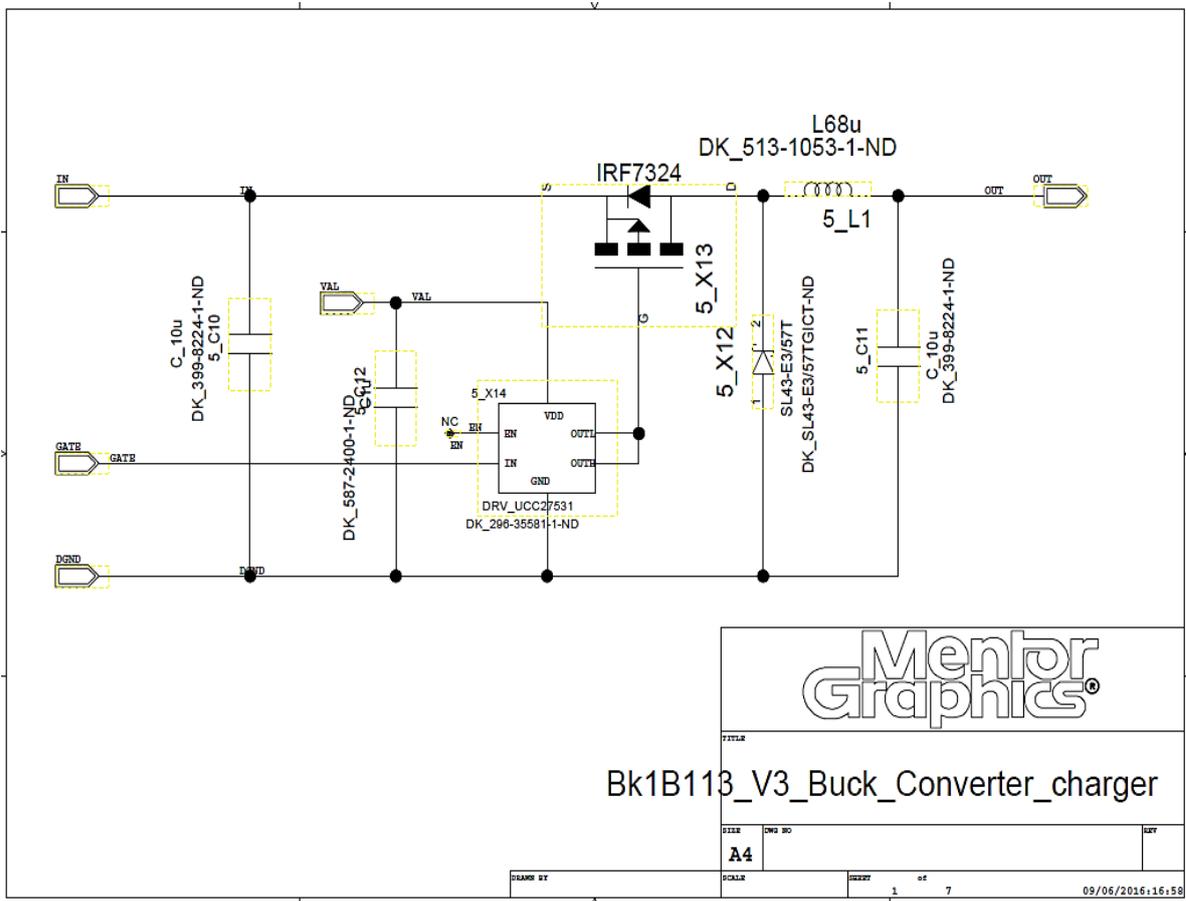


Figura 6.15: Schema elettrico del blocco *Bk1b113_V3_Buck_Converter_charger* realizzato in Mentor Graphics

Come si nota dal grafico all'interno del blocco si utilizza come interruttore un PMOS in configurazione high-side . Questo permette di evitare l'utilizzo di NMOS che in tale configurazione prevedono l'utilizzo di circuiti di pilotaggio più complicati (di tipo *bootstrap*).

Tuttavia l'utilizzo di transistori di tipo P sebbene abbiano circuiti di pilotaggio molto più semplice, presentano diversi problemi tra cui: una velocità di commutazione inferiore e una resistenza R_{on} più grande.

Si è resa necessaria quindi un'accurata ricerca sul mercato al fine di trovare un dispositivo di tale categoria che potesse influenzare in maniera trascurabile le prestazioni del circuito, soddisfacendo le specifiche richieste.

Nello schema elettrico è anche incluso il driver che permette di fornire segnali adeguati al pilotaggio del MOS, in funzione del segnale proveniente dal comparatore *LTC6752HS* ,che compara il segnale triangolare in uscita dal blocco *Bk1B113_V3_Triwave_Gen* (che vedremo nel dettaglio nel prossimo paragrafo) e il segnale d'errore in uscita dal blocco *Bk_1B113_V3_Comparator* .

Il condensatore in ingresso è stato dimensionato tenendo conto dei fenomeni di inrush current che si presentano all' accensione del dispositivo tramite opportuni *Load Switch* (descritti in seguito).

Si è cercato di utilizzare valori che riducessero il più possibile lo stress sulla batteria ed evitando correnti di scarica della stessa tali da poterla danneggiare.

Oltre che per il PMOS anche per la scelta diodo sono state fatte considerazioni riguardanti l'efficienza del convertitore da realizzare. Scegliendo in fine le soluzioni che riducessero al minimo la potenza dissipata.

Questo è stato fatto, attraverso la valutazione del caso di corrente massima di carica e quindi anche di massima corrente in ingresso dal convertitore (tensione sul *PDB* pari a 15.5V)

Per il MOS si valutano le perdite di conduzione, le perdite sul gate e quelle di commutazione :

- Perdite di conduzione

$$P_{\text{cond}} = I_{\text{RMS}}^2 * R_{\text{dson}} \quad (6.14)$$

$$\text{Con: } I_{\text{RMS}} = \frac{I_{\text{Lmax}} + I_{\text{Lmin}}}{2} \sqrt{\frac{T_{\text{on}}}{T}} \quad (6.15)$$

Dal datasheet[15] si osserva una $R_{\text{dson}} = 0.018\Omega$ e attraverso simulazioni si ottengono i valori di I_{Lmax} e I_{Lmin} . Ottenendo così una $P_{\text{cond}} = 11.19 \text{ mW}$

- Perdita sul gate

$$P_{\text{gate}} = Q_{\text{gs}} * V_{\text{gs}} * f = 31.84 \text{ mW} \quad (6.16)$$

Con il massimo valore di $Q_{\text{gsmax}} = 11 \text{ nC}$ (da datasheet).

- Perdite di commutazione

$$P_{\text{sw}} = K * (T_{\text{rise}} + T_{\text{fall}}) * V_{\text{ds}} * I_{\text{ds}} * f = 588.6 \text{ mW} \quad (6.17)$$

Per il diodo si ha invece :

$$P_{\text{d}} = V_{\text{f}} * I_{\text{ave}} = 367.5 \text{ mW} \quad (6.18)$$

Con $V_{\text{f}} = 0.35 \text{ V}$ [12].

Si sono inoltre considerate le perdite sulla resistenza serie parassita sull'induttore :

$$P_{\text{L}} = I_{\text{RMS}}^2 * R_{\text{ser}} = 354 \text{ mW} \quad (6.19)$$

Mentre l'utilizzo di condensatori ceramici ha reso trascurabili le perdite sui loro elementi parassiti , poiché presentano resistenze molto basse.

Pertanto si ha una $P_{\text{diss totale}} = P_{\text{con}} + P_{\text{gate}} + P_{\text{sw}} + P_{\text{L}} + P_{\text{d}} = 1.35 \text{ W}$. (6.20)

Considerato che questi valori sono stati ottenuti attraverso la condizione di tensione sul bus di potenza pari a 15.5V , il che significa avere una corrente massima in uscita idealmente pari a 0.774A (come illustrato meglio dopo), possiamo calcolare l'efficienza del nostro convertitore essendo :

$$P_o = V_o * I_o \quad (6.21)$$

$$\text{ed } \eta = \frac{P_o}{P_o + P_{\text{diss}}} = 0.9 \quad (6.22)$$

Quindi l'efficienza del convertitore è pari al 90%. Essa è inferiore rispetto a quella ottenuta per il convertitore utilizzato nel blocco *Bk1B118_Battery_Discharger_V2*.

Tuttavia questo valore ridotto, probabilmente dovuta all'utilizzo di un interruttore di tipo PMOS, permette comunque di ottenere un' elevata efficienza e non è quindi considerabile un problema.

6.2.1.2 Spice Netlist del Bk1B113_V3_Buck_Converter_charger e lista dei component utilizzati

Si riporta di seguito il listato Spice del blocco *Bk1B113_V3_Boost_Converter_charger* :

```
*Definition For Project Bk1B113_U3_Buck_Converter_charger
.SUBCKT Bk1B113_U3_Buck_Converter_charger VAL GATE OUT DGND IN
XX13 N1N9 N1N71 IN IRF7324
XX14 GATE EN DGND N1N71 N1N71 VAL UCC27531
LL1 OUT N1N9 {MC( 68.0000000 , 20/100)} RSER=105.0000000
CC10 IN DGND {MC( 10.0000000 , 10.000000 /100)} TC=10.0000000
XX12 DGND N1N9 SL43
CC11 OUT DGND {MC( 10.0000000 , 10.000000 /100)} TC=10.0000000
CC12 VAL DGND {MC( 1000.0000000 , 10.000000 /100)} TC=10.0000000
* CROSS-REFERENCE 0
.ENDS
```

Figura 6.16:Netlist Spice del blocco *Bk1B113_V3_Boost_Converter_charger*

Lista dei componenti utilizzati per la sua implementazione :

#	QTY	Part Number	PartLabel	PartName	Ref Designator	Value
1	1	DK_587-2400-1-ND	C_1u_0603_X55_50_10	C1u	C12	1u
2	2	DK_399-8224-1-ND	C_10u_1210_X7R_25V_5	C_10u	C10,C11	10u,10u
3	1	DK_296-35581-1-ND	DRV_UCC27531_50T23_6_1	DRV_UCC27531	X14	
4	1	DK_IRF7324PBFCT-ND	Q_IRF7324_508_P_9A_20V_double	IRF7324	X13	
5	1	DK_513-1053-1-ND	L_68u_12.5x12.5x8_2A44_105m_20	L68u	L1	68u
6	1	DK_SL43-E3/57TGICT-ND	D_SL43_SH_D0-214-AB_4_30	SL43-E3/57T	X12	

Figura 6.17:Lista dei componenti nel blocco *Bk1B113_V3_Boost_Converter_charger*

6.2.2 Bk1B113_V3_Compensator

Il blocco *Bk1B113_V3_Compensator*, permette mediante il confronto del segnale prodotto dalla rete *Bk1B113_V3_Feedback_Net* ed un segnale di riferimento all'interno del blocco stesso, di generare un segnale di errore in uscita. Il contenuto informativo di tale segnale consente di andare a pilotare correttamente, attraverso successive operazioni il convertitore switching utilizzato, ottenendo così le specifiche elettriche definite da progetto.

6.2.2.1 Progettazione del Bk1B113_V3_Compensator

Il convertitore utilizzato è un convertitore Buck in modalità *CCM*, la cui funzione di trasferimento è la seguente[10] :

$$\frac{\widehat{V}_o}{\widehat{d}} = \frac{V_i}{V_{tri}} * \frac{1+s \text{ESR} * C_{out}}{s^2 LC_{out} + s \frac{L}{R_{out}} + 1} \quad (6.23)$$

Con :

$$\omega_p = \frac{1}{\sqrt{LC_{out}}} \quad \omega_{\text{ESR-Z}} = \frac{1}{\text{ESR} * C_{out}} \quad (6.24)$$

Dalla funzione di trasferimento si osserva la presenza di due poli complessi e coniugati e di uno zero a parte reale positiva, la cui presenza è dovuta alla resistenza parassita del condensatore di uscita, come possiamo vedere meglio dal seguente grafico :

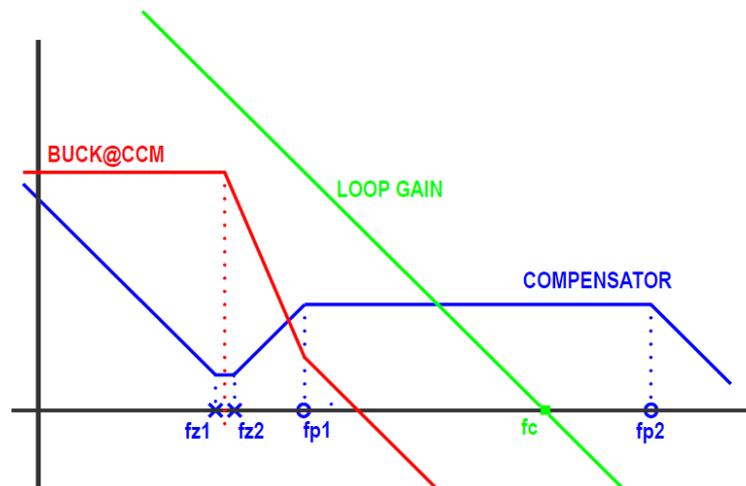


Figura 6.18: Andamento in frequenza del sistema e compensazione desiderata

Inoltre la tensione V_{tri} , rappresenta l'ampiezza massima dell'onda triangolare generata dal *Bk1B113_V3_Triwave_Gen*, mentre V_i è la tensione in ingresso al convertitore.

Volendo realizzare il controllo del sistema ad anello chiuso, si cerca di ottenere una funzione di trasferimento del sistema retrainzionato simile a quella di un integratore (curva in vedere) essenzialmente per i due motivi (già definiti per il *Bk1B118_V2_Compensator*):

- elevato guadagno alle basse frequenze, che permette di ridurre l'errore in DC.
- Margine di fase del sistema di circa 90° , questo non sarebbe molto buono poiché un margine di tale tipo significherebbe una risposta dinamica abbastanza lenta.

Tuttavia considerando la non idealità dei componenti si otterrà un margine di fase di circa 50° (che rappresenta un ottimo margine)

Per ottenere un guadagno di anello di questo tipo, dobbiamo progettare un opportuno circuito compensatore con caratteristica simile a quella rappresentata in blu.

Per far ciò si utilizza un compensatore di tipo 3 (PID), il cui dovrebbe fornire un polo nell'origine, così da avere la pendenza a -20dB/dec , e poi avere due zeri in corrispondenza della frequenza di poli c.c. del convertitore. Tuttavia se andassimo a introdurre zeri complessi e coniugati, essendo il guadagno della f.d.t del buck dipendente da V_{in} , una variazione di quest'ultima (riduzione) porterebbe ad un'intersezione del guadagno stesso con l'asse delle ascisse prima dei poli, facendo diventare instabile il sistema. Per evitare ciò si utilizzano due zeri reali, uno messo prima del polo e il secondo messo in prossimità di quest'ultimo. Questo perché la fase di uno zero è pari a 90° , ma la sua variazione inizia la decade prima della frequenza in cui si trova la singolarità. In questo modo si evita una variazione troppo ripida della fase (-180°) causata dai due poli c.c. (che dipende dal *damping factor*), poiché il primo zero può compensare la maggior parte della fase prima che essa vari e il secondo zero aiuterà il primo successivamente (avendo quindi meno lavoro ed evitando una possibile situazione di marginale stabilità).

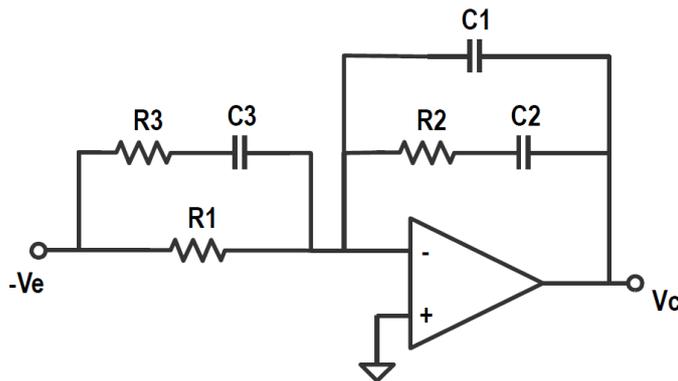


Figura 6.19: Compensatore di tipo 3 (controllore PID)

Essendo che usiamo condensatori ceramici, non abbiamo l' *ESR*, tuttavia per migliorare la stabilità del circuito e ridurre il rumore introdotto a frequenze superiori a $f_{sw}/2$ si usa un compensatore con un doppio polo di chiusura. Ponendone uno ad una frequenza pari a $f_{sw}/2$ e un altro alla frequenza di 10 KHz. Inoltre al fine di soddisfare il criterio di Nyquist consideriamo una frequenza di crossover f_c inferiore ad almeno la metà di f_{sw} ed in particolare prendiamo $f_c = f_{sw}/8 = 25\text{KHz}$. Poniamo inoltre la f_{z1} del primo zero del compensatore pari alla metà della frequenza dei poli complessi e coniugati del convertitore Boost (il cui valore è determinato da un dimensionamento precedente del buck che sarà illustrato nel successivo paragrafo) e uguagliamo a quest'ultima la frequenza f_{z2} del secondo zero. Avendo le seguenti equazioni (oltre a quelle già descritte):

$$A_0 = \frac{V_{in}}{V_{tri}}, \quad A_1 = \frac{f_c}{f_p * A_0}, \quad A_2 = \frac{A_1 * f_z}{f_p} \quad (6.25)$$

Le relazioni di progettazione del compensatore sono:

$$f_{z1} = \frac{1}{2\pi R_2 C_2} \quad (6.26)$$

$$f_{z2} = \frac{1}{2\pi R_1 C_3} \quad (6.27)$$

$$f_{p1} = \frac{1}{2\pi R_3 C_3} \quad (6.28)$$

$$f_{p2} = \frac{1}{2\pi R_2 C_1} \quad (6.29)$$

$$A_1 = \frac{R_2}{R_1} \quad (6.30)$$

$$A_2 = \frac{R_2}{R_1 // R_3} \quad (6.31)$$

Come possiamo notare abbiamo un sistema di cinque equazioni e sei incognite. Fissiamo il valore di C_1 pari ad 100 pF, e di conseguenza calcoliamo il resto delle variabili ottenendo:

$$R_2 \approx 16K\Omega \quad R_1 \approx 27K\Omega \quad C_2 \approx 3.3nF \quad R_3 \approx 16.9K\Omega \quad C_3 \approx 1nF$$

Si ottiene quindi il blocco *Bk1B113_V3_Compensator* in Figura 6.20:

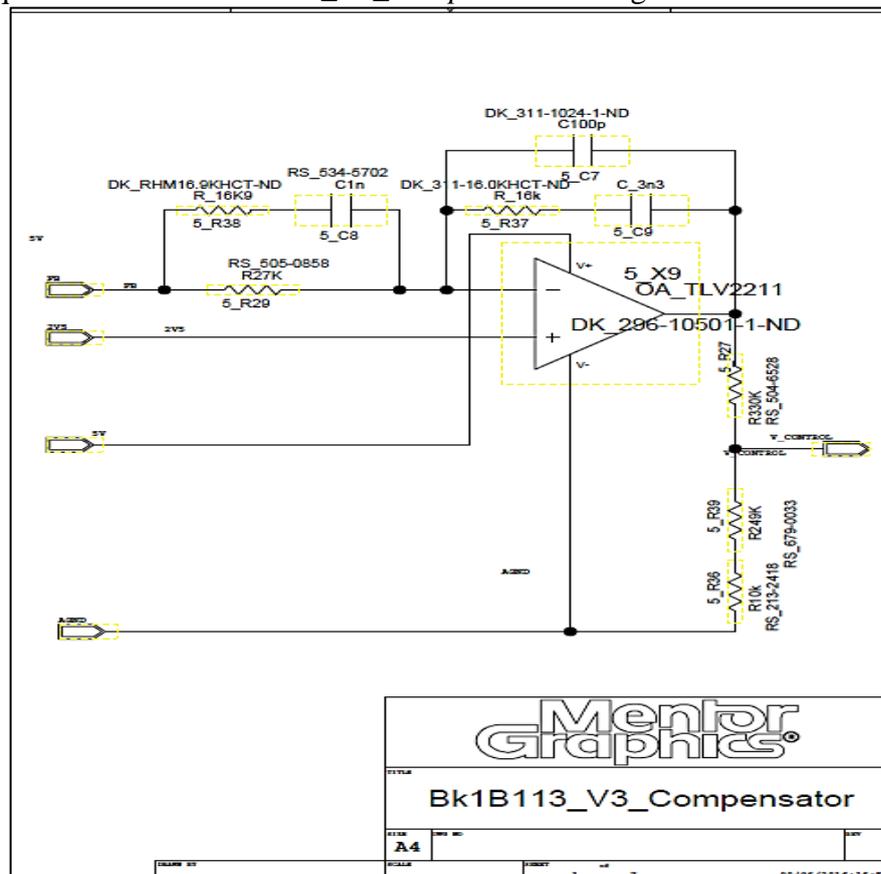


Figura 6.20: Schema elettrico del blocco *Bk1B113_V3_Compensator*

6.2.2.2 Spice Netlist e componenti del Bk1B113_V3_Compensator

Si riporta di seguito la netlist del blocco *Bk1B113_V3_Compensator* (Figura 6.21):

```
*Definition For Project Bk1B113_V3_Compensator
.SUBCKT Bk1B113_V3_Compensator N2V5 AGND N5U FB U_CONTROL
RR29 FB N1N10 {MC( 27Kohms , 1000.000000M /100)} TC=100.000000U
XX9 N2V5 N1N10 N5U AGND N1N12 TLV2211
CC7 N1N10 N1N12 {MC( 100pF , 5.000000 /100)} TC=10.000000U
RR36 N1N16 AGND {MC( 10Kohms , 1000.000000M /100)} TC=100.000000U
RR37 N1N10 N1N11 {MC( 16.000000K , 1000.000000M /100)} TC=100.000000U
RR38 FB N1N9 {MC( 16.9Kohms , 1000.000000M /100)} TC=100.000000U
CC8 N1N9 N1N10 {MC( 1000.000000P , 10.000000 /100)} TC=10.000000U
RR27 N1N12 U_CONTROL {MC( 330Kohms , 1000.000000M /100)} TC=100.000000U
RR39 U_CONTROL N1N16 {MC( 249Kohms , 1000.000000M /100)} TC=100.000000U
CC9 N1N11 N1N12 {MC( 3.300000N , 10.000000 /100)} TC=10.000000U
* CROSS-REFERENCE 2
* 5U=N5U
* 2V5=N2V5
.ENDS
```

Figura 6.21: Spice Netlist del blocco *Bk1B113_Compensator*

E la lista dei componenti utilizzati nella sua realizzazione :

#	QTY	Part Number	PartLabel	PartName	Ref Designator	Value
1	1	RS_534-5702	C_1n_0603_X7R_50V_10	C1n	C8	1n
2	1	DK_311-1024-1-ND	C_100p_0402	C100p	C7	100pF
3	1	XX	C_3n3_1206	C_3n3	C9	3.3N
4	1	DK_296-10501-1-ND	OA_TLV2211IDBVR_SOT23_2V7_10V	OA_TLV2211	X9	
5	1	RS_213-2418	R_10K_0603_100_1	R10k	R36	10Kohms
6	1	RS_505-0858	R_27K_0603_100_1	R27K	R29	27Kohms
7	1	RS_679-0033	R_249K_0603_100_1	R249K	R39	249Kohms
8	1	RS_504-6528	R_330K_0603_100_1	R330K	R27	330Kohms
9	1	DK_311-16.0KHCT-ND	R_16k_0603_100_1	R_16k	R37	16k
10	1	DK_RHM16.9KHCT-ND	R_16k9_0603_100_1	R_16K9	R38	16.9Kohms

Figura 6.22: Lista dei componenti utilizzati per il *Bk1B113_Compensator*

6.2.3 Bk1B113_V3_Triwave_Gen

Il blocco *Bk1B113_V3_Triwave_Gen* è un generatore di forma d'onda triangolare, il cui segnale di uscita viene confrontato dal comparatore *LTC6752HS*, con il segnale di errore (o di controllo) proveniente dal blocco *Bk1B113_V3_Compensator*.

Se il segnale triangolare risulta essere maggiore del segnale di errore, l'uscita del comparatore assumerà un livello di tensione basso. Tale uscita collegata all'ingresso del driver di pilotaggio del transistore MOS di tipo P all'interno del convertitore Buck, fa sì che il PMOS abbia al gate (attraverso il driver) una tensione bassa e pertanto viene portato alla conduzione.

Nel caso in cui invece il segnale triangolare sia inferiore a quello di controllo l'uscita al comparatore risulta essere a livello alto portando il driver a interdire il transistore.

6.2.3.1 Progettazione del Bk1B113_V3_Triwave_Gen

Per realizzare il generatore di forma d'onda triangolare si è utilizzato un multivibratore astabile (o oscillatore a rilassamento)[16], così fatto:

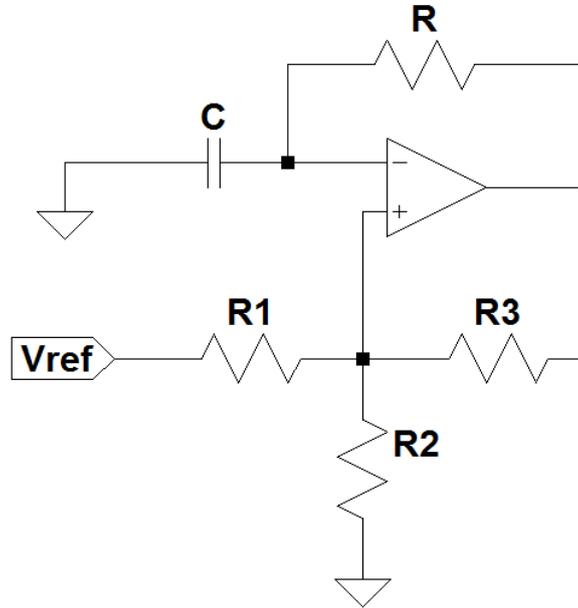


Figura 6.23:Schema elettrico dell'oscillatore a rilassamento

Questo circuito permette di ottenere in uscita un forma d'onda senza che vi sia alcun segnale in ingresso. Infatti è sufficiente applicare una tensione di alimentazione all'operazionale, affinché il circuito inizi ad oscillare (tra due stati).

In realtà questo circuito (che forma un Trigger di Schmitt invertente) viene spesso utilizzato per generare forme d'onda quadre. Tuttavia come possiamo vedere dalle curve in Figura 6.24, oltre all'uscita all'operazionale che è un onda quadra si ha una tensione ai capi del condensatori che assume un andamento simile a quello di un onda triangolare.

Ed è proprio tale segnale che costituirà l'uscita del blocco *Bk1B113_V3_Triwave_Gen* realizzato.

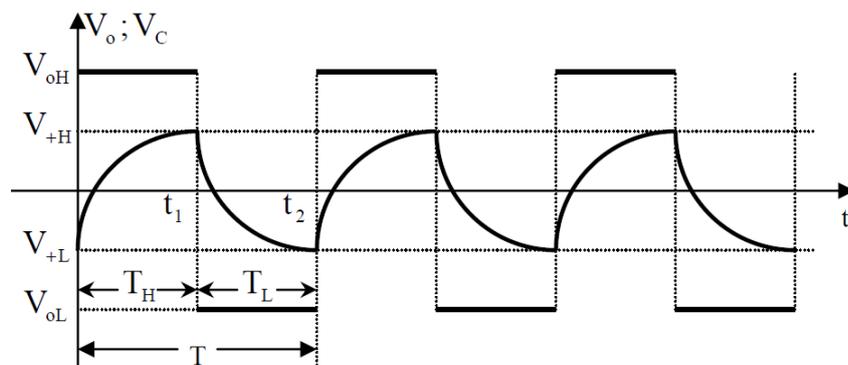


Figura 6.24: Andamento delle forme d'onda di un multivibratore astabile

Non avendo a disposizione un'alimentazione duale si è reso necessario l'utilizzo di un certa tensione di riferimento in modo da avere come livello basso un valore prossimo ai 0V (e non negativo).

All'accensione il condensatore risulterà inizialmente scarico e V_o è forzata a livello alto (a causa della reazione positiva), provocando la carica del condensatore stesso verso la tensione di alimentazione per mezzo del resistore R, con una costante di tempo $\tau=RC$. Quando la tensione V_c raggiunge la tensione di soglia alta V_{+H} , l'uscita dell'operazione andrà a zero con conseguente scarica del condensatore attraverso il ground.

Così facendo l'oscillazione diventa periodica con un duty cycle $D= T_H / (T_H+T_L)$ e una frequenza $f_0 = 1/(T_H+T_L)$.

Attraverso alcuni calcoli possiamo ottenere l'equazione esplicitata delle frequenza f_0 :

$$f_0 = \frac{1}{RC \ln\left(\frac{V_{+H} * V_{CC} - V_{+L}}{V_{+L} * V_{CC} - V_{+H}}\right)} \quad (6.32)$$

Dove le tensioni di soglia V_{+H} (superiore) e V_{+L} (inferiore) sono calcolate tramite le seguenti equazioni:

$$V_{+L} = V_{ref} * \frac{R_2 // R_3}{(R_2 // R_3) + R_1} \quad (6.33)$$

$$V_{+H} = V_{ref} * \frac{R_2 // R_3}{(R_2 // R_3) + R_1} + V_{OH} * \frac{R_2}{R_2 + R_3} \quad (6.34)$$

In cui scelto il valore della tensione di riferimento a 3.3V e posto $V_{+H}=2.2V$ e $V_{+L}=0.18V$ si ottengono per i vari resistori i seguenti valori:

$$\begin{cases} R_1 = 220K\Omega \\ R_2 = 30.9K\Omega \\ R_3 = 18K\Omega \end{cases}$$

Inoltre per ottenere i valori dei componenti R e C si utilizza la (6.32), in cui sostituendo otteniamo un valore di $\tau=RC = 1.45\mu s$.

Fissato il valore di uno dei due componenti si ottiene l'altro, abbiamo quindi:

$$C = 1nF \quad R = 1.5K\Omega$$

Riepiloghiamo i parametri principali relativi al blocco descritto utilizzando una alimentazione pari a 3.3V:

$$Out_{MIN} = 0.18V \quad Out_{MAX} = 2.2V \quad f_0 = 200kHz$$

Lo schema circuitale implementato su *Mentor Graphics* viene mostrato di seguito:

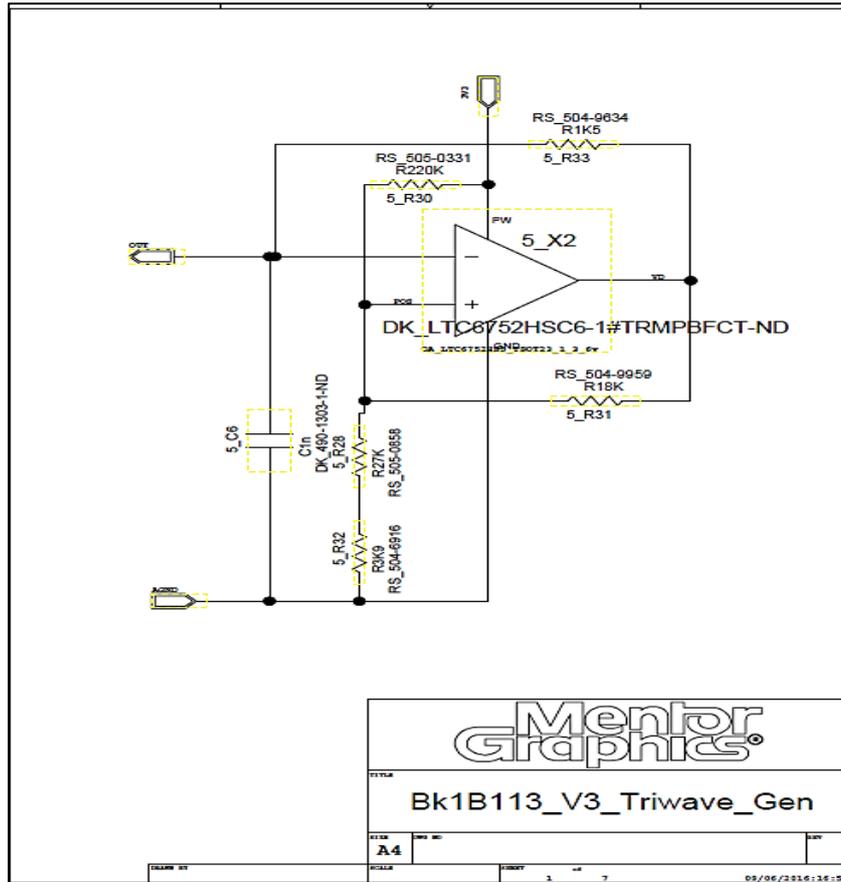


Figura 6.25: Schema circuitale del *Bk1B113_V3_Triwave_Gen*

Si è eseguito un test (*TEST_ Bk1B113_V3_Triwave_Gen*) sul seguente blocco per osservare il segnale di uscita prodotto, il cui esito è mostrato di seguito:

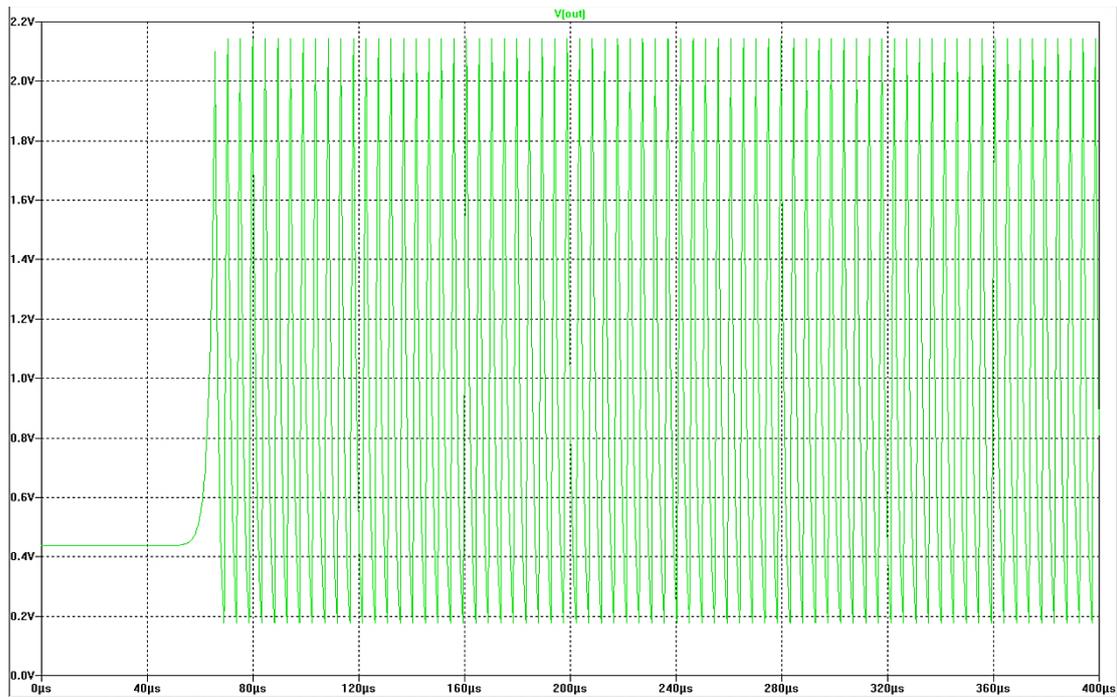


Figura 6.26: Andamento del segnale in uscita al blocco *Bk1B113_V3_Triwave_Gen*

Come si osserva dal grafico il valore massimo e minimo del segnale a forma d'onda triangolare vengono rispettati, così come la frequenza impostata.

6.2.3.2 SpiceNetlist del Bk1B113_V3_Triwave_Gen e componenti utilizzati

Si riporta di seguito la netlist relativa al blocco *Bk1B113_V3_Triwave_Gen*:

```
*Definition For Project Bk1B113_V3_Triwave_Gen
.SUBCKT Bk1B113_V3_Triwave_Gen N3V3 OUT AGND
CC6 OUT AGND {MC( 1000.000000P , 10.000000 /100)} TC=30.000000U
RR28 POS N1N52 {MC( 27Kohms , 1000.000000M /100)} TC=100.000000U
RR30 POS N3V3 {MC( 220Kohms , 1000.000000M /100)} TC=100.000000U
RR31 POS VD {MC( 18Kohms , 1000.000000M /100)} TC=100.000000U
RR32 N1N52 AGND {MC( 3.9Kohms , 1000.000000M /100)} TC=100.000000U
XX2 POS OUT N3V3 AGND VD LTC6752
RR33 OUT VD {MC( 1.5Kohms , 1000.000000M /100)} TC=100.000000U
* CROSS-REFERENCE 1
* 3V3=N3V3
.ENDS
```

Figura 6.27:Netlist Spice del blocco *Bk1B113_V3_Triwave_Gen*

E la lista dei componenti utilizzati:

#	QTY	Part Number	[PartLabel]	PartName	Ref Designator	Value
1	1	DK_490-1303-1-ND	C_1n_0402_x7R_50_10	CL1n	C6	1n
2	1	DK_LTC6752HSC6-1#TRMPBFCT-ND	OA_LTC6752H55_TSOT23_1_3_6v	OA_LTC6752H55	X2	
3	1	RS_504-9634	R_1K5_0603_100_1	R1K5	R33	1.5Kohms
4	1	RS_504-6916	R_3K9_0603_100_1	R3K9	R32	3.9Kohms
5	1	RS_504-9959	R_18K_0603_100_1	R18K	R31	18Kohms
6	1	RS_505-0858	R_27K_0603_100_1	R27K	R28	27Kohms
7	1	RS_505-0331	R_220K_0603_100_1	R220K	R30	220Kohms

Figura 6.28:Lista dei componenti utilizzati per il *Bk1B113_V3_Triwave_Gen*

6.3 Bk1B121I_Load_Switch_Delayed/Bk1B121G_Load_Switch_Shunt

Gli ultimi due blocchi che fanno parte del sistema *Bk1B113_Battery_Charger_V3* totale, sono: il *Bk1B121G_Load_Switch_Shunt* e il *Bk1B121I_Load_Switch_Delayed*.

Infatti anche il seguente sistema così come il *Bk1B118_Battery_Discharger_V2* è caratterizzato dalla presenza di due load switch: uno collegato in ingresso al sistema (in questo caso lato *PDB*) e l'altro all'uscita (lato batteria).

Questi dispositivi permettono, qualora si renda necessario, di isolare il sistema considerato sia dalla batteria sia dal bus di potenza tramite opportuni comandi di enable inviati dal microprocessore.

In questo modo anche se sul *Power Distribution Bus* è presente un livello di tensione superiore ai 14.5V (e quindi a bordo del satellite è si ha energia in eccesso) si può evitare di caricare ulteriormente la batteria, quando essa risulti già carica carica, evitando di danneggiarla. Ed inoltre permette di ridurre l' assorbimento sul bus di potenza.

6.3.1 Progettazione del Bk1B121I_Load_Switch_Delayed

Esso è il load switch posto sul lato del *PDB*. Lo schema elettrico di questo circuito è il seguente :

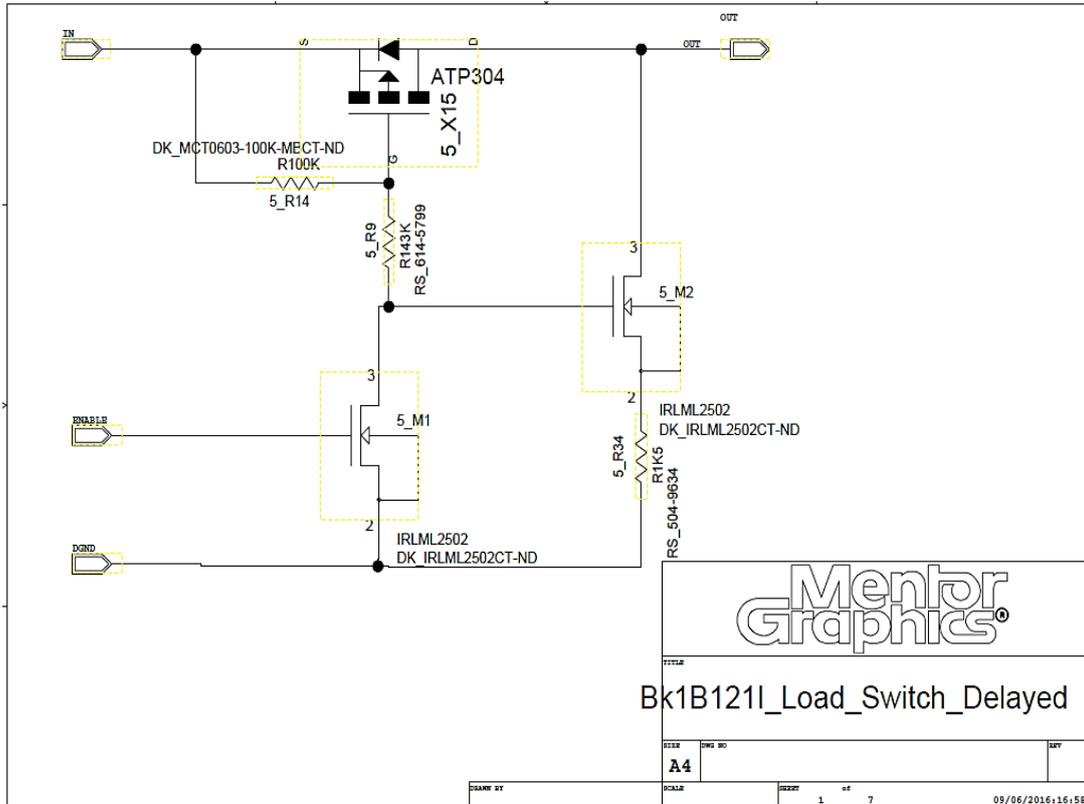


Figura 6.29:Schema elettrico del blocco *Bk1B121I_Load_Switch_Delayed*

Per quanto riguarda la descrizione di tale blocco si fa riferimento a quanto detto per i precedenti load switch utilizzati nel *Bk1B118_Battery_Discharger_V2*, in cui l'unica differenza sta nella scelta dei resistori utilizzati, poiché sia i livelli di tensione sul bus di potenza sia il valore della capacità del condensatore in ingresso al convertitore sono differenti. Pure in questo caso la scelta dei valori dei resistori è stata condizionata oltre che per un motivo strettamente legato ai tempi di accensione e spegnimento, anche per rispettare il vincolo definito da specifica. Ovvero che il circuito di carica *Bk1B113_Battery_Charger_V3* deve assorbire, quando è disconnesso dal bus, una corrente di leakage inferiore ai 100μA. Con il circuito così progettato e considerata una tensione massima sul *PDB* pari a 25V, avremo un assorbimento da parte del sistema che soddisfa tale richiesta. Si riportano di seguito i valori dei resistori utilizzati e le caratteristiche salienti del dispositivo:

$$5_R9 = 143\text{k}\Omega \quad 5_R14 = 100\text{k}\Omega \quad 5_R34 = 1.5\text{k}\Omega$$

Parameter	Min	Max
EN	1.2V	12V
IN	7V	20V
tdelayon	1.5ms	3.35ms
tdelayoff	1.75ms	11.35ms

Quando il circuito è disabilitato può essere sottoposto a tensioni di ingresso fino ai 60V.

6.3.2 Progettazione del Bk1B121G_Load_Switch_Shunt

Il *Bk1B121G_Load_Switch_Shunt* è invece il load switch posto sul lato delle celle costituenti la fonte di energia secondaria.

Il suo schema elettrico è mostrato di seguito:

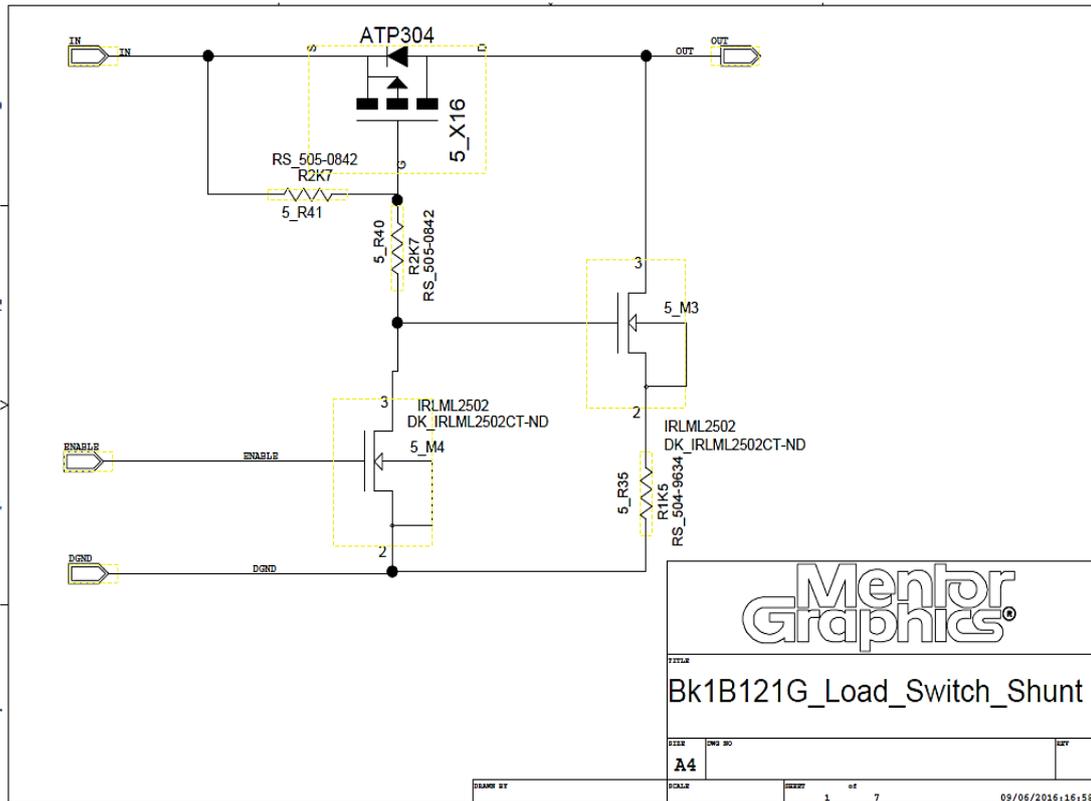


Figura 6.30: Schema elettrico del blocco *Bk1B121G_Load_Switch_Shunt*

Come è possibile notare dal grafico questo blocco presenta valori di resistori relativamente bassi, rispetto a quelli utilizzati per la realizzazione degli altri load switch. Infatti questo circuito ha solo il compito di scollegare il sistema dal banco batterie, senza ritardarne di molto i tempi di accensione e spegnimento.

Il motivo della scelta è dovuto a valori di tensione di batteria e di capacità del condensatore di uscita del convertitore tali da non apportare uno stress significativo alle celle utilizzate. Per quanto riguarda il principio di funzionamento del circuito, esso rimane lo stesso visto per i precedenti load switch.

Inoltre se consideriamo il sistema sempre scollegato (scarica della batteria dovuta alla corrente di leakage), la scelta di valori bassi per i resistori, considerando comunque la presenza della resistenza R_{off} del transistore sufficientemente alta, fa sì che la durata della batteria rimanga comunque molto superiore a quella di vita del satellite.

Si riportano di seguito i valori dei resistori utilizzati e le caratteristiche salienti del dispositivo:

$$5_R35 = 1.5k\Omega \quad 5_R40 = 2.7k\Omega \quad 5_R41 = 2.7k\Omega$$

Parameter	Min	Max
EN	1.2V	12V
IN	5V	20V
tdelayon	12.5us	400us
tdelayoff	45us	175us

Quando il circuito è disabilitato può essere sottoposto a tensioni di ingresso fino ai 60V.

6.3.3 Spice Netlist del Bk1B121I_Load_Switch_Delayed e del Bk1B121G_Load_Switch_Shunt e i relative component utilizzati

Si mostrano di seguito le relative netlist per i blocchi: *Bk1B121I_Load_Switch_Delayed* (Figura 6.31) e *Bk1B121G_Load_Switch_Shunt* (Figura 6.32):

```
*Definition For Project Bk1B121I_Load_Switch_Delayed
.SUBCKT Bk1B121I_Load_Switch_Delayed ENABLE DGND OUT IN
XM2 OUT N1N16 N1N11 ir1m12502
XM1 N1N16 ENABLE DGND ir1m12502
RR34 N1N11 DGND {MC( 1.5Kohms , 1000.000000M /100)} TC=100.000000U
XX15 OUT N1N14 IN atp304
RR9 N1N14 N1N16 {MC( 143Kohms , 100.000000M /100)} TC=50.000000U
RR14 IN N1N14 {MC( 100Kohms , 100.000000M /100)} TC=100.000000U
* CROSS-REFERENCE 0
.ENDS
```

Figura 6.31: Netlist Spice del blocco *Bk1B121I_Load_Switch_Delayed*

```
*Definition For Project Bk1B121G_Load_Switch_Shunt
.SUBCKT Bk1B121G_Load_Switch_Shunt ENABLE DGND OUT IN
RR40 N1N158 N1N8 {MC( 2.7Kohms , 1000.000000M /100)} TC=100.000000U
XM3 OUT N1N8 N1N9 ir1m12502
XM4 N1N8 Enable DGND ir1m12502
RR35 N1N9 DGND {MC( 1.5Kohms , 1000.000000M /100)} TC=100.000000U
XX16 OUT N1N158 IN atp304
RR41 IN N1N158 {MC( 2.7Kohms , 1000.000000M /100)} TC=100.000000U
* CROSS-REFERENCE 0
.ENDS
```

Figura 6.32: Netlist Spice del blocco *Bk1B121G_Load_Switch_Shunt*

E la lista dei componenti:

#	QTY	Part Number	PartLabel	PartName	Ref Designator	Value
1	1	DK_ATP304-TL-HOSCT-ND	Q_ATP304_ATPAK_PMOS_100A_60V	ATP304	X15	
2	2	DK_IRLML2502CT-ND	Q_IRLML2502_SOT23-3_MOS_N_4A2_20	IRLML2502	N1,N2	,
3	1	RS_504-9634	R_1K5_0603_100_1	R1K5	R34	1.5Kohms
4	1	DK_MCT0603-100K-WBCT-ND	R_100K_0603_125_0%1	R100K	R14	100Kohms
5	1	RS_614-5799	R_143K_0805_100_0%1	R143K	R9	143Kohms

Figura 6.33: Lista dei component per il *Bk1B121I_Load_Switch_Delayed*

#	QTY	Part Number	PartLabel	PartName	Ref Designator	Value
1	1	DK_ATP304-TL-HOSCT-ND	Q_ATP304_ATPAK_PMOS_100A_60V	ATP304	X16	
2	2	DK_IRLML2502CT-ND	Q_IRLML2502_SOT23-3_MOS_N_4A2_20	IRLML2502	M3, M4	
3	1	RS_504-9634	R_1K5_0603_100_1	R1K5	R35	1.5Kohms
4	2	RS_505-0842	R_2K7_0603_100_1	R2K7	R40, R41	2.7Kohms, 2.7Kohms

Figura 6.34: Lista dei component per il *Bk1B121G_Load_Switch_Shunt*

6.4 Sistema completo del Bk1B113_Battery_Charger_V3

Analizzati nel dettaglio i singoli blocchi costituenti il *Bk1B113_Battery_Charger_V3*, si studia il comportamento complessivo del sistema e l'interazione tra i vari sottoblocchi, che quindi sono :

- *Bk1B113_V3_Buck_Converter*
- *Bk1B121G_Load_Switch_Shunt e Bk1B121I_Load_Switch_Delayed*
- *Bk1B113_V3_Feedback_net*
- *Bk1B113_V3_Compensator*
- *Bk1B118_V2_Triangular_waveform*

La relazione tra tutti questi sottocircuiti è stata descritta in modo più chiaro attraverso l'utilizzo di un opportuno *Class Diagram* (Figura 6.35). All'interno dello stesso diagramma è inoltre possibile notare la presenza di altri dispositivi chiave all'interno del circuito, che invece non sono stati inglobati all'interno di altri blocchi. Essi sono :

- *LTC6752HS5_Comparator*, questo circuito compara il segnale di controllo proveniente dal blocco *Bk1B113_V3_Compensator* e il segnale triangolare in uscita dal *Bk1B113_V2_Triwave_Gen*, andando a generare un segnale *pwm* in ingresso al *Bk1B113_V3_Buck_Converter_charger*
- *LT1790-2V5_Reference*, genera la tensione di riferimento a 2.5V utilizzato dal compensatore *Bk1b118_V2_Compensator* per valutare la tensione di feedback.
- *LM1117_Voltage_Regulator*, permette di regolare i livelli di tensione provenienti dalla batteria ad un valore di 3.3V compatibile con le dinamiche di molti dei dispositivi utilizzati
- *TPS76150_5V_Regulator*, permette di regolare i livelli di tensione provenienti dalla batteria ad un valore di 5V, compatibile con le dinamiche di molti dei dispositivi utilizzati

Si riporta di seguito lo schema circuitale del *Bk1B113_Battery_Charger_V3*:

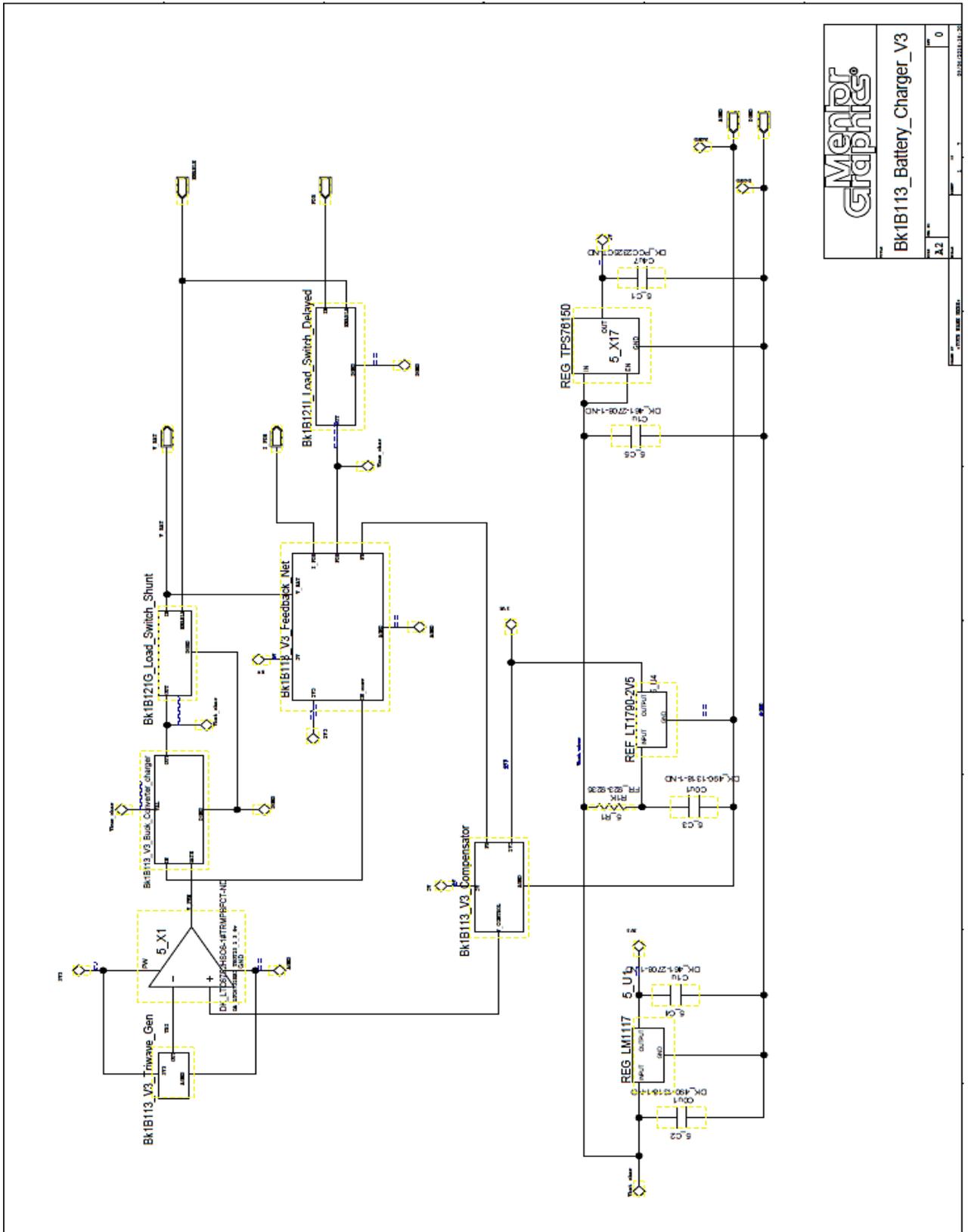


Figura 6.36: Schema elettrico del sistema *Bk1B113_Battery_Charger_V3*

Mentor
Graphics®

Bk1B113_Battery_Charger_V3

REV: 1.2

0

Esso può essere visto come un *reusable block* avente i seguenti pin di I/O:

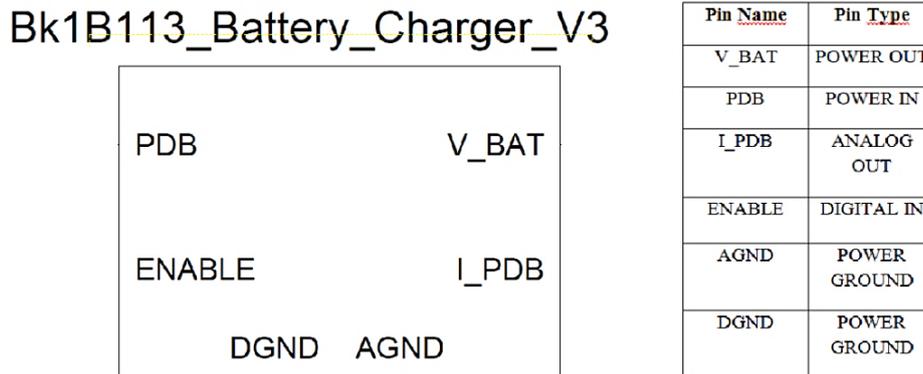


Figura 6.37: Reusable Block *Bk1B113_Battery_Charger_V3* e tabella dei pin

Dal grafico sono più chiare le relazioni tra i vari circuiti che caratterizzano l'intero sistema, il cui funzionamento è illustrato nel dettaglio attraverso le seguenti simulazioni.

6.4.1 Simulazioni del sistema *Bk1B113_Battery_Charger_V3*

Per verificare la corretta funzionalità del sistema di carica delle celle a polimeri di litio *Li-Po*, sono state eseguite un numero elevato di simulazioni, attive a dare riscontri significativi e monitorare tutte quelle condizioni critiche che potessero portare a malfunzionamenti della circuiteria elettronica applicata.

Il primo test effettuato è il *TEST1_Bk1B113_Battery_Charger_V3*, il cui obiettivo è quello di ottenere una caratteristica I-V che caratterizza l'attività del *Bk1B113_Battery_Charger_V3* sul *Power Distribution Bus*, analoga a quella mostrata più volte nei precedenti capitoli. Il seguente test prevede di simulare il bus di potenza con un generatore di tensione che vari nel tempo tra i 14.5V e 15.5V e una sua resistenza serie pari ad 5Ω, mentre le celle di batterie in serie sono state implementate attraverso un generatore di tensione pari a 7.4V con resistenza serie R_s pari a 100mΩ come possiamo vedere dalla seguente figura :

```
.tran 10u 175m 0 10u
VAGND AGND 0 DC 0
VDGND DGND 0 DC 0
**VEN ENABLE 0
VEN ENABLE 0 PULSE (0 3.3 200u 10n)
**VUBUS Xth_VBUS 0
VUBUS Xth_VBUS 0 PULSE (13.5 21 10m 150m)
Rth_VBUS Xth_VBUS PDB 5
Cbattery V_BAT 0 100 IC=6 Rser=100m
```

Figura 6.38: Segnali utilizzati per il *TEST1_Bk1B113_Battery_Charger_V3*

Il risultato ottenuto è mostrato di seguito:

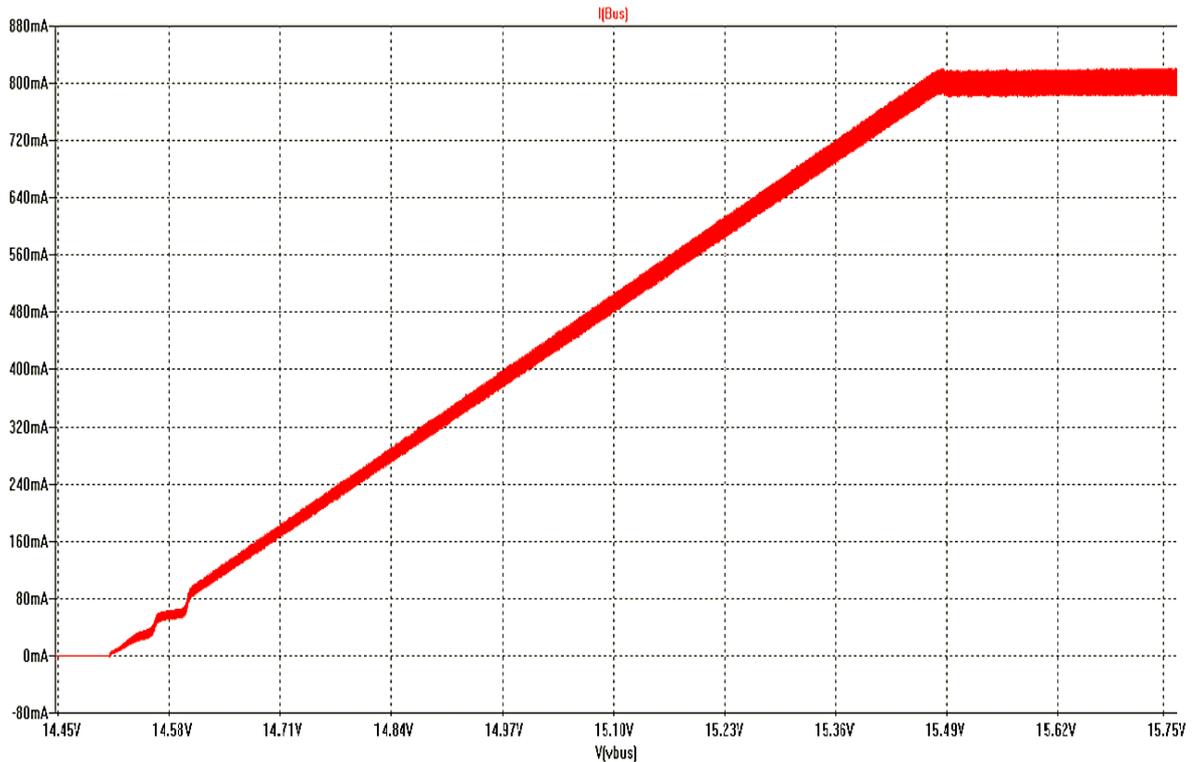


Figura 6.39: Grafico della caratteristica I-V sul bus relativa al *TEST1_Bk1B113_Battery_Charger_V3*

Come è possibile notare dal grafico, i risultati ottenuti sono perfettamente compatibili con le specifiche richieste dal progetto *AraMis*, ovvero per tensioni inferiori ai 14.5V si hanno correnti nulle mentre per tensioni superiori ai 15.5V si hanno valori di corrente massimi e pari a circa 0.78A.

Avendo ottenuto i risultati della caratteristica statica desiderati, si è proceduto andando a studiare il comportamento dinamico del sistema.

Ovvero si è analizzato i suoi tempi di risposta a fronte di variazioni di tensioni improvvise sul *PDB*.

Per simulare questa condizione si è utilizzato un generatore di corrente in parallelo al bus di potenza che assorbe inizialmente 600mA e in corrispondenza dell'istante di tempo pari ad 2.5ms si ha un gradino che porta l'assorbimento di corrente ad un valore pari a zero. Il *PDB* invece è simulato mediante un generatore di tensione di 20V e una resistenza serie di 5Ω, come si può osservare in figura:

```
.tran 10u 160m 0 1u
C100 V_BAT 0 1 IC=6 Rser=100m
UAGND AGND 0 DC 0
UDGND DGND 0 DC 0
**UPDB Xth_PDB 0 DC 15.5
UPDB Xth_PDB 0 DC 20
Rth_PDB Xth_PDB PDB 5
I1 PDB 0 pulse (0.6 0 2.5m 10n)
**UEN ENABLE 0 DC 3.3
UEN ENABLE 0 DC 3.3 PULSE (0 3.3 200u 10n 10n 1k 2000k )
```

Figura 6.40: Segnali utilizzati per il *TEST2_Bk1B113_Battery_Charger_V3*

Il risultato di questa simulazione è il seguente (dove $I(I1)$ è la corrente che simula il carico collegato al bus di potenza, I_x la corrente entrante al *battery charger* e $I(Vbus)$ è la corrente di bus) :

TEST2_Bk1B113_Battery_Charger_V3

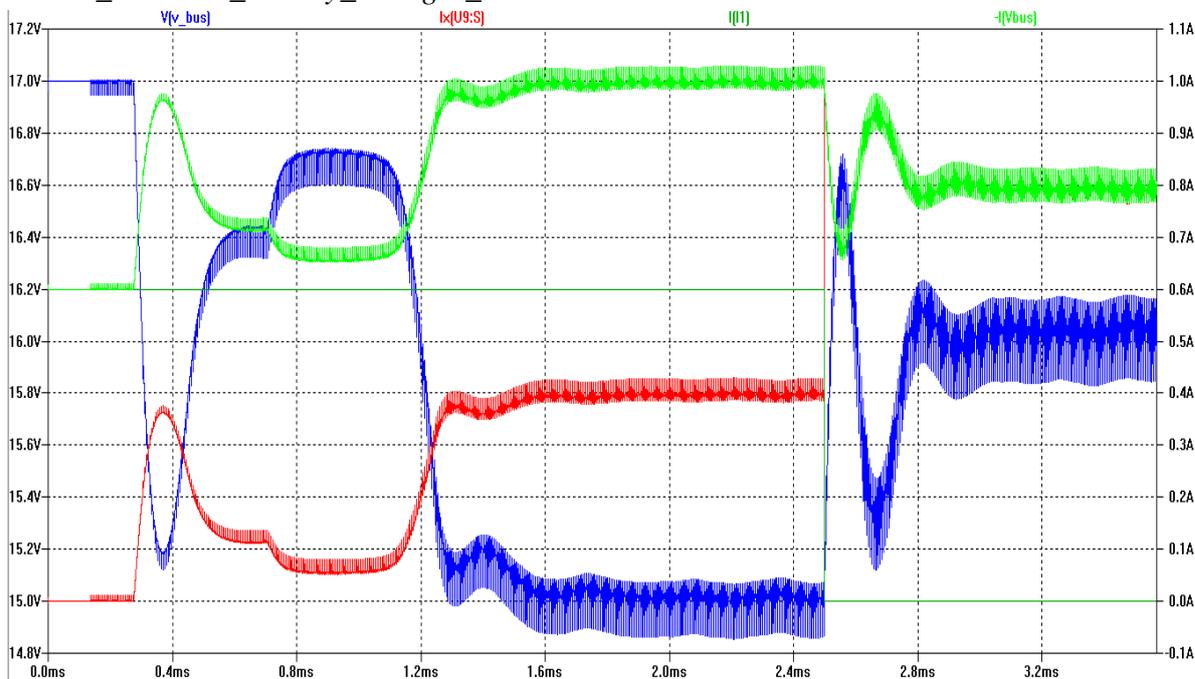


Figura 6.41: Grafico relativo al comportamento dinamico del sistema simulato nel TEST2_Bk1B113_Battery_Charger_V3

Come si può notare dal grafico, dopo un transitorio iniziale in cui il circuito entra in funzione, si presenta sul bus di potenza una tensione pari a 15V e una conseguente corrente assorbita dal *IB113_Battery_Charger_V3* pari a circa 0.4A (in accordo con le specifiche *AraMis* date). Successivamente il gradino di corrente va a zero, così facendo la tensione sul bus di distribuzione sale fino ai 16V e la corrente assorbita dal dispositivo dopo solo una decina di microsecondi si stabilizza ad un valore pari circa a 0.8A (come da specifica). Si può quindi attestare come i tempi di risposta del sistema siano talmente veloci da non influenzare il comportamento dello stesso. Tuttavia la situazione appena illustrata permette di validare il comportamento del sistema di carica sono nel tratto superiore della caratteristica. Andiamo a valutare adesso come si comporta il blocco circuitale in corrispondenza di un passaggio dalla zona lineare della caratteristica a quella piatta che si presenta per tensioni al di sotto dei 14.5V. Per far ciò si esegue il TEST3_Bk1B113_Battery_Charger_V3:

```
.tran 10u 160m 0 1u
C100 U_BAT 0 1 IC=6 Rser=100m
VAGND AGND 0 DC 0
UDGND DGND 0 DC 0
**UPDB Xth_PDB 0 DC 15.5
UPDB Xth_PDB 0 DC 20
Rth_PDB Xth_PDB PDB 5
I1 PDB 0 pulse (0.4 1.2 2.5m 10n)
**UVEN ENABLE 0 DC 3.3
UVEN ENABLE 0 DC 3.3 PULSE (0 3.3 200u 10n 10n 1k 2000k )
```

Figura 6.42: Segnali utilizzati per il TEST3_Bk1B113_Battery_Charger_V3

In cui la variazione del carico collegato sul *PDB* è stata implementata questa volta, mediante un generatore di corrente pari a 400mA che subisce una variazione a gradino in corrispondenza dell'istante 2.5ms fino a raggiungere il valore di 1.2A.

I risultati ottenuti sono :

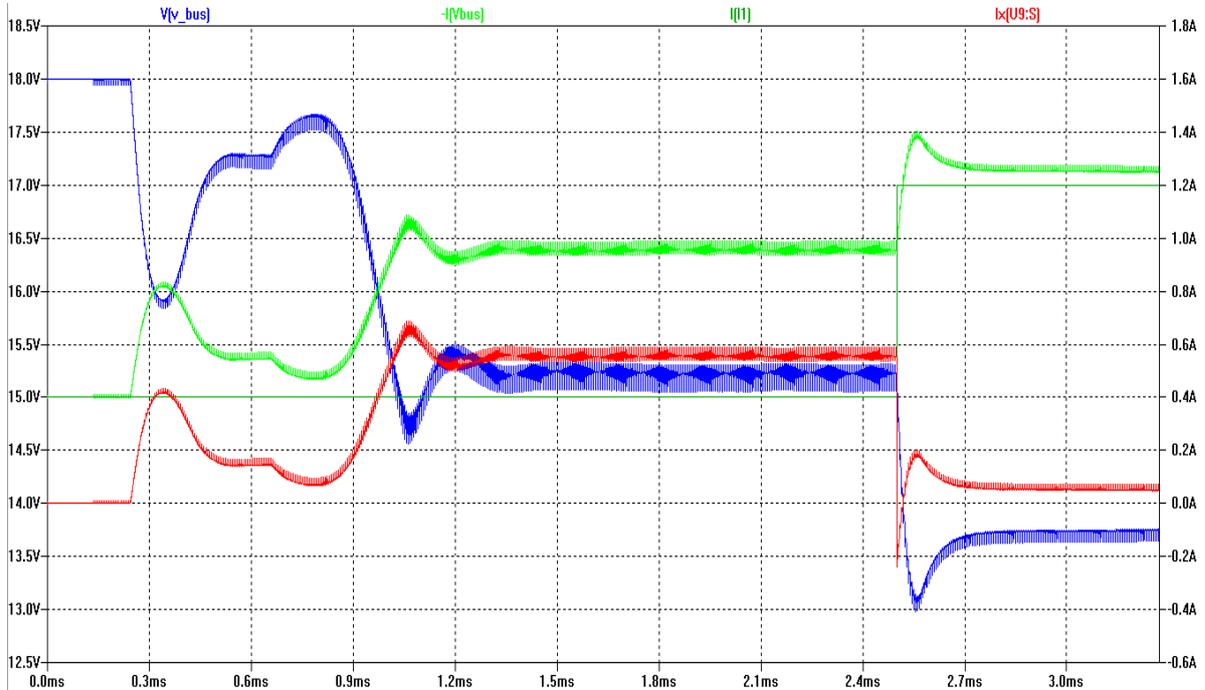


Figura 6.43: Grafico relativo al comportamento dinamico del sistema simulato nel *TEST3_Bk1B113_Battery_Charger_V3*

Si può notare che dopo il classico transitorio iniziale si presenta sul bus una tensione del valore di 15.25V, con conseguente assorbimento di corrente da parte del circuito di carica di circa 0.56A. All'istante 2.5ms il generatore di corrente $I(I1)$ subisce un ripido aumento che lo porta ad assorbire una corrente di 1.2A e ne consegue una variazione della tensione di bus che giunge a 13.75V. Anche in questo caso la corrente assorbita dal blocco di carica delle batterie si assesta al valore voluto in tempi brevissimi, rendendo trascurabili i tempi di risposta del sistema.

Una volta verificato che il sistema si comporti bene sia da un punto di vista statico sia dinamico, andando a soddisfare le specifiche *AraMis* richieste, si è osservato se il metodo di carica scelto è correttamente implementato dalla rete di generazione di feedback progettata (terza curva con tensione di carica di batteria massima). Infatti a differenza delle precedenti analisi non si considererà più la batteria come un generatore di tensione ma bensì come un condensatore, la cui capacità per problemi simulativi (legati sia ai tempi di simulazione sia alle risorse richieste in termini di memoria) assumerà valore non comparabili con quelli realmente presentati dalle celle *Li-Po* selezionate.

Un primo test (*TEST4_Bk1B113_Battery_Charger_V3*) è stato eseguito considerando un condensatore di capacità 0.3F, già carico ad una tensione pari a 6V (minima ammessa per le due celle in serie) e una tensione sul bus di potenza pari a 15.5V. In questo modo il condensatore si caricherà con una corrente di batteria massima teoricamente a 2A.

```

.tran 10u 2 0 1u
C_battery vbattery 0 0.3 IC=6 Rser=100m
VAGND AGND 0 DC 0
VDGND DGND 0 DC 0
VPDB PDB 0 DC 15
**UVEN ENABLE 0 DC 3.3
UVEN ENABLE 0 DC 3.3 PULSE (0 3.3 200u 10n)

```

Figura 6.44: Segnali utilizzati per il TEST4_Bk1B113_Battery_Charger_V3

Si osserva il seguente andamento :

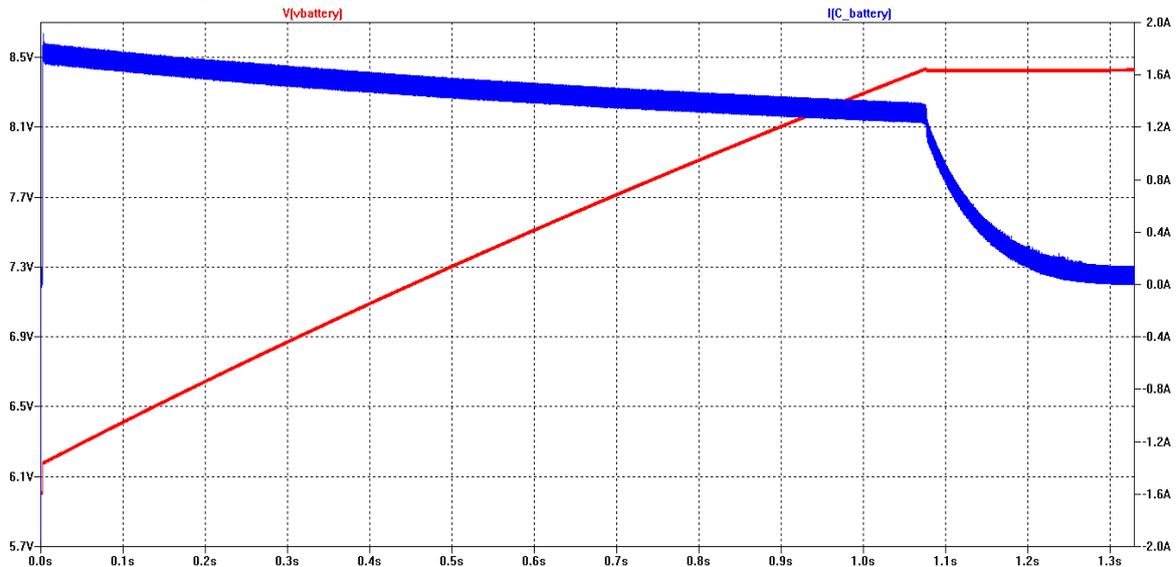


Figura 6.45: Andamento del TEST4_Bk1B113_Battery_Charger_V3

Durante la carica della batteria ("simulata con un condensatore") si hanno due fasi distinte. La prima a corrente costante in cui la tensione di batteria cresce fino al suo valore massimo posto dalla rete a 8.4V. E la seconda fase a tensione di batteria costante, in cui la corrente di carica tende progressivamente al valore di *cutoff* posto a 0.1A (ma modificabile via software) raggiunto il quale il circuito viene disabilitato.

In realtà nella prima fase non si ha l'andamento della corrente di carica esattamente voluto. Infatti possiamo notare che il suo valore tende a diminuire leggermente, questo perché man mano che la batteria si carica il suo valore di tensione aumenta. Se la corrente di batteria rimanesse costante si avrebbe una potenza di uscita che sarebbe maggiore rispetto a quella d'ingresso, situazione ovviamente impossibile. Visto che non si ha la necessità di avere una corrente esattamente costante (ma di una corrente che non vari molto durante la carica) possiamo comunque considerare tale problema trascurabile. Inoltre si osserva che il valore di corrente di carica massima non è pari a quello aspettato di 2A. La ragione è attribuibile all'efficienza del convertitore utilizzato, difatti essendo quest'ultima pari al 90% porta ad una riduzione della corrente (dato che la tensione ai capi del condensatore è fissata a priori) del suo 10% che è pari a 0.2A. Infatti si ha una corrente effettiva di soli 1.8A.

All'interno della medesima simulazione si è analizzato anche lo stress subito dalla batteria in fase di accensione del sistema di carica, osservando la corrente prelevata dalle celle per la carica del condensatore di uscita del convertitore (Figura 6.46).

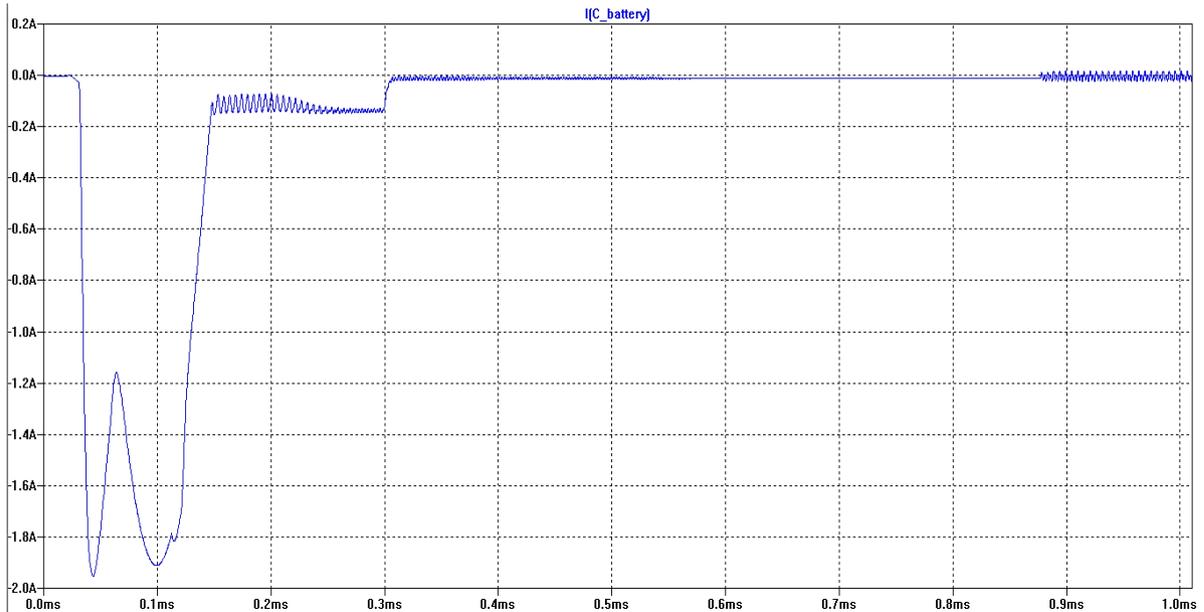


Figura 6.46: Stress sulla batteria durante l'accensione del *Bk1B113_Battery_Charger_V3*

Dal grafico si evince che la corrente prelevata dalla batteria in accensione è al di sotto del massimo valore di corrente di scarica imposto da datasheet, e quindi considerato accettabile.

E' stato eseguito successivamente un test *TEST6_Bk1B113_Battery_Charger_V3*, con le medesime modalità in cui si è variato solo il valore della tensione presente sul *PDB* con un valore di 15V e il valore della capacità (solo per ridurre il tempo di simulazione). Il cui esito è mostrato in figura:

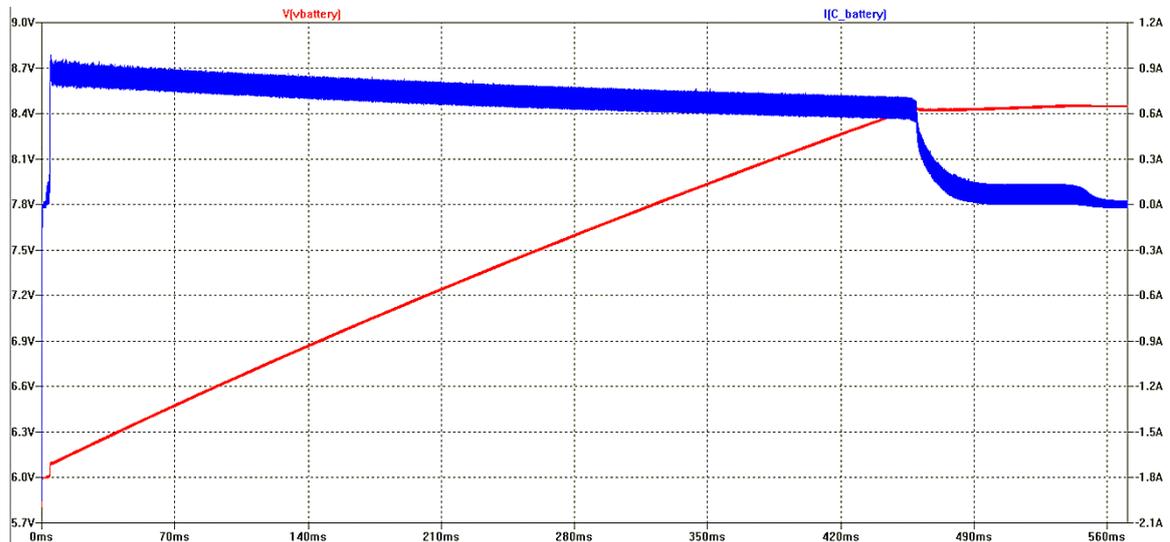


Figura 6.47: Andamento del *TEST6_Bk1B113_Battery_Charger_V3*

Come previsto il valore della corrente di carica risulta essere la metà di quello precedente, in accordo alla caratteristica I-V del *battery charger* sul *PDB*. Tuttavia avendo utilizzato un valore di capacità relativamente bassa si hanno risultati meno accurati e si ha una tensione leggermente più alta di quella prevista(dovuto al fatto che il condensatore con tale capacità si carica più velocemente e con correnti più basse). Nel caso in cui si

utilizzassero capacità elevate come quelle delle batterie utilizzate ciò non accadrebbe, ottenendo risultati ampiamente dentro le specifiche di progetto.

Infine come si è fatto per alcuni dei blocchi precedenti, la presenza di componenti presenza di componenti quali resistori, induttori, e capacitori soggetti a tolleranze di fabbricazione, ha reso necessario al fine di ottenere dei risultati significativi alla validazione del funzionamento dell'intero sistema l'utilizzo di simulazioni *montecarlo*. A tal fine si è effettuato il *TEST7_Bk1B113_Battery_Charger_V3_Montecarlo*. In cui per motivi di limitazione delle risorse ha disposizione si sono prese solo le prime 5 curve. Si mostrano di seguito le sorgenti di simulazione:

```
.step param 1 3 1
.tran 10u 175m 0 10u
VAGND AGND 0 DC 0
VDGND DGND 0 DC 0
**VEN ENABLE 0
VEN ENABLE 0 PULSE (0 3.3 200u 10n)
**VUBUS Xth_VBUS 0
VUBUS Xth_VBUS 0 PULSE (13.5 21 10m 150m)
Rth_VBUS Xth_VBUS PDB 5
Cbattery V_BAT 0 100 IC=6 Rser=100m
```

Figura 6.48: Segnali utilizzati per il *TEST7_Bk1B113_Battery_Charger_V3_Montecarlo*

I risultati ottenuti sono:

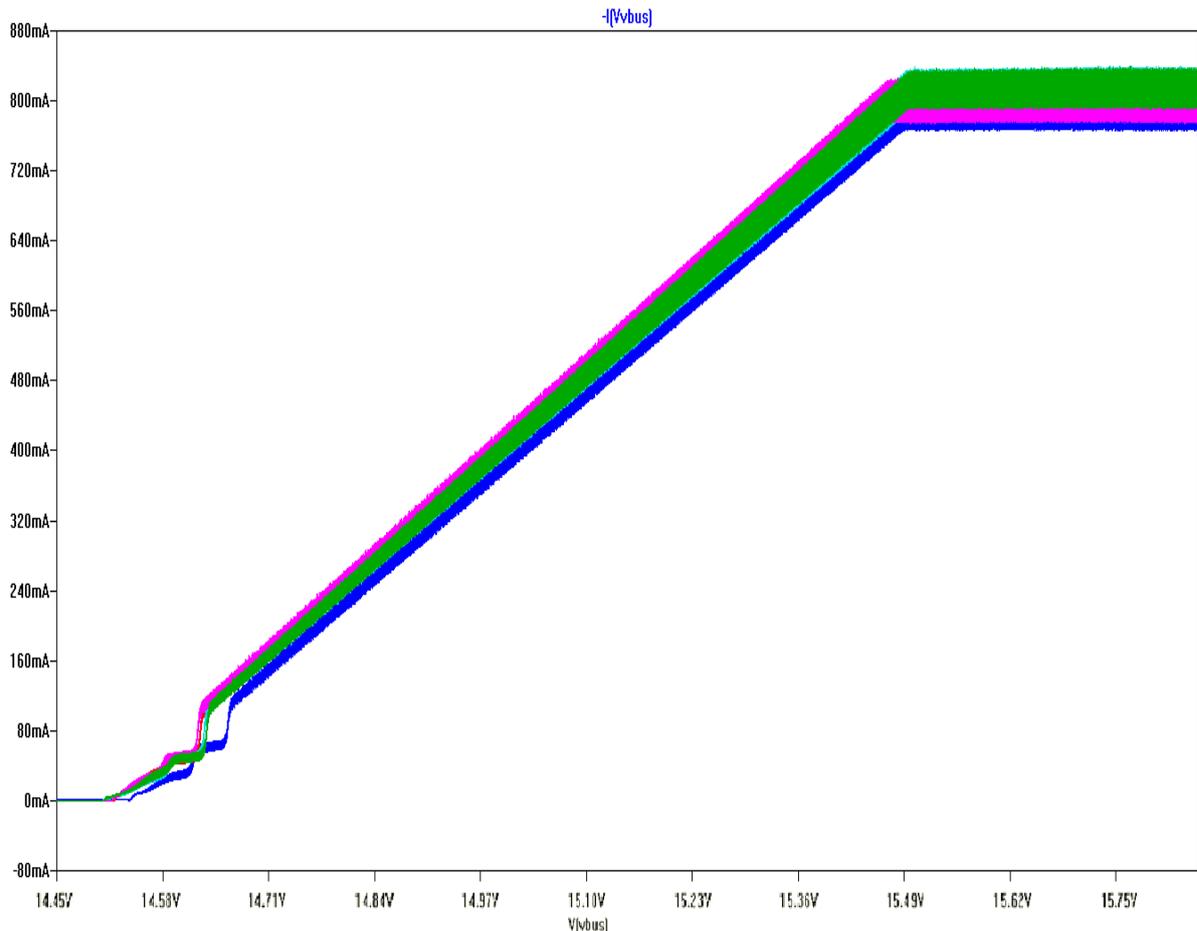


Figura 6.49: Grafico relativo al *TEST7_Bk1B113_Battery_Charger_V3_Montecarlo*

I valori presentati dalla simulazione eseguita permettono di affermare che le specifiche del progetto *AraMis*, sono ampiamente rispettate. Infatti si hanno valori di tensione nell'intorno dei 15.5V con un incertezza massima pari ad 50mV, lo stesso accade nell'intorno dei 14.5V.

Queste incertezze sono ampiamente inferiori a quelle previsti per i valori di tensione sul bus di potenza della caratteristica di uscita, definite a priori:

$$V = \begin{cases} 15.5 \pm 250\text{mV} \\ 14.5 \pm 250\text{mV} \end{cases}$$

L'ultimo test effettuato *TEST5_Bk1B113_Battery_Charger_V3* su tale blocco è stato fatto, al solo scopo di illustrare l'andamento della caratteristica I-V sul bus di potenza, nel caso in cui due blocchi *Bk1B113_Battery_Charger_V3* siano connessi in parallelo tra il banco batterie e il *Power Distribution Bus* (Figura 6.50).

Ciascuno dei due blocchi sarà pilotato contemporaneamente dagli stessi segnali di abilitazione del circuito.

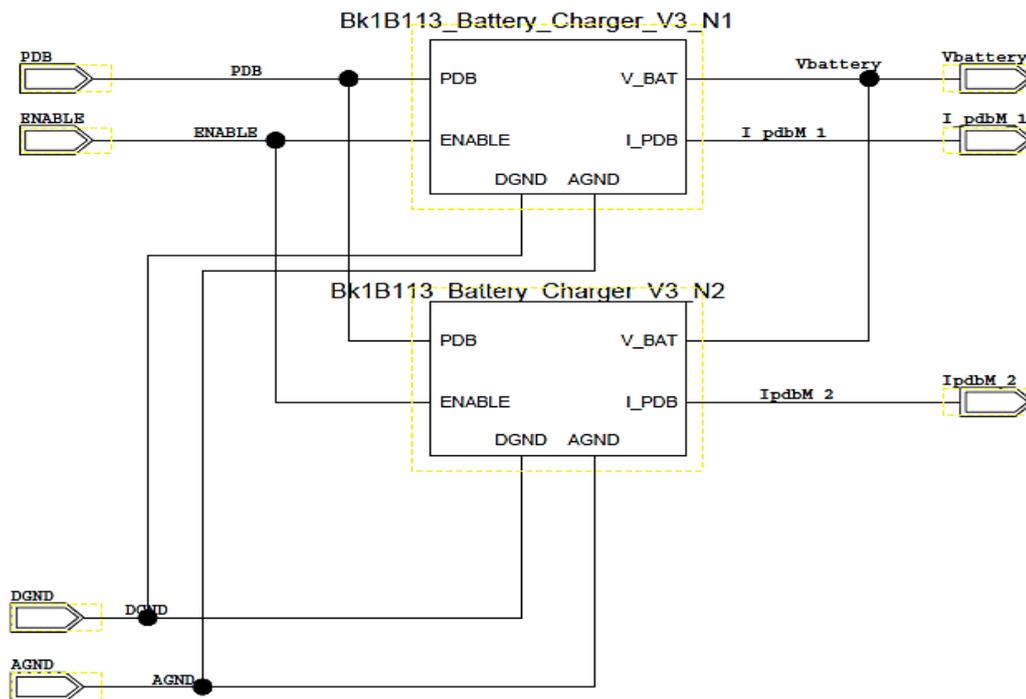


Figura 6.50: Schema elettrico di due *Bk1B113_Battery_Charger_V3* in parallelo

Per effettuare il test si sono utilizzate gli stessi segnali d'ingresso utilizzati per il *TEST1_Bk1B113_Battery_Charger_V3* con l'unica differenza che la resistenza serie del bus assume un valore di 2.5Ω.

```

.tran 10u 175m 0 10u
VAGND AGND 0 DC 0
VDGND DGND 0 DC 0
**VEN ENABLE 0
VEN ENABLE 0 PULSE (0 3.3 200u 10n)
**UUBUS Xth_UBUS 0
UUBUS Xth_UBUS 0 PULSE (13.5 21 10m 150m)
Rth_UBUS Xth_UBUS PDB 2.5
Cbattery U_BAT 0 100 IC=6 Rser=100m

```

Figura 6.51 : Segnali utilizzati per il TEST5_Bk1B113_Battery_Charger_V3

Ottenendo la seguente caratteristica :

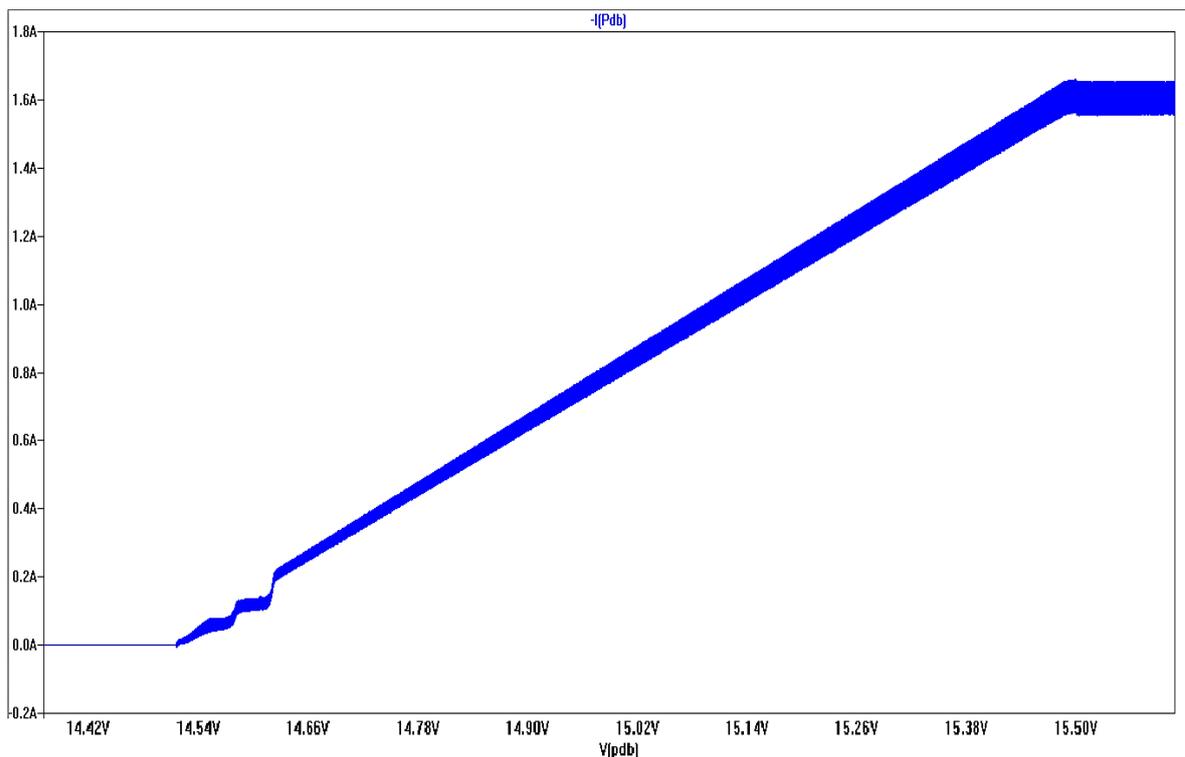


Figura 6.52: :Grafico Ibus vs Vbus relativo al TEST5_Bk1B113_Battery_Charger_V3

Come era facilmente intuibile l'andamento della caratteristica risulta essere analogo a quella ottenuta con l'utilizzo di un solo blocco di carica.

L'unica variante sta nei valori di corrente assorbiti dal bus che sono raddoppiati rispetto al caso precedente. Come si può notare si ha adesso un valore massimo di Ibus pari a 1.6A. Pertanto tale configurazione può essere utilizzata qualora si necessiti di una corrente di carica della batteria maggiore, oppure cambiando leggermente la configurazione dello schematico quando si ha la necessità di caricare più banchi batterie contemporaneamente.

6.4.2 SpiceNetlist del sistema Bk1B113_Battery_Charger_V3

Si riporta diseguito la netlist spice del sistema Bk1B113_Battery_Charger_V3 :

```
CC1 N5U DGND {MC( 4.700000U , 10.000000 /100)} TC=10.000000U
XBk1B121G_Load_Switch_Shunt ENABLE DGND Ubat_char U_BAT
+Bk1B121G_Load_Switch_Shunt
XBk1B113_U3_Feedback_Net N2U5 FEEDBACK U_BAT N5U AGND IN_converter Ubus_char
+I_PDB Bk1B113_U3_Feedback_Net
XBk1B113_U3_Triwave_Gen N3U3 TRI AGND Bk1B113_U3_Triwave_Gen
XBk1B113_U3_Compensator N2U5 AGND N5U FEEDBACK U_CONTROL
+Bk1B113_U3_Compensator
XBk1B113_U3_Buck_Converter_charger Ubus_char U_PWM Ubat_char DGND
+IN_converter Bk1B113_U3_Buck_Converter_charger
XU1 Ubat_char N3U3 DGND LM1117
XX1 U_CONTROL TRI N3U3 AGND U_PWM LTC6752
CC3 N1N990 AGND {MC( 100.000000N , 10.000000 /100)} TC=30.000000U
RR1 Ubat_char N1N990 {MC( 1Kohms , 1000.000000M /100)} TC=100.000000U
CC4 N3U3 DGND {MC( 1uF , 10.000000 /100)} TC=10.000000U
CC5 Ubat_char DGND {MC( 1uF , 10.000000 /100)} TC=10.000000U
CC2 Ubat_char DGND {MC( 100.000000N , 10.000000 /100)} TC=30.000000U
XU4 N1N990 AGND N2U5 LT1790-25
XBk1B121I_Load_Switch_Delayed ENABLE DGND Ubus_char PDB
+Bk1B121I_Load_Switch_Delayed
XX17 Ubat_char DGND Ubat_char N5U TPS76150
```

Figura 6.53:Netlist Spice del Bk1B113_Battery_Charger_V3

Capitolo 7

Bk1B114_Battery_Monitor

L'ultimo macroblocco progettato, che caratterizza il funzionamento dell'intero sistema di gestione dell'energia delle fonti secondarie (batterie) *Bk1B114_Battery_System_V2*, è il *Bk1B114_Battery_Monitor*.

Questo blocco permette di monitorare in tempo reale lo stato della batteria andando a misurare alcuni dei parametri critici, quali : la corrente di carica e scarica, il livello di tensione, e la temperatura. Fornendo i valori misurati espressi come un livello di tensione, all'ingresso del convertitore A/D del microprocessore posto all'interno della scheda realizzata.

Quest'ultimo elabora tali segnali (per mezzo di apposito software) e genera opportuni comandi di controllo al fine di gestire al meglio lo stato e l'efficienza del banco batterie.

Esso all'interno del progetto *AraMis*, come già detto più volte, è costituito da due celle a polimeri di litio posti in serie in modo da raddoppiare la tensione di batteria.

Questo porta a varie problematiche durante la carica delle celle stesse, come ad esempio la presenza di fenomeni di sbilanciamento (ossia una cella più carica rispetto all'altra) che possono portare alla carica di una delle due oltre i limiti consentiti.

Pertanto per il processo di carica delle batterie, non risulta sufficiente il solo utilizzo del sistema *Bk1B113_Battery_Charger_V3*.

A tal proposito è realizzato un particolare blocco elettronico denominato *Bk1B1142_Equalizer_V1*, il cui compito è quello di andare a bilanciare la tensione delle batterie utilizzate, qualora si verificasse il suddetto fenomeno.

7.1 Bk1B1142_Equalizer_V1

L'elemento fondamentale del sistema di monitoraggio è senza dubbio il blocco di bilanciamento delle batterie *Bk1B1142_Equalizer_V1*, senza il quale ogni processo di carica metterebbe a serio rischio lo stato delle batterie compromettendo il funzionamento dell'intero sistema. Ovvero considerato di avere due celle di batterie, aventi tensione massima di carica nominale pari a 4.2V. Se ad esempio capita durante la fase di immagazzinamento di avere una cella più carica rispetto all'altra, quando la cella a tensione più alta raggiunge i 4.2V, la tensione totale del banco batterie non ha raggiunto ancora il suo massimo richiedendo quindi un'ulteriore carica che va a distruggere la cella già al limite dell'immagazzinamento.

7.1.1 Progettazione del Bk1B1142_Equalizer_V1

I problemi dovuti allo sbilanciamento delle celle in fase di carica hanno portato alla definizione e progettazione di un blocco, che svolgesse compiti di equalizzazione .

A tal fine è stato realizzato un circuito ad-hoc chiamato *Bk1B1142_Equalizer_V1*.

Tale tipologia di circuito è stato sviluppato nel corso di un altro elaborato[18] e messo a disposizione di altri utenti sotto forma di *Reusable Block* .

La stretta correlazione con il sistema di carica/scarica progettato e la volontà di realizzare un sistema completo che gestisse la totalità delle funzioni riguardanti le batterie all'interno di un unico circuito stampato, ha reso necessario lo studio, la rielaborazione, l'adattamento e in fine l'utilizzo di tale circuito. Il dispositivo è stato progettato facendo le seguenti ipotesi:

- Tensione nominale di ogni singola cella pari a 3.7V
- Sbilanciamento tra due celle all'interno di tale intervallo [-100mV; 100mV]
- Tempi di bilanciamento delle celle di circa 24ore

Si mostra di seguito lo schema elettrico del *Bk1B1142_Equalizer_V1* realizzato:

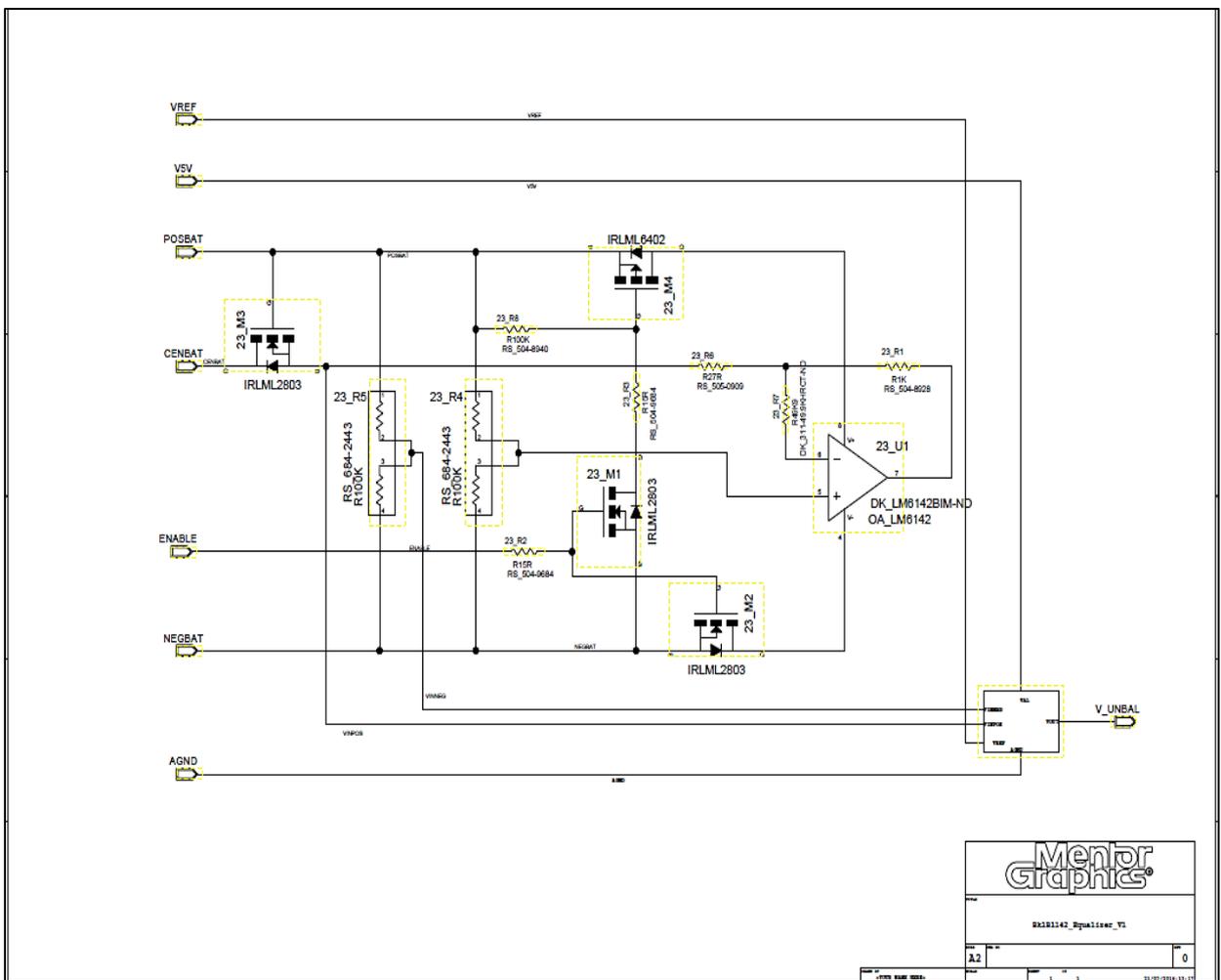


Figura 7.1: Schema elettrico del blocco *Bk1B1142_Equalizer_V1*

Il blocco circuitale illustrato è abilitato per mezzo di un segnale di *ENABLE* (attivo alto), e ha una duplice funzione :

- Segnalare eventuali sbilanciamenti al microprocessore attraverso il segnale *V_UNBAL*

- Bilanciamento delle celle, qualora fosse necessario, a seguito dell'abilitazione del blocco mediante opportuno segnale di enable

Il segnale di sbilanciamento inviato al microprocessore è ottenuto mediante l'utilizzo di un ulteriore sottoblocco, presente all'interno del *battery_equalizer*, ovvero il *Bk1B137E_Diff_V_Sensor_VI* illustrato in seguito.

Pertanto qualora si presenti una necessità di equilibrare i voltaggi presenti sulle celle costituenti il banco batterie, il circuito equalizzatore viene opportunamente abilitato.

A seguito di tale abilitazione i transistori *23_M1* e *23_M2* passano in uno stato di conduzione, ed in particolare il transistore *23_M1* collega il gate del mosfet *23_M4* al potenziale *NEGBAT* che viene supposto pari ad *DGND*. Così facendo anche il *23_M4* entra in conduzione, collegando così i morsetti di alimentazione dell'operazionale *23_U1* tra *POSBAT* e *NEGBAT*, e quindi accendendolo.

L'amplificatore operazione in accensione, confronta la tensione sul pin *CENBAT* e la tensione pari ad *POSBAT/2* (ottenuta usando un partitore resistivo composto da un *Precision Resistor Array (PRA)*).

Dal risultato di questa comparazione, si regola il passaggio di corrente di bilanciamento I_{CENBAT} . In particolare si hanno tre possibili situazioni:

- $CENBAT > POSBAT/2$, ovvero la cella inferiore presenta una tensione $V_{BAT1} = V_{POSBAT} - V_{CENBAT}$ maggiore, a quella posta superiormente $V_{BAT2} = V_{CENBAT} - V_{NEGBAT}$ divisa per due. Quindi la cella inferiore ha una carica in eccesso da smaltire
- $CENBAT < POSBAT/2$, la tensione V_{BAT2} risulta maggiore della tensione presente sulla cella inferiore, e quindi è la cella superiore ad avere una carica in eccesso da smaltire
- $CENBAT \approx POSBAT/2$, le celle hanno più o meno la stessa tensione, e quindi nessuna delle due ha carica in eccesso da smaltire

Il valore della corrente I_{CENBAT} è caratterizzata dalla seguente relazione :

$$I_{CENBAT} = \frac{V_{CENBAT} - V_{DS_{23_M3}} - V_{AMP}}{23_R1 + 23_R6 + R_{DS23_M3}} + I_{AMPBIAS} \quad (7.1)$$

Dove $I_{AMPBIAS}$ è la corrente di polarizzazione dell'amplificatore, e V_{AMP} la tensione di uscita dell'operazionale, che è pari ad :

$$V_{AMP} = -V_{CENBAT} \frac{23_R1}{23_R6 + R_{DS23_M3}} + V_{POSBAT} \left(\frac{23_R1}{23_R6 + R_{DS23_M3}} + 1 \right) \quad (7.2)$$

Considerando trascurabili sia la resistenza del transistore *23_M9* sia la corrente di polarizzazione dell'amplificatore operazionale, la corrente I_{CENBAT} dipende solamente dal

valore dei resistori 23_R1 e 23_R6. Ed il suo valore massimo è inoltre limitato dall'operazionale (si vuole che esso lavori in condizioni di linearità su tutta la sua dinamica di uscita).

I suoi valori massimi e minimi quindi vengono impostati di modo che vengano raggiunti in corrispondenza del valore massimo e minimo all'uscita dell'operazionale :

$$\begin{cases} I_{\max} = \frac{V_{\text{CENBAT}} - V_{\text{AMPL}}}{23_R6 + 23_R1} \\ I_{\min} = \frac{V_{\text{CENBAT}} - V_{\text{AMPH}}}{23_R6 + 23_R1} \end{cases} \quad (7.3)$$

In particolare come operazionale si è scelto il *LM6142* poiché caratterizzato da una uscita rail-to-rail, pertanto possiamo assumere $V_{\text{AMPL}} = \text{NEGBAT} = 0\text{V}$ e $V_{\text{AMPH}} = \text{POSBAT}$.

Inoltre si vuole che la relazione che leghi I_{CENBAT} con la tensione V_{off} sia completamente lineare, con I_{CENBAT} pari a zero in corrispondenza di uno sbilanciamento nullo ($V_{\text{off}} = 0\text{V}$).

Quindi le equazioni 6.1 e 6.2 possono essere riscritte come :

$$\begin{cases} I_{\text{CENBAT}} = \frac{V_{\text{CENBAT}} + V_{\text{off}} - V_{\text{AMP}}}{23_R1 + 23_R6} \\ V_{\text{AMP}} = (-V_{\text{CENBAT}} + V_{\text{off}}) \frac{23_R1}{23_R6} + V_{\text{POSBAT}} \left(\frac{23_R1}{23_R6} + 1 \right) \end{cases} \quad (7.4)$$

Con $V_{\text{off}} = V_{\text{BAT1}} - V_{\text{BAT2}}$ compreso tra $[-100\text{mV}; 100\text{mV}]$.

Effettuando le sostituzioni anche nell'equazione 7.3, otteniamo :

$$\begin{cases} I_{\max} = \frac{V_{\text{CENBAT}} + V_{\text{off,max}} - V_{\text{AMPL}}}{23_R6 + 23_R1} \\ I_{\min} = \frac{V_{\text{CENBAT}} + V_{\text{off,min}} - V_{\text{AMPH}}}{23_R6 + 23_R1} \end{cases} \quad (7.5)$$

Considerato di voler correggere l'eventuale sbilanciamento nell'arco di una giornata allora valori limite accettabili per la corrente I_{CENBAT} (che determina la velocità con cui le celle vengono equalizzate) possono essere in valore assoluto pari a 3.7mA.

Attraverso l'utilizzo di questo valore, dei parametri precedentemente impostati :

$$I_{\text{CENBAT}} = \pm 3.7\text{mA}, \quad \text{POSBAT} = 7.4\text{V}, \quad \text{CENBAT} = 3.7\text{V}, \quad \text{NEGBAT} = 0\text{V}, \quad V_{\text{off}} = \pm 100\text{mV}$$

e di relazioni inverse, è possibile determinare i resistori da utilizzare al fine di soddisfare le specifiche desiderate. I valori ottenuti sono:

$$\begin{aligned} 23_R6 &= 27\text{K}\Omega \\ 23_R1 &= 1\text{K}\Omega \end{aligned}$$

Quando invece il circuito viene disabilitato, ovvero *ENABLE* basso, il transistor *23_M3* rimane comunque acceso, permettendo il monitoraggio dello stato di bilanciamento delle celle real-time indipendentemente dallo stato di abilitazione del blocco. Mentre al contrario in questa condizione, l'amplificatore *23_U1* risulterà spento (alimentazione positiva flottante) con una corrente I_{CENBAT} nulla o comunque la più bassa possibile (al fine di evitare l'inutile scarica delle celle).

7.1.2 Bk1B137E_Diff_V_Sensor_V1

Prima di andare ad analizzare le simulazioni del blocco di equalizzazione progettato, si studia il circuito che permette di individuare la presenza dello sbilanciamento delle celle e di determinarne l'entità.

In generale abbiamo che la tensione di sbilanciamento è pari ad :

$$V_{UNBAL} = V_{OFFSET} + G \left(V_{CENBAT} - \left(\frac{V_{POSBAT} - V_{NEGBAT}}{2} \right) \right) \quad (7.6)$$

Dove V_{OFFSET} è l'offset e G è il guadagno differenziale necessario a soddisfare la dinamica desiderata.

Il circuito realizzato viene mostrato in figura:

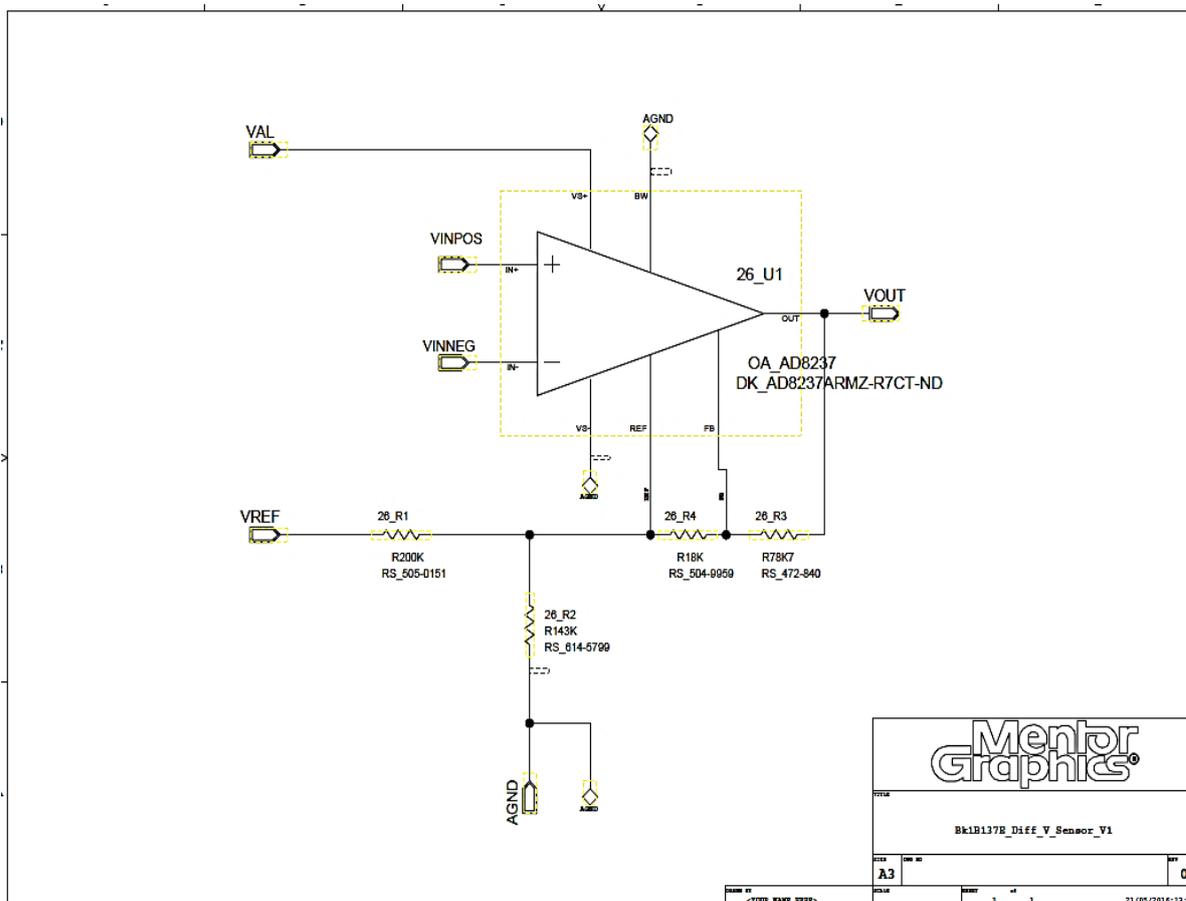


Figura 7.2: Schema elettrico del blocco Bk1B137E_Diff_V_Sensor_V1

Il *Bk1B137E_Diff_V_Sensor_V1* è costituito essenzialmente da un amplificatore per strumentazione *AD8237*[20] e da un certo numero di resistori, il cui valore è scelto per settare il guadagno G (programmabile) a 10 e una tensione V_{OFFSET} pari ad 1.25V. Dalle seguenti equazioni pertanto :

$$\begin{cases} V_{OFFSET} = V_{REF} \frac{26_R2}{26_R1+26_R2} \\ G = 1 + \frac{26_R3+(26_R1//26_R2)}{26_R4} \\ V_{OUT} = G(V_{INPOS} - V_{INNEG}) + V_{OFFSET} \end{cases} \quad (7.7)$$

si ottengono i seguenti valori di resistori:

$$26_R1=200K\Omega$$

$$26_R2=143K\Omega$$

$$26_R3=78.7K\Omega$$

$$26_R4= 18K\Omega$$

In realtà dati questi resistori si avrà un guadagno $G=10.004$ e una $V_{OFFSET}=1.251V$. Inoltre attraverso un'analisi dell'errore introdotto dalle tolleranze di fabbricazione dei resistori, si ottiene:

$$G=G_{nom} \pm \delta G = 10.004 \pm 0.155$$

e

$$V_{OUT} = V_{OUTnom} \pm \delta V_{OUT} = \begin{cases} 0.25 \pm 7.5mV \text{ con } V_{off} = -100mV \\ 1.251 \pm 8mV \text{ con } V_{off} = 0mV \\ 2.251 \pm 23.6mV \text{ con } V_{off} = +100mV \end{cases}$$

Come si può notare i valori di incertezza calcolati risultano molto più bassi di quelli nominali, e quindi tali errori possono essere considerati trascurabili.

In seguito si illustrano le simulazioni effettuate sull'intero blocco, per testarne il corretto funzionamento del sistema progettato e per verificare che le stime degli errori calcolati sia compatibili con i risultati ottenuti.

7.1.3 Simulazioni relative al blocco *Bk1B1142_Equalizer_V1*

Il primo test effettuato è il *TEST1_TRAN_OFFSET_VARIATION*. Esso aveva l'obiettivo di analizzare l'andamento della tensione di uscita al *Bk1B137E_Diff_V_Sensor_V1*, *V_UNBAL*, a fronte di una variazione del segnale V_{off} che simula lo sbilanciamento tra le due celle tra -100mV e 100mV (come previsto da specifica).

I risultati ottenuti sono i seguenti:

TEST1_TRAN_OFFSET_VARIATION_MONTECARLO



Figura 7.3: Grafico relativo al *TEST1_TRAN_OFFSET_VARIATION*

Si riportano anche le sorgenti utilizzate:

```
.tran 10u 310m 0 1u
UAGND AGND 0 DC 0
UCENBAT CENBAT OFF 3.7
Uoff OFF 0 PULSE (-0.1 0.1 10m 100m)
**UENABLE ENABLE 0
UENABLE ENABLE 0 3.3
UNEBAT NEGBAT 0 DC 0
UPOSBAT POSBAT 0 7.4
UU5U U5U 0 DC 5
UUREF UREF 0 DC 3
```

Figura 7.4: Segnali utilizzati per il *TEST1_TRAN_OFFSET_VARIATION*

Come si può vedere dal grafico si ottengono i valori aspettati, compresi tra 0.25V e 2.25V (compatibili con la dinamica dell'A/D del microprocessore utilizzato).

Inoltre si noti come un valore di tensione di uscita pari a quella di riferimento (V_{ref}), viene interpretato come un'assenza di sbilanciamento.

Attraverso l'utilizzo degli stessi parametri di simulazione è stata anche eseguita uno studio in *Montercarlo*, al fine di valutare l'errore introdotto dalle tolleranze di fabbricazione di sono soggetti i resistori utilizzati.

Al fine di ottenere i seguenti risultati si è aggiunta la direttiva *.param* all'interno del *TEST1_TRAN_OFFSET_VARIATION*, ottenendo il seguente andamento :

TEST2_TRAN_OFFSET_VARIATION_MONTECARLO

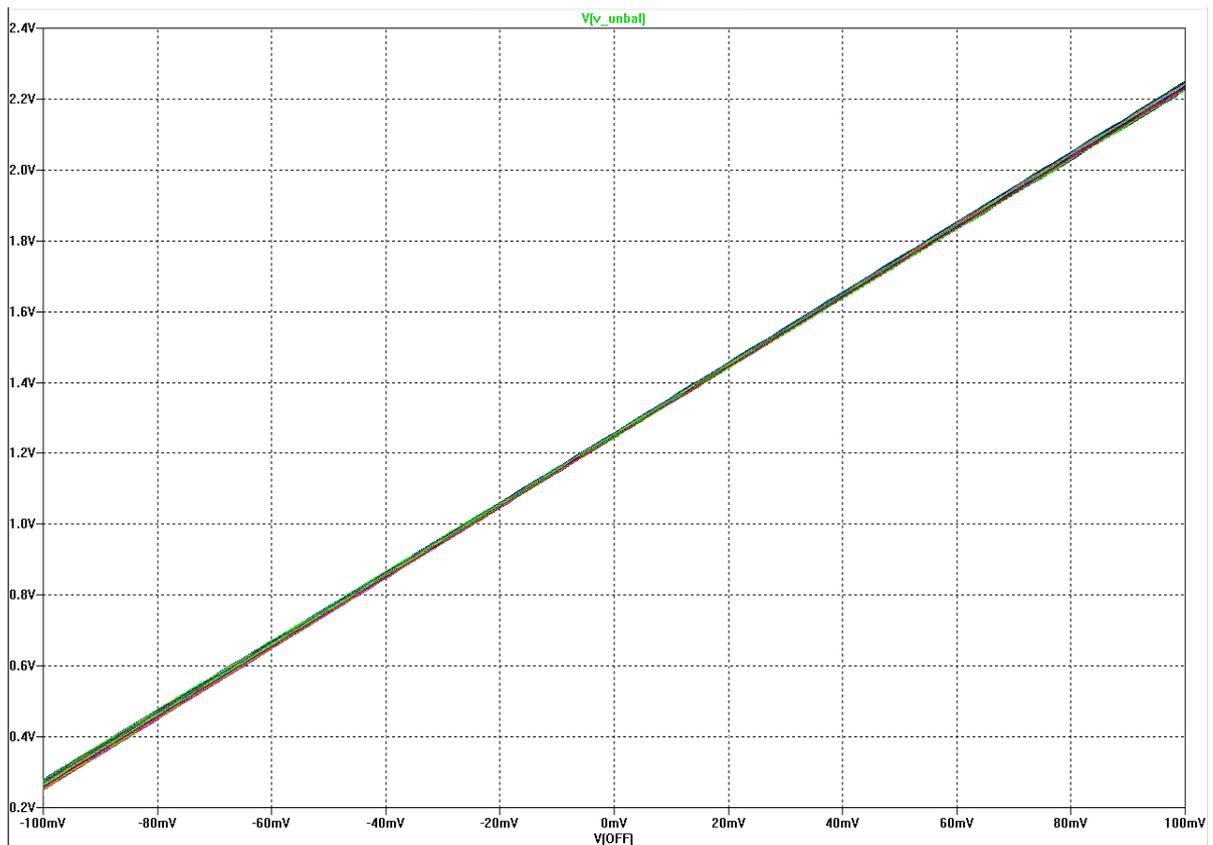


Figura 7.5: Grafico relativo al TEST2_TRAN_OFFSET_VARIATION_MONTECARLO

Si noti che i risultati ottenuti sono compatibili a quelli ottenuti teoricamente nel precedente paragrafo.

Nel terzo test effettuato TEST3_TRAN_OFFSET_VARIATION_ICENBAT, si è invece analizzato il comportamento della I_{CENBAT} al variare della tensione di sbilanciamento V_{off} , andando ad utilizzare le stesse sorgenti del primo test:

```
.tran 10u 310m 0 1u
VAGND AGND 0 DC 0
UCENBAT CENBAT OFF 3.7
Voff OFF 0 PULSE (-0.1 0.1 10m 100m)
**VENABLE ENABLE 0
VENABLE ENABLE 0 3.3
VNEGBAT NEGBAT 0 DC 0
VPOSBAT POSBAT 0 7.4
UU5U U5U 0 DC 5
VUREF UREF 0 DC 3
```

Figura 7.6: Segnali utilizzati per il TEST3_TRAN_OFFSET_VARIATION

I risultati ottenuti sono mostrati di seguito:

TEST3_TRAN_OFFSET_VARIATION_ICENBAT

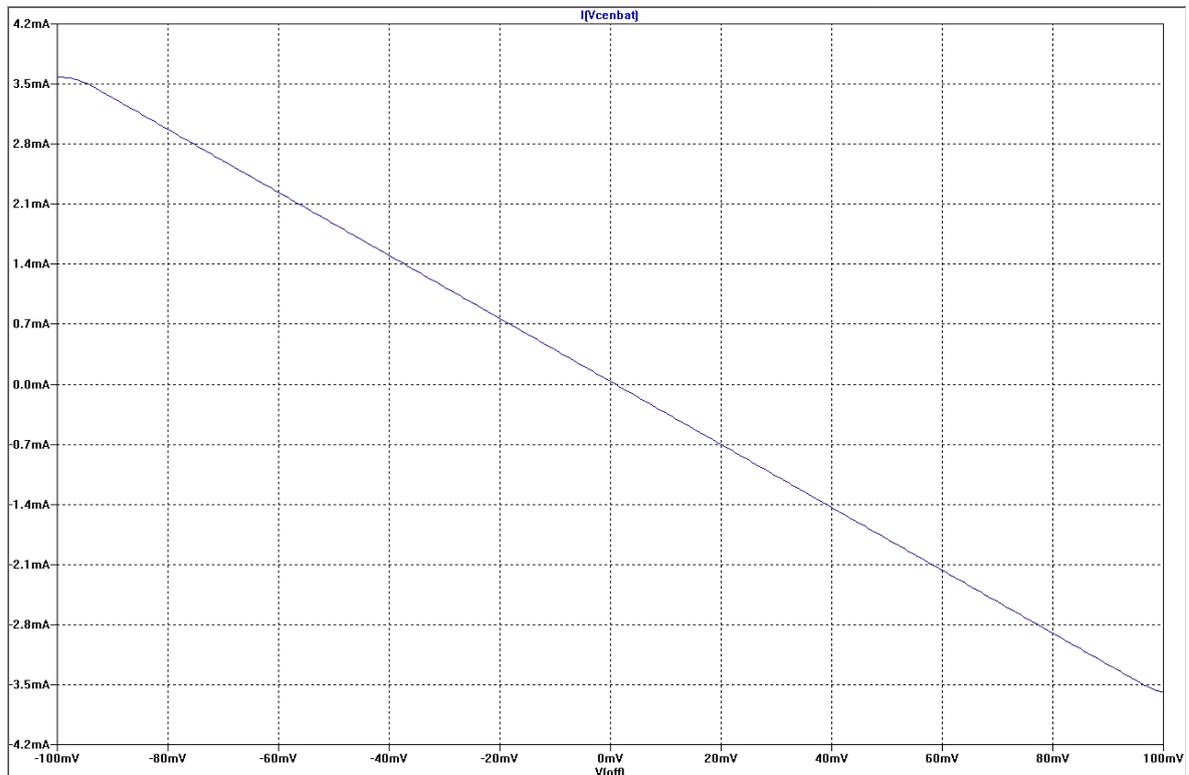


Figura 7.7: Grafico relativo al TEST3_TRAN_OFFSET_VARIATION_ICENBAT

In presenza di uno sbilanciamento di -100mV (causato da una tensione della cella inferiore più bassa di quella superiore) si ha una corrente I_{CENBAT} (considerata entrante al pin) pari a 3.55 mA , quindi positiva e pertanto tende a caricare la cella inferiore come desiderato.

Si nota inoltre, che il valore di corrente differisce leggermente dal quello teorico calcolato, questo è imputabile alla caduta di tensione sulla resistenza R_{dsn} del transistor 23_M3 e ad una piccola caduta di tensione presente all'uscita dell'operazione anche se esso è di tipo rail-to-rail.

Quando si ha uno sbilanciamento pari a 100mV, si presenta la condizione opposta. Si ha la cella inferiore maggiormente caricata rispetto a quella superiore, e quindi la si deve scaricare per equalizzare le due celle. Pertanto la corrente I_{CENBAT} come si può vedere risulterà negativa.

Interessante infine notare la presenza di una corrente non nulla I_{CENBAT} in assenza di sbilanciamento, pari a 31µA.

Tale valore risulta essere molto piccolo , e tale da portare una scarica delle celle del tutto trascurabile. Per questo motivo è stato considerato decisamente accettabile.

Anche in questo caso è stata fatta l'analisi *Montercarlo* aggiungendo la direttiva *.param* al precedente file di simulazione, ottenendo valori consoni alle specifiche date.

TEST4_TRAN_OFFSET_VARIATION_ICENBAT_MONTECARLO

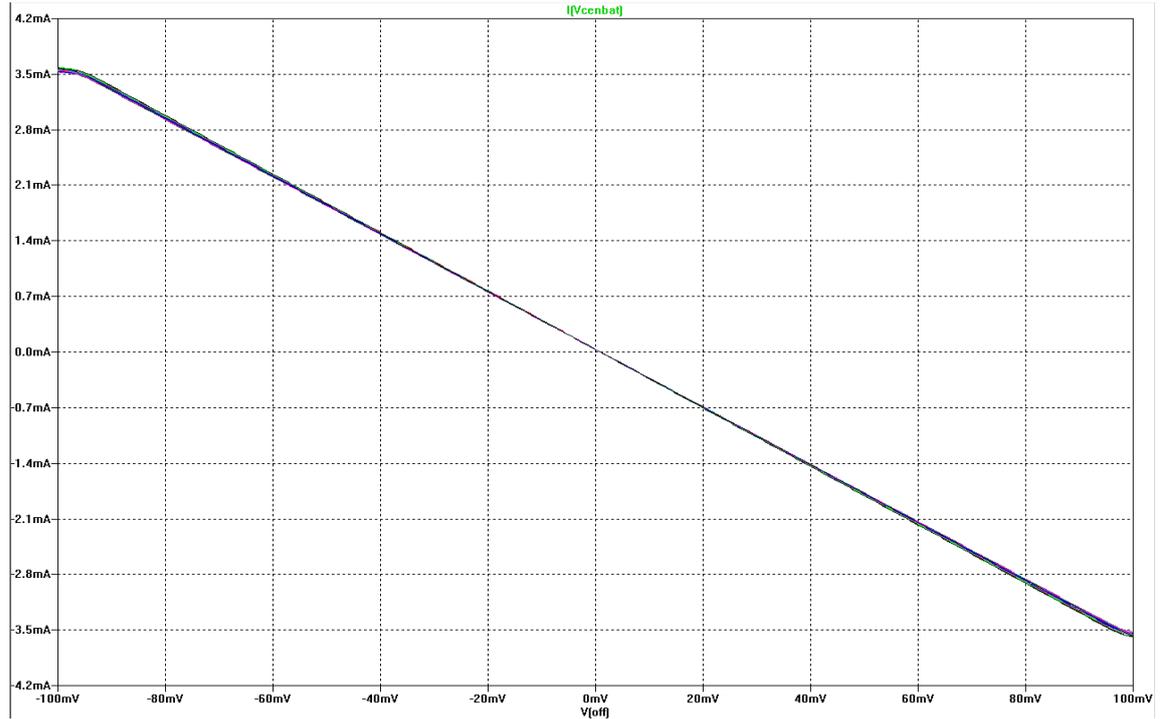


Figura 7.8: Grafico del *TEST4_TRAN_OFFSET_VARIATION_ICENBAT_MONTECARLO*

Successivamente sono state fatte analisi in temperatura dell'intero blocco valutando in particolare la variazione di I_{CENBAT} e di V_{UNBAL} in funzione della tensione V_{off} .

TEST5_TRAN_OFFSET_VARIATION_VUNBAL_ICEN_TEMP

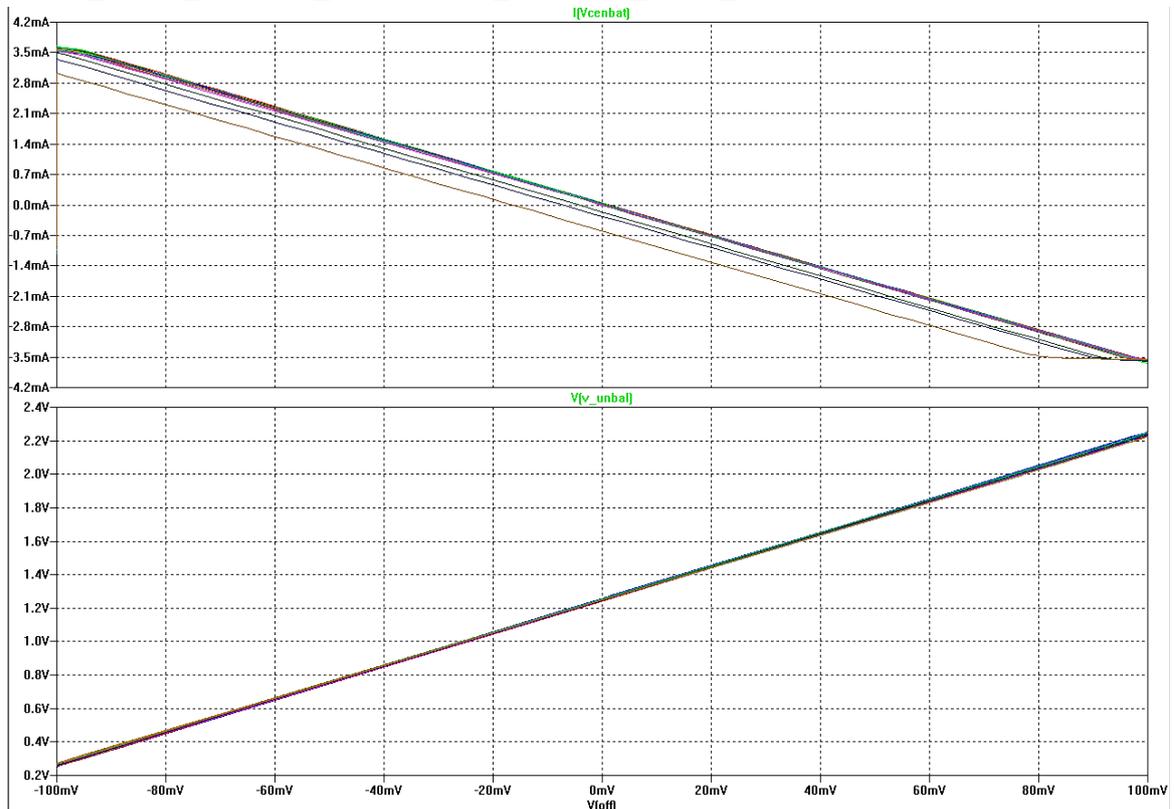


Figura 7.9: Grafico del *TEST5_TRAN_OFFSET_VARIATION_VUNBAL_ICEN_TEMP*

```

.tran 10u 110m 0 10U
.STEP TEMP -40 60 5
UAGND AGND 0 DC 0
UCENBAT CENBAT OFF 3.7
Uoff OFF 0 PULSE (-0.1 0.1 10m 10m)
**UENABLE ENABLE 0
UENABLE ENABLE 0 PULSE (0 3.3 1m 10n )
UNEBAT NEGBAT 0 DC 0
UPOSBAT POSBAT 0 7.4
UU5U U5U 0 DC 5
UUREF UREF 0 DC 3

```

Figura 7.10: Segnali utilizzati per il TEST5_TRAN_OFFSET_VARIATION

Attraverso queste simulazioni si è notato che il circuito funziona correttamente fino a temperature intorno ai 60°C, superati i quali inizia ad avere problemi. Quest'ultimi probabilmente riconducibili ad imprecisioni dei modelli di simulazione forniti dai produttori. Fino a questo momento si è valutato il circuito in esame nel caso in cui fosse abilitato *ENABLE= ON*. Negli ultimi due test si è analizzato il suo comportamento quando esso è disabilitato, osservando anche l'influenza degli errori sul suo funzionamento.

Nel TEST6_TRAN_OFFSET_VARIATION_EN_OFF si osserva che il circuito anche se è disabilitato, permette di monitorare lo sbilanciamento delle celle. Ma al tempo stesso anche se fosse necessario non permette lo svolgimento di alcun processo di equalizzazione.

```

.tran 10u 310m 0 1u
UAGND AGND 0 DC 0
UCENBAT CENBAT OFF 3.7
Uoff OFF 0 PULSE (-0.1 0.1 10m 100m)
**UENABLE ENABLE 0
UENABLE ENABLE 0 0
UNEBAT NEGBAT 0 DC 0
UPOSBAT POSBAT 0 7.4
UU5U U5U 0 DC 5
UUREF UREF 0 DC 3

```

Figura 7.11: Segnali utilizzati per il TEST6_TRAN_OFFSET_VARIATION

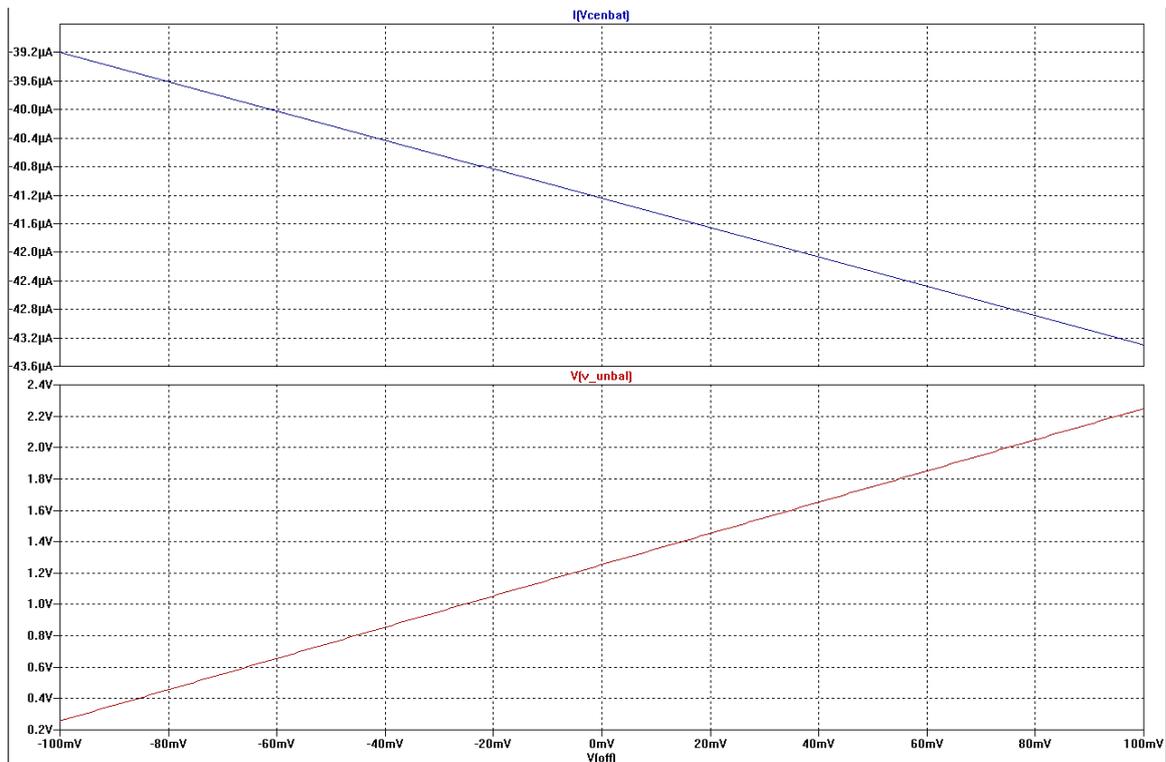


Figura 7.12: Grafico relativo al TEST6_TRAN_OFFSET_VARIATION_EN_OFF

E' possibile notare che la corrente I_{CENBAT} risulta essere degli ordini dei $40\mu A$, anche se il dispositivo risulta disabilitato.

Tuttavia questo non comporta un grosso problema poiché affinché le celle si scaricano è necessario un periodo superiore ai 6 anni, e quindi superiore al tempo medio di vita del satellite in orbita.

Si mostrano infine i risultati *Montecarlo* ottenuti attraverso il test:

TEST7_TRAN_OFFSET_VARIATION_EN_OFF_MONTECARLO

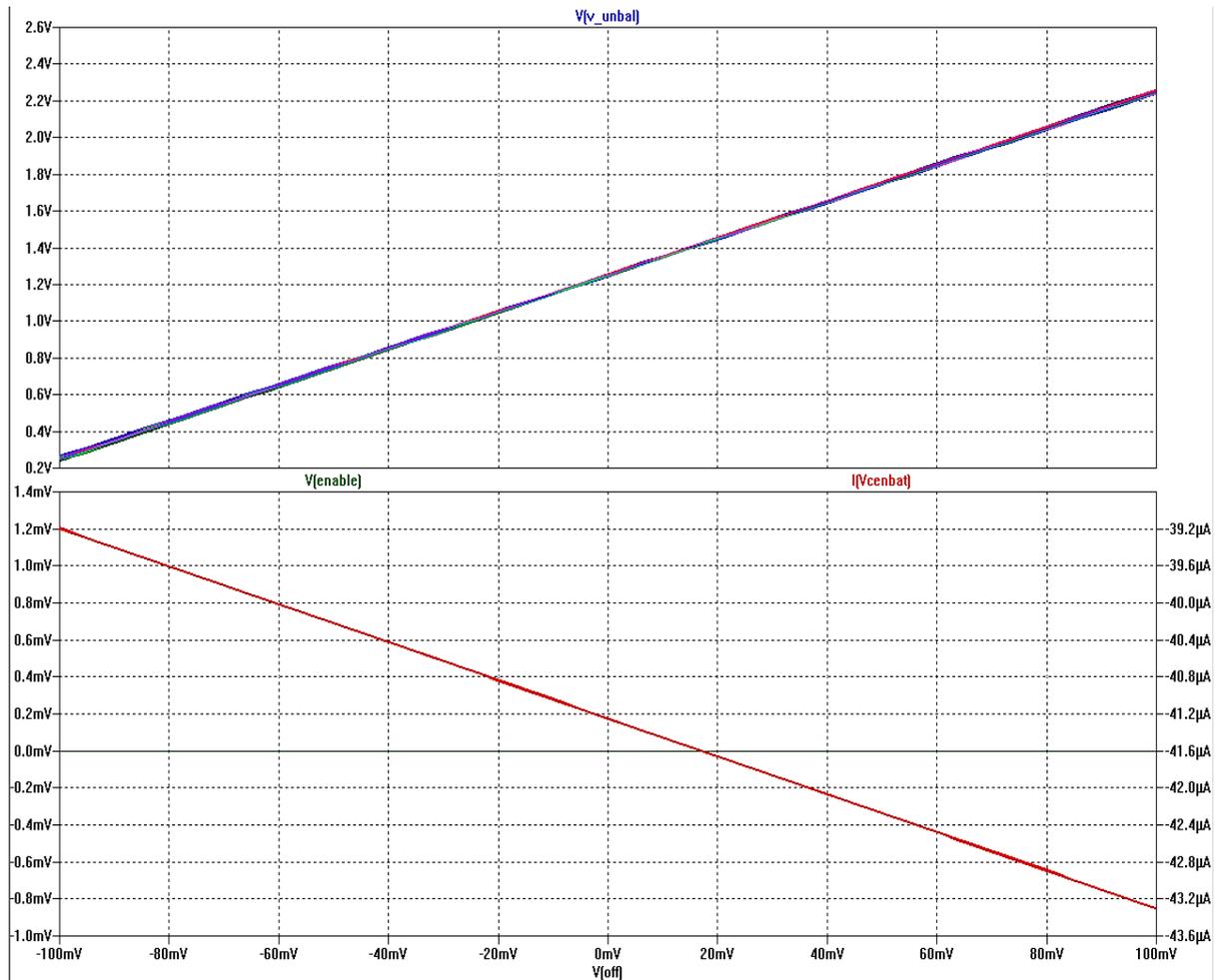


Figura 7.13: Grafico TEST7_TRAN_OFFSET_VARIATION_EN_OFF_MONTECARLO

7.1.4 Spice Netlist del Bk1B1142_Equalizer_V1 ,del Bk1B137E_Diff_V_Sensor_V1 e componenti utilizzati

Si riporta in seguito la netlist spice del blocco *Bk1B1142_Equalizer_V1* in cui al suo interno è presente anche il *Bk1B137E_Diff_V_Sensor_V1*:

```

RR1 XSIG010060 XSIG010055 {MC( 1Kohms , 1000.000000M /100)} TC=100.000000U
XM1 XSIG010035 XSIG010034 NEGBAT IRLML2803
XM2 XSIG010091 XSIG010034 NEGBAT IRLML2803
RR3 XSIG010026 XSIG010035 {MC( 15ohms , 1000.000000M /100)} TC=100.000000U
XR4 POSBAT XSIG010096 XSIG010096 NEGBAT PRA100I2
RR6 VINPOS XSIG010060 {MC( 27ohms , 1000.000000M /100)} TC=100.000000U
XM3 CENBAT POSBAT VINPOS IRLML2803
XR5 POSBAT VINNEG VINNEG NEGBAT PRA100I2
XII587 VINPOS VINNEG V_UNBAL VREF AGND V5V Bk1B137E_Diff_V_Sensor_V1
RR2 ENABLE XSIG010034 {MC( 15ohms , 1000.000000M /100)} TC=100.000000U
RR7 XSIG010060 XSIG010065 {MC( 49.900000K , 1000.000000M /100)}
+TC=100.000000U
XU1 XSIG010096 XSIG010065 XSIG010007 XSIG010091 XSIG010055 LM6142
RR8 POSBAT XSIG010026 {MC( 100Kohms , 1000.000000M /100)} TC=100.000000U
XM4 XSIG010007 XSIG010026 POSBAT IRLML6402
* Dictionary 0
*Warning : No ground node (Label a net GND)
*Definition For Project Bk1B137E_Diff_V_Sensor_V1
.SUBCKT Bk1B137E_Diff_V_Sensor_V1 VINPOS VINNEG VOUT VREF AGND VAL
XU1 AGND VINPOS VINNEG AGND VAL REF FB VOUT AD8237
RR1 VREF REF {MC( 200Kohms , 1000.000000M /100)} TC=100.000000U
RR2 REF AGND {MC( 143Kohms , 100.000000M /100)} TC=50.000000U
RR3 FB VOUT {MC( 78.7Kohms , 100.000000M /100)} TC=10.000000U
RR4 REF FB {MC( 18Kohms , 1000.000000M /100)} TC=100.000000U
* CROSS-REFERENCE 0
.ENDS

```

Figura 7.14:Netlist del blocco *Bk1B1142_Equalizer_V1*

Lista dei componenti utilizzati:

#	QTY	Part Number	PartLabel	PartName	Ref Designator	Value
1	3	RS_302-022	Q_IRLML2803_SOT23-3_MOS_N_1A2_30	IRLML2803	M1-M3	,,
2	1	RS_301-322	Q_IRLML6402_SOT23-3_MOS_P_3A7_20	IRLML6402	M4	
3	1	DK_AD8237ARM2-R7CT-ND	OA_AD8237_MSOP8	OA_AD8237	U1	
4	1	DK_LM6142BITM-ND	OA_LM6142_SOIC8_24V_1V8	OA_LM6142	U1	
5	1	RS_504-8928	R_1K_0603_100_1	R1K	R1	1Kohms
6	2	RS_504-9684	R_15R_0603_100_1	R15R	R2,R3	15ohms,15ohms
7	1	RS_504-9959	R_18K_0603_100_1	R18K	R4	18Kohms
8	1	RS_505-0909	R_27R_0603_100_1	R27R	R6	27ohms
9	1	DK_311-49.9KHXCT-ND	R_49K9_0603_100_1	R49K9	R7	49900
10	1	RS_472-840	R_78K7_0603_63_0x1	R78K7	R3	78.7Kohms
11	1	RS_504-8940	R_100K_0603_100_1	R100K	R8	100Kohms
12	2	RS_684-2443	R_100K_2.2x1.8mm_100_0x05_2x	R100K	R4,R5	100Kohms,
						100Kohms
13	1	RS_614-5799	R_143K_0805_100_0x1	R143K	R2	143Kohms
14	1	RS_505-0151	R_200K_0603_100_1	R200K	R1	200Kohms

Figura 7.15:Lista dei componenti utilizzati per il *Bk1B1142_Equalizer_V1*

7.2 Bk1B123H_BID_Current_Sensor

Il blocco *Bk1B123H_BID_Current_Sensor* sarà anch'esso posto all'interno del *Bk1B114_Battery_Monitor*, e ha il compito di misurare la corrente sia di carica sia di scarica della batteria, pertanto si rende necessario l'utilizzo di un sensore di corrente bidirezionale.

7.2.1 Progettazione del Bk1B123H_BID_Current_Sensor

Il sensore di corrente realizzato è mostrato di seguito:

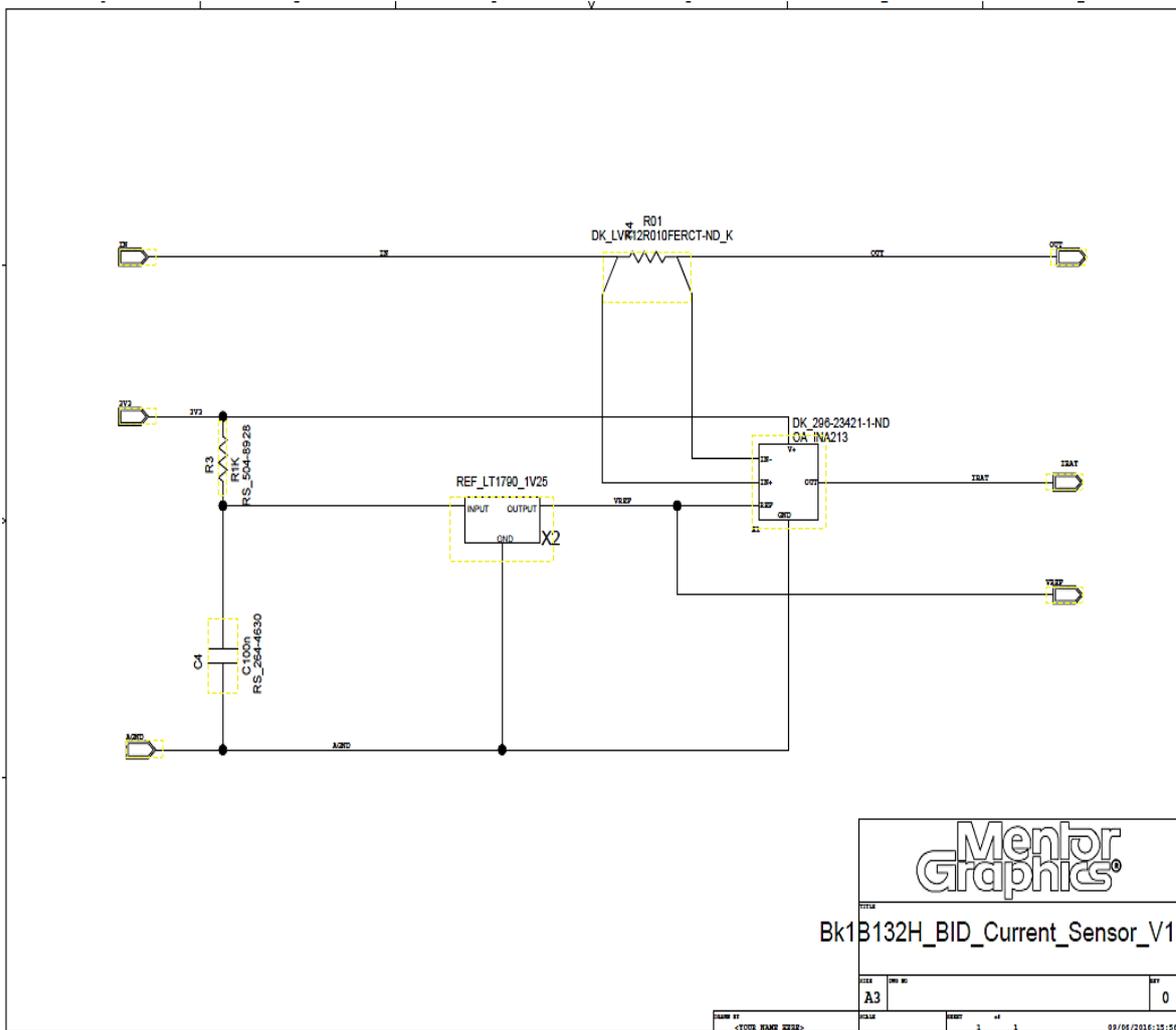


Figura 7.16: Schema elettrico del Bk1B123H_BID_Current_Sensor

La corrente viene misurata tramite la resistenza posta in serie tra l'ingresso e l'uscita, in cui la differenza di tensione ai suoi capi viene mandata in ingresso dell' INA213[21]. E' proprio questo dispositivo che permette di misurare una corrente bidirezionale, convertendola in una tensione, il cui valore viene successivamente inviato al convertitore analogico/digitale del microprocessore presente sulla scheda. Per tale motivo questo valore di tensione deve essere entro un certo range compatibile con la dinamica del convertitore A/D utilizzato. In particolare l'INA213 presenta una tensione di riferimento il cui valore è fissato mediante il dispositivo *LT1790*, opportunamente alimentato dal regolatore di tensione di 3.3V presente sulla scheda. Anche tale valore di riferimento sarà fornito al microprocessore che comparando il valore I_{BAT} (espresso in volt) con V_{REF} riesce a risalire sia al verso (segno) della corrente sia alla sua entità. Risulta ovvio quindi che in caso di corrente di batteria nulla si ha una $V(I_{BAT}) = V_{REF}$. Si è scelto un valore di riferimento pari a 1.25V in modo tale da ottenere una dinamica del segnale I_{BAT} pari a 2.5V compatibile con le caratteristiche del ADC utilizzato. Per valori compresi tra 1.25 e 2.5V si avrà una

corrente di carica della batteria, invece per valori sotto l' 1.25V si avrà una corrente di scarica della batteria. Infine la scelta del dispositivo *INA213* è dettata dal fatto di voler utilizzare una resistenza serie molto bassa in modo che in presenza di elevate correnti la caduta di potenziale ai suoi capi sia comunque limitata (si ricorda che l'uscita a tale blocco va al resto dei sottoblocchi del sistema *Bk1B113_Battery_System*) ma comunque sfruttare a pieno la dinamica dell'ADC.

Pertanto si è selezionato tale dispositivo poiché esso presenta un guadagno elevato pari a 50. Così facendo avremo :

$$\text{OUTPUTRANGE} = R_s * I_{\text{BATrange}} * G \quad (7.8)$$

Desiderato un output range pari a 2.5V e conoscendo I_{BATrange} pari a 5A e $G=50$, si è ottenuto il valore di resistenza di utilizzare pari a 10mΩ .

7.2.2 Simulazioni del blocco *Bk1B123H_BID_Current_Sensor*

Si riportano di seguito le simulazioni effettuate al fine di validare il circuito progettato.

TEST_DC_Bk1B132H

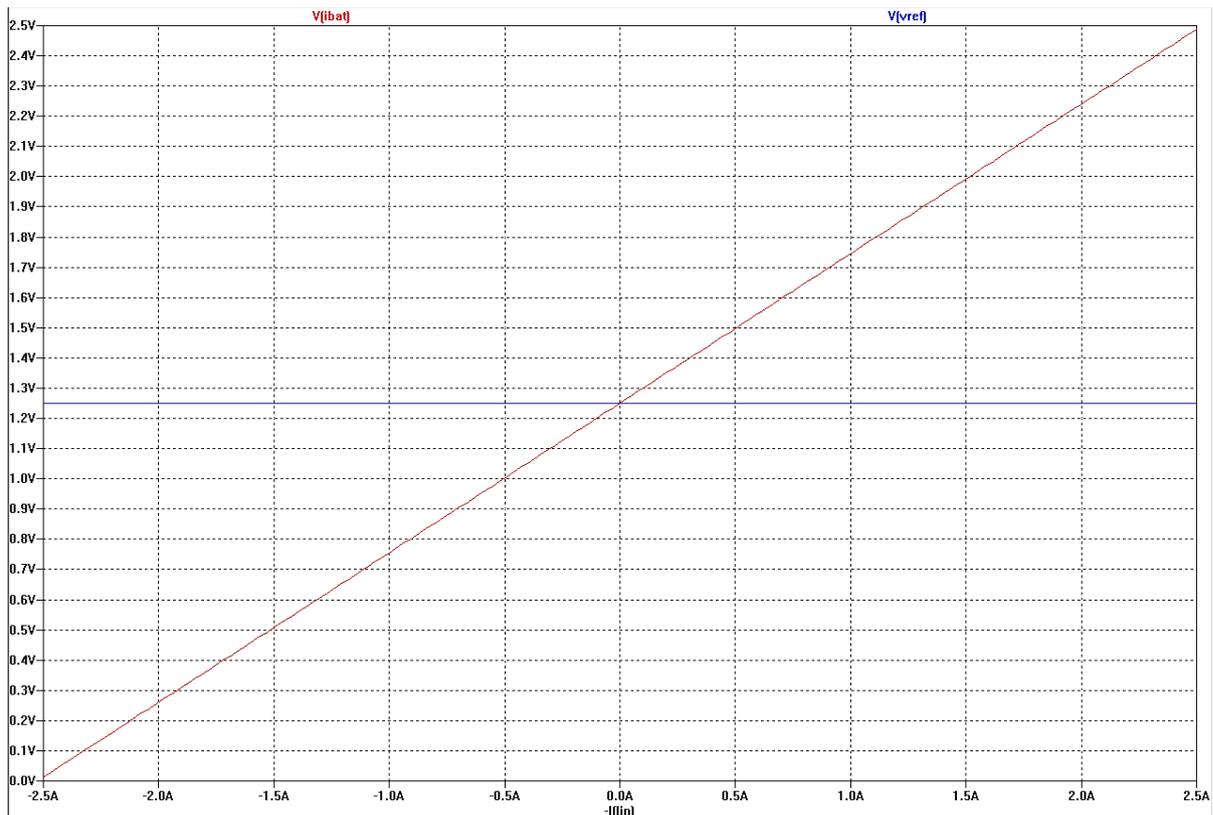


Figura 7.17: Grafico relativo al *TEST_DC_Bk1B132H*

```

.dc IIN -2.5 2.5 0.1
UAGND AGND 0 DC 0
IIN IN 0 DC 2
VOUT OUT 0 DC 0
VV3V3 N3V3 0 DC 3.3

```

Figura 7.18: Segnali utilizzati per il *TEST_DC_Bk1B132H*

Il primo test *TEST_DC_Bk1B132H* prevede di analizzare la tensione $V(I_{BAT})$ in funzione della corrente che fluisce sulla resistenza serie R1.

Come si vede dal grafico il dispositivo è in grado di misurare una corrente massima (presa uscente dal pin *IN*) di 2.5A (in entrambe le direzioni), quando essa è negativa la tensione $V(I_{BAT})$ è nulla mentre quando è positiva si ottiene un'uscita pari a 2.5V come desiderato. Inoltre si può notare come in presenza di una corrente di batteria nulla, la tensione I_{BAT} è esattamente uguale alla tensione di riferimento utilizzata.

Successivamente sono state simulate le stesse condizioni operative andando a fare un'analisi di Montecarlo (aggiungendo *.param*) e una in temperatura (aggiungendo *.step*) ottenendo risultati nell'intervallo delle specifiche di progetto e pertanto ritenuti soddisfacenti. Si mostrano di seguito i risultati delle rispettive simulazioni :

TEST_DC_Bk1B132H_MONTECARLO

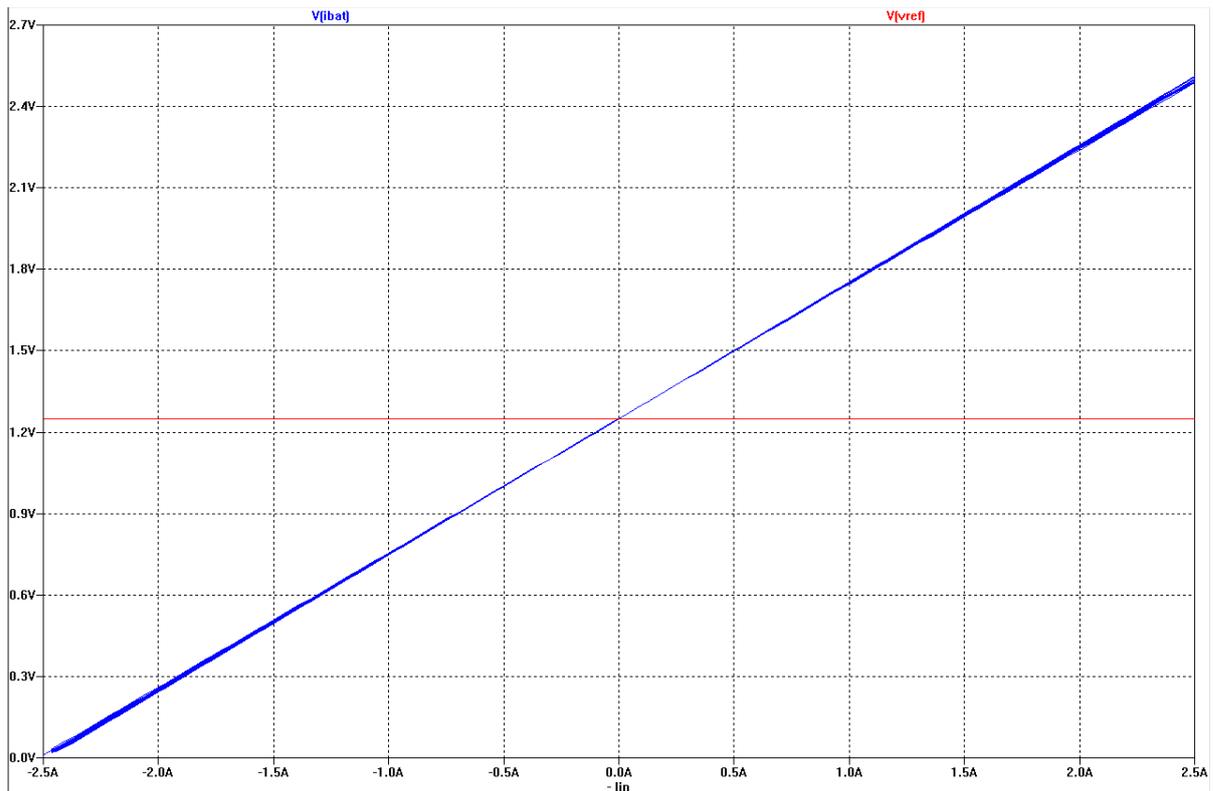


Figura 7.19: Grafico relativo al *TEST_DC_Bk1B132H_MONTECARLO*

TEST_DC_Bk1B132H_TEMPERATURA

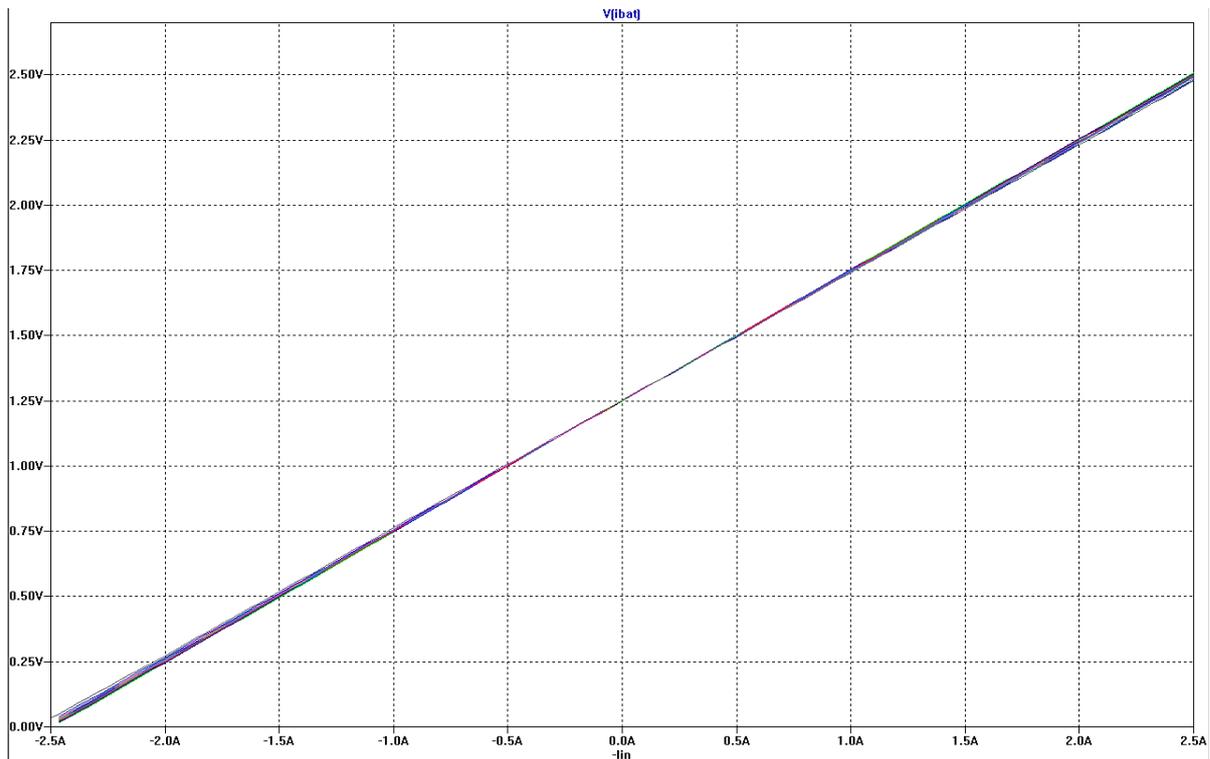


Figura 7.20: Grafico relativo al TEST_DC_Bk1B132H_TEMPERATURA

Anche in questo caso il circuito inizia a presentare problemi dopo un certo valore di temperatura, in particolare a 40°C. La ragione è ancora ricondotta a problemi relativi ai modelli di simulazione utilizzati.

7.2.3 Spice Netlist del Bk1B123H_BID_Current_Sensor e componenti utilizzati

```
X1I11 N1N68 N1N46 N3V3 AGND IBAT VREF INA213
X1I89 N1N99 AGND VREF LT1790_1V25
C1I24 N1N99 AGND {MC( 100.000000N , 10.000000 /100)} TC=100.000000U
R1I101 N3V3 N1N99 {MC( 1kohms , 1000.000000M /100)} TC=100.000000U
X1I116 IN OUT N1N68 N1N46 RES_4WIRE R={MC(10.000000M,1000.000000M/100)}
+TC=100.000000U
```

Figura 7.21: Netlist spice del blocco Bk1B123H_BID_Current_Sensor

#	QTY	Part Number	PartLabel	PartName	Ref Designator	Value
1	1	RS_264-4630	C_100n_0603_x7R_16_10	C100n		100n
2	1	DK_296-23421-1-ND	OA_INA213_5C70-6_1_26V_2.6V	OA_INA213		
3	1	RS_504-8928	R_1k_0603_100_1	R1K		1kohms
4	1	DK_LVK12R010FERCT-ND_K	R_10m_0603_100_1	R01		10M
5	1	DK_LT1790BC56-1.25	REF_LT1790_V_SOT23-6_1V25_0%L	REF_LT1790_1V25		

Figura 7.22: Lista dei componenti del Bk1B123H_BID_Current_Sensor

7.3 1B133A_Temperature_Sensor_V1

Il blocco *1B133A_Temperature_Sensor_V1* permette di monitorare costantemente la temperatura sulla scheda, inviando tali misure sottoforma di tensione al convertitore analogico-digitale del microprocessore utilizzato. Pertanto risulta necessario che la dinamica segnale sia compatibile a quella dell'ADC .

7.3.1 Progettazione del 1B133A_Temperature_Sensor_V1

Lo schema circuitale del sensore realizzato è mostrato di seguito:

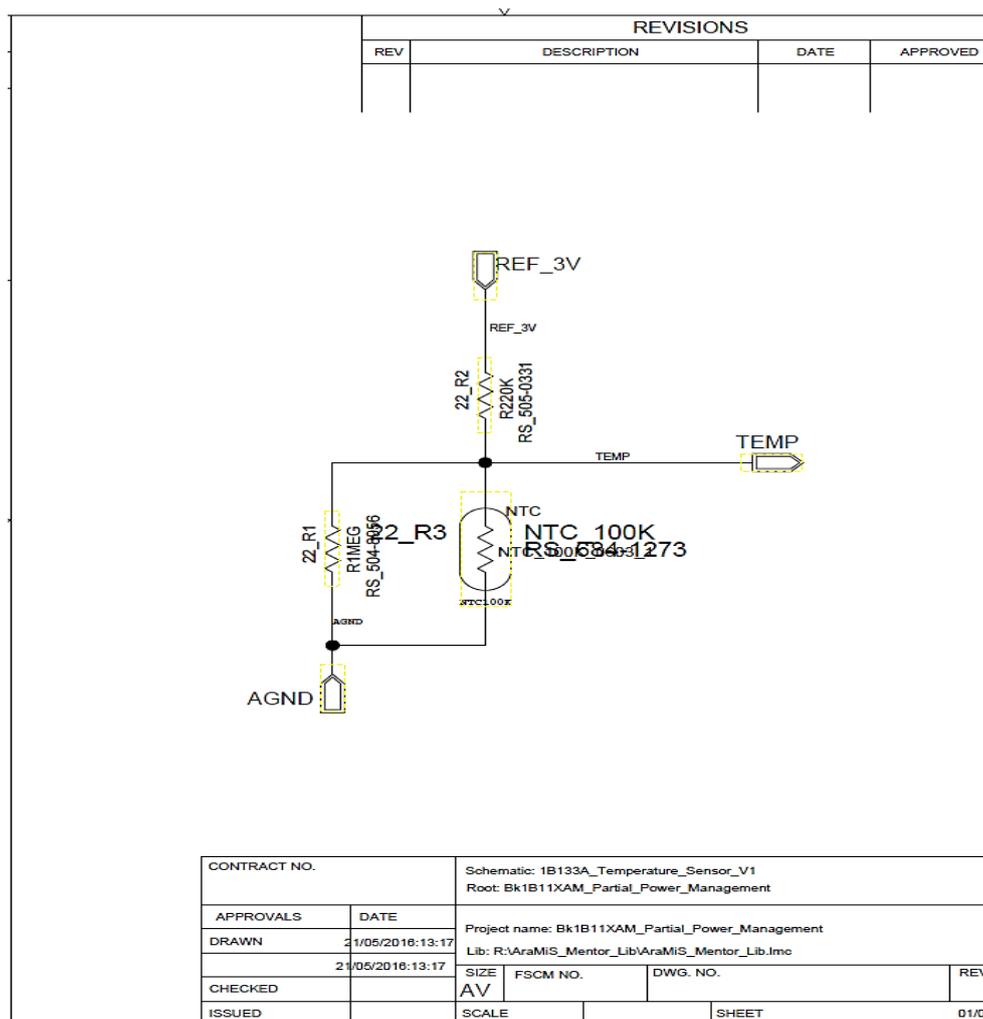


Figura 7.23: Schema elettrico relativo al blocco *1B133A_Temperature_Sensor_V1*

Questo sensore permette di misurare temperature nell'intervallo compreso tra i -30°C e i 70°C mediante la variazione della tensione di uscita *TEMP* . Tale variazione è ottenuta attraverso l'utilizzo di un riferimento di 3V (reso disponibile mediante opportuno regolatore collegato al PDB dal sistema AraMis) e di una serie di resistori tra cui in particolare un *NTC* (*Negative Temperature Coefficient*), che a causa della variazione di temperatura subisce un cambiamento del suo valore resistivo (un aumento di T porta ad una riduzione di R), generando una variazione in uscita , con la relazione seguente

$$\text{TEMP} = 3V * \frac{22_R1//R(T)}{22_R1//R(T)+22_R2} \quad \text{dove } R(T) = R_{25}e^{\beta_{25}\left(\frac{1}{T} - \frac{1}{T_{25}}\right)} \quad (7.9)$$

Con $T_{25}=298.15\text{K}$, $R_{25}=100\text{k}\Omega$ (resistenza del termistore a 25°C), $\beta=4100\text{K}$.

In seguito vengono riportati alcuni risultati ottenuti dalla simulazione di tale blocco, in cui si osserva le variazioni di potenza e della tensione di uscita $TEMP$ in funzione della temperatura. Come si può osservare si avrà per temperatura basse una tensione elevata pari a 2.5V (all'interno della dinamica del convertitore A/D) e all'aumentare della temperatura tale valore tende man mano a diminuire, più o meno linearmente.

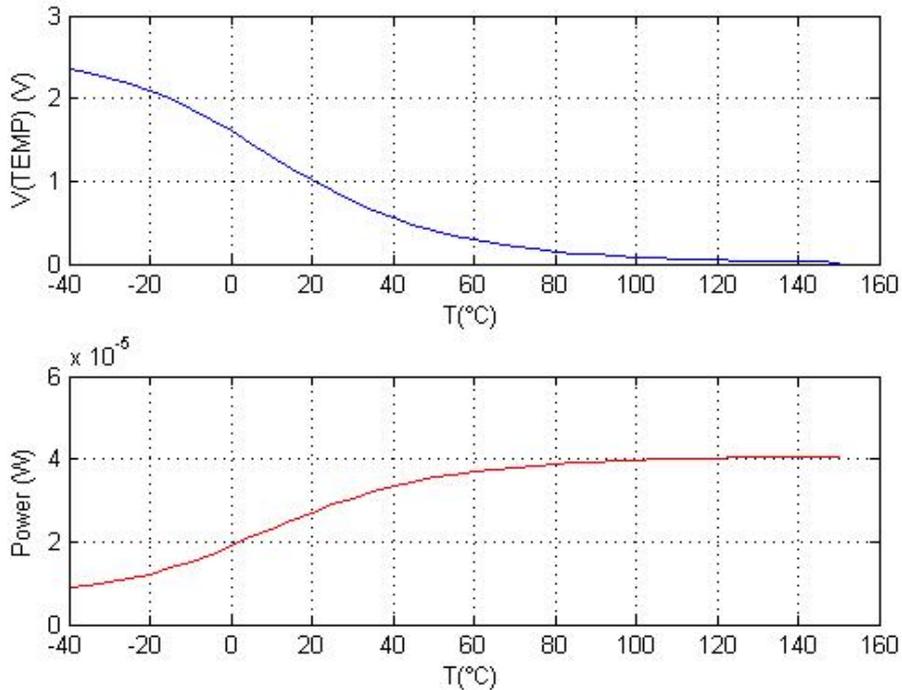


Figura 7.24: Variazione della tensione di uscita e della potenza in funzione della temperatura per il blocco *1B133A_Temperature_Sensor_V1*

7.3.2 Spice Netlist del blocco *1B133A_Temperature_Sensor_V1* e componenti

Si riporta di seguito la netlist del sensore di temperatura realizzato:

```
RR1 TEMP AGND {MC( 1Mohms , 1000.000000M /100)} TC=100.000000U
RR2 REF_3V TEMP {MC( 220kohms , 1000.000000M /100)} TC=100.000000U
XR3 TEMP AGND NTC100K
```

Figura 7.25: Netlist spice del blocco *1B133A_Temperature_Sensor_V1*

E la lista dei componenti utilizzati:

#	QTY	Part Number	PartLabel	PartName	Ref Designator	Value
1	1	RS_684-1273	NTC_100K_0603_1	NTC_100K	R3	
2	1	RS_504-8956	R_1MEG_0603_100_1	R1MEG	R1	1Mohms
3	1	RS_505-0331	R_220K_0603_100_1	R220K	R2	220kohms

Figura 7.26: Componenti utilizzati per il blocco *1B133A_Temperature_Sensor_V1*

7.4 Bk1B131B_Voltage_Sensor_V1

L'ultimo dei sensori realizzati è il *Bk1B131B_Voltage_Sensor_V1*. Questo sensore ha il compito di monitorare continuamente il livello di tensione del banco batterie (due celle *Li-Po* poste in serie) e fornire i valori misurati al microprocessore. Esso risulta fondamentale sia nella fase di carica sia nella fase di scarica delle batterie. Nel primo caso, fornendo un valore di tensione pari al massimo ammesso per le celle utilizzate, fa sì che il microprocessore (tramite opportuno software) eviti la sovraccarica delle celle anche se sul *PDB* è presente una tensione superiore ai 14.5V . Mentre nel secondo caso inviando al sistema di controllo una tensione pari a 6V (imposta da progetto come minima tensione di batteria), garantisce che non vi sia l'ulteriore scarica delle batterie che le renderebbe non più utilizzabili.

7.4.1 Progettazione del Bk1B131B_Voltage_Sensor_V1

Lo schema circuitale realizzato è mostrato in figura:

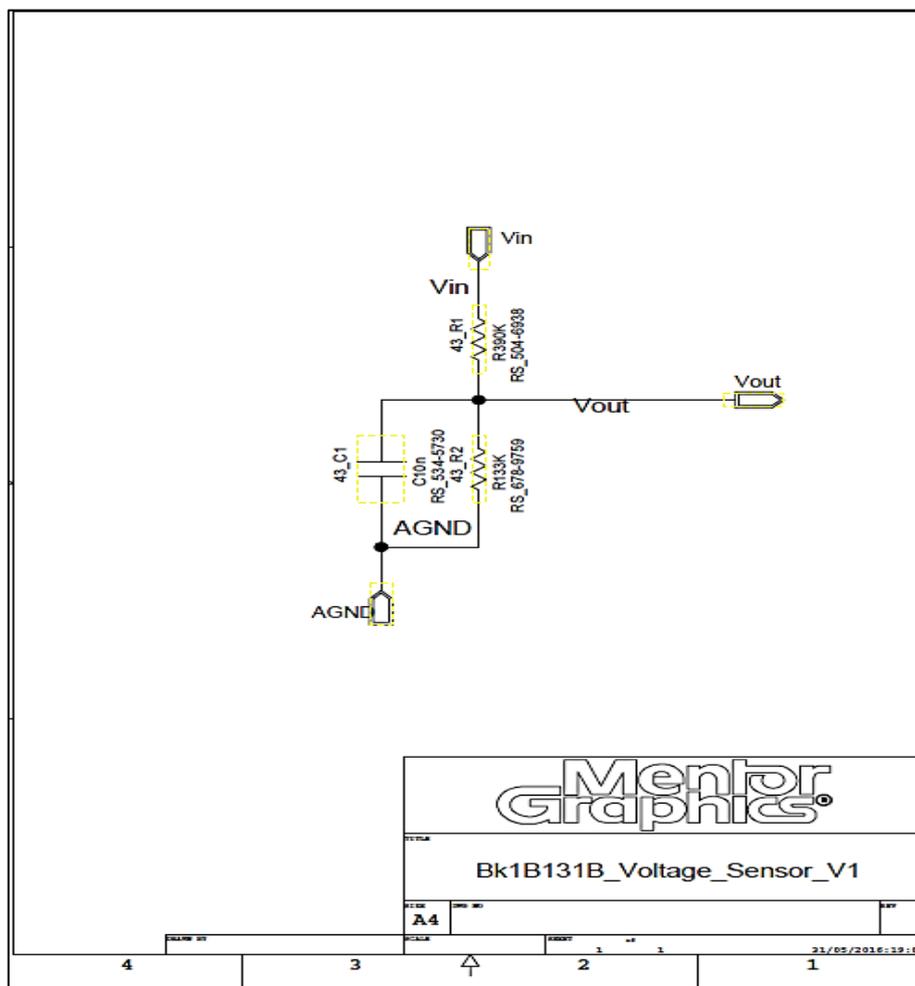


Figura 7.27: Schema circuitale del *Bk1B131B_Voltage_Sensor_V1*

Il circuito di misura della tensione è costituito semplicemente da un partitore resistivo, il cui compito è di adattare il range di tensioni di batteria alla dinamica dell' ADC utilizzato. Il *Bk1B131B_Voltage_Sensor_V1* permette di misurare tensioni di batteria fino ai 10V.

7.4.2 Spice Netlist del blocco Bk1B131B_Voltage_Sensor_V1 e componenti

Si riporta in seguito la netlist del sensore di tensione realizzato:

```
CC1 Vout AGND {MC( 0.01uF , 10.000000 /100)} TC=10.000000U
RR1 Vin Vout {MC( 390Kohms , 1000.000000M /100)} TC=100.000000U
RR2 Vout AGND {MC( 133Kohms , 1000.000000M /100)} TC=100.000000U
```

Figura 7.28: Netlist spice del blocco *Bk1B131B_Voltage_Sensor_V1*

E la lista dei componenti utilizzati:

#	QTY	Part Number	PartLabel	PartName	Ref Designator	Value
1	1	RS_534-5730	C_10n_0603_X7R_50V_10	C10n	C1	10n
2	1	RS_678-9759	R_133K_0603_100_1	R133K	R2	133kohms
3	1	RS_504-6938	R_390K_0603_100_1	R390K	R1	390kohms

Figura 7.29: Lista dei componenti utilizzati per il *Bk1B131B_Voltage_Sensor_V1*

7.5 Sistema completo del Bk1B114_Battery_Monitor

L'insieme dei blocchi illustrati nei precedenti paragrafi:

- *Bk1B1142_Equalizer_V1*
- *Bk1B132H_BID_Current_Sensor*
- *Bk1B131B_Voltage_Sensor_V1*
- *1B133A_Temperature_Sensor_V1*

costituisce il macroblocco chiamato *Bk1B114_Battery_Monitor*. Quest'ultimo può essere visto come un *Reusable Block* avente i seguenti pin di I/O :

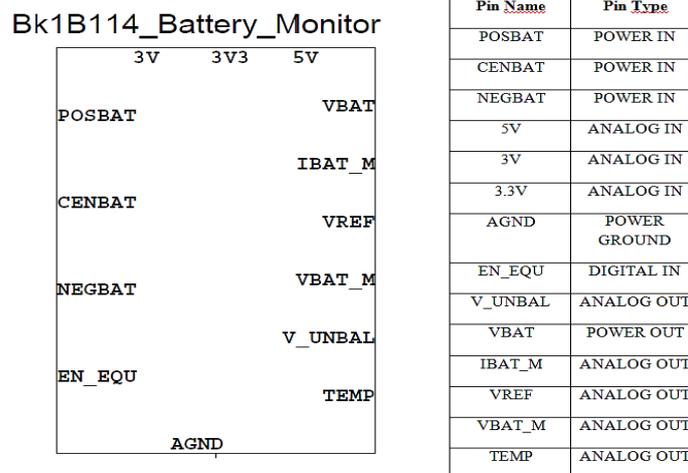


Figura 7.30: Rappresentazione del blocco *Bk1B114_Battery_Monitor* e tabella dei pin

L'intero sistema è stato descritto in *UML* attraverso un diagramma delle classi che permette di dare una visione più chiara dell'intero blocco:


```
XBk1B133A_Temperature_Sensor_V1 AGND TEMP N3V Bk1B133A_Temperature_Sensor_V1
XBk1B1142_Battery_Equalizer_V1 AGND N3V N5V V_UNBAL EN_EQU NEGBAT CENBAT
+POSBAT Bk1B1142_Battery_Equalizer_V1
XBk1B1331B_Voltage_Sensor_V1 VBAT_M POSBAT AGND Bk1B131B_Voltage_Sensor_V1
XBk1B132H_BID_Current_Sensor_V1 VREF IBAT_M VBAT AGND N3V3 POSBAT
+Bk1B132H_BID_Current_Sensor_V1
```

Figura 7.33:Spice netlist del blocco Bk1B114_Battery_Monitor

Capitolo 8

Bk1B114_Battery_System_V2

L'insieme dei macroblocchi illustrati nel dettaglio nei precedenti capitoli consente mediante la loro interazione, di implementare le principali funzioni di: immagazzinamento, gestione e distribuzione dell'energia delle sorgenti secondarie a bordo del satellite. Il sistema complessivo che ha il compito di amministrare tutte le attività che includono l'utilizzo delle batterie, prende il nome di *Bk1B114_Battery_System_V2*.

Esso oltre ad essere costituito dai sottosistemi finora studiati (ciascuno dei quali inteso come *Reuseble block*) include ulteriore sottoblocchi che permettono:

- sviluppo di funzioni avanzate mediante il supporto di un appropriato software
- comunicazione con il *IB1_Power_Management_Subsystem*, di cui ne è sottosistema, e con le altre *tile* montate sul satellite
- programmazione e debugging
- collegamento diretto al *Power Distribution Bus*
- collegamento diretto ai pannelli solari (non ancora utilizzato)

In definitiva il sistema finale è perciò costituito dai seguenti elementi:

- *Bk1B118_Battery_Discharger_V2*
- *Bk1B113_Battery_Charger_V3*
- *Bk1B114_Battery_Monitor*
- *Bk1B14221W_Tile_Processor_4M_V1*
- *IB126A_Inter_Tile_Distribution*
- *Bk1B4851_I2C_Interface*
- *Bk1B4854_JTAG_Interface*
- *2 Batterie Li-Po Mikroe 1120*
- Due regolatori di tensione di 5V e 3.3V e un generatore di riferimento a 3V

La relazione tra tutti questi sottocircuiti è descritta in modo più chiaro attraverso l'utilizzo di un opportuno *Class Diagram* (Figura 8.1), e le funzioni dei blocchi non ancora descritti mostrate nei paragrafi successivi.

8.1 Bk1B14221W_Tile_Processor_4M_V1

Il *Bk1B14221W_Tile_Processor_4M_V1* ha il compito di processare i dati provenienti dagli altri sottosistemi ed effettuare varie operazioni di controllo.

Esso è costituito principalmente da un microprocessore ultra low-power *MSP430F5437*[22] della Texas Instruments, che attraverso l'utilizzo di 5 moduli è connesso ai restanti blocchi del sistema.

I moduli utilizzati (appartenenti al *Bk1B48W_Single_Module_Interface*) sono:

- *MODULE_A*
- *MODULE_B*
- *MODULE_C*
- *MODULE_D*
- *MODULE_JTAG*

Lo schema circuitale è rappresentato in figura:

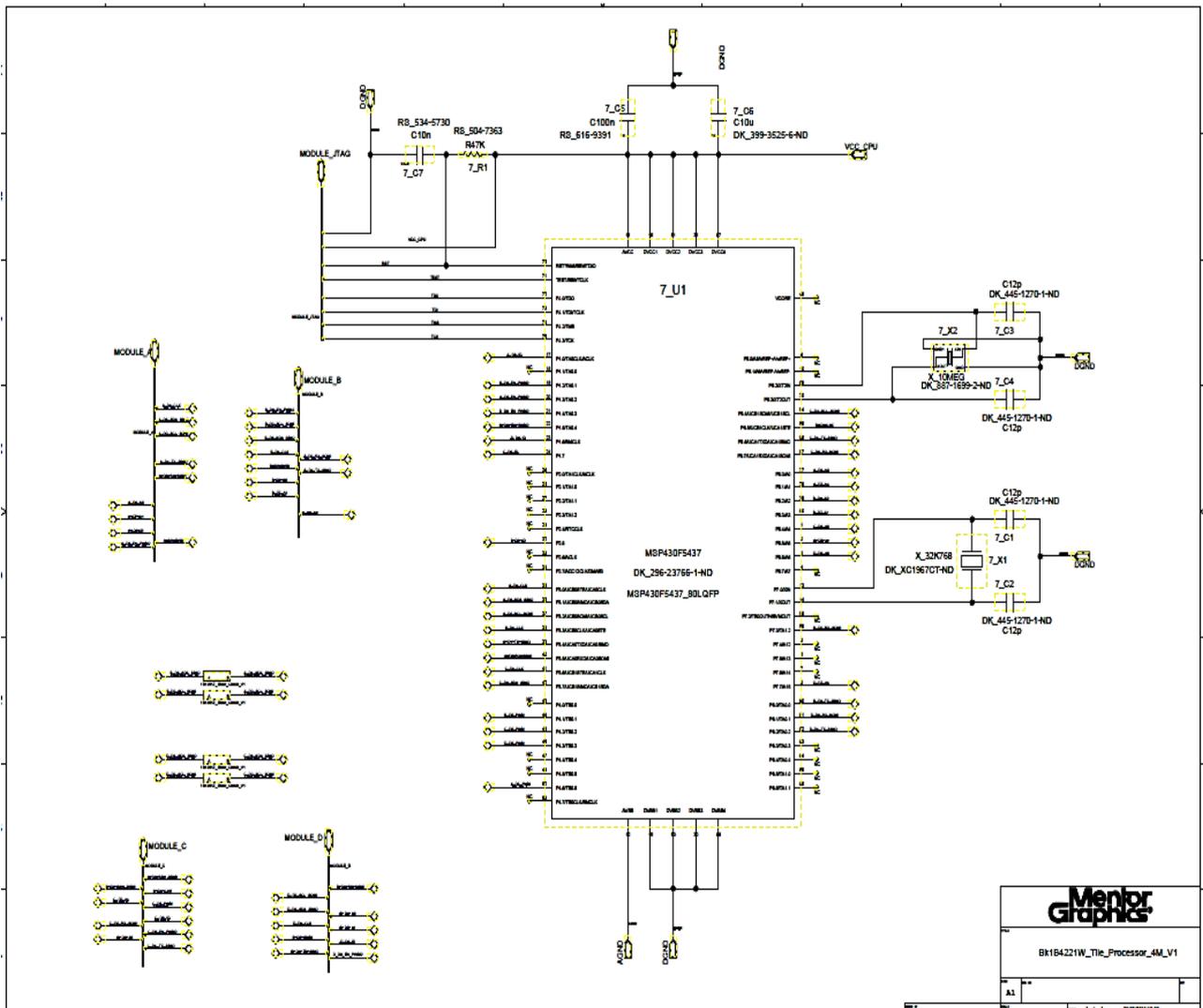


Figura 8.2: Schema circuitale del blocco *Bk1B14221W_Tile_Processor_4M_V1*

Le relazioni tra i vari elementi sono meglio illustrate mediante l'uso di un diagramma delle classi :

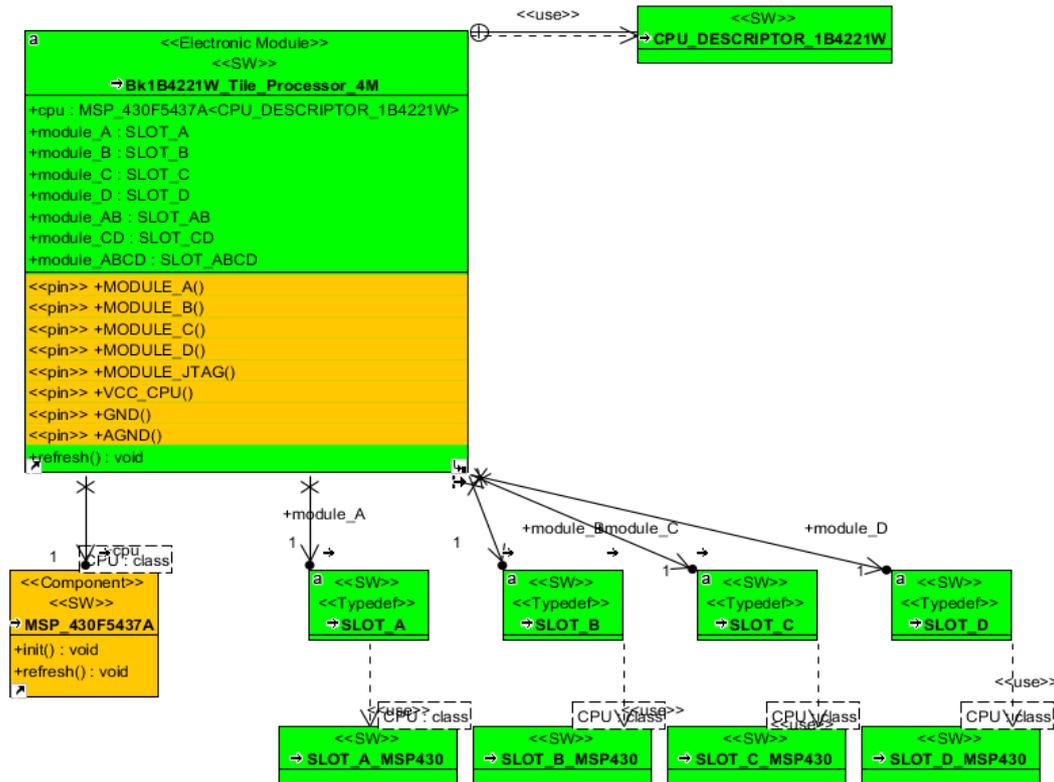


Figura 8.3:Class Diagram del blocco Bk1B4221W_Tile_Processor_4M_V1

Ognuno dei primi 4 moduli presenta diversi canali di collegamento(analogici, digitali, di potenza) :

- 'A_PDB
- 'A_5V
- 'A_3V3
- 'A_REF
- 'A_DO_RX_SOMI
- 'A_D1_TX_SIMO
- 'A_D2_SCL_SOMI
- 'A_D3_SDA_SIMO
- 'A_D4_CLK
- 'A_D5_PWM
- 'A_D6_A0
- 'A_D7_A1
- 'A_D8_ID
- 'A_D9_EN_PWM2
- 'A_EXT1
- 'A_EXT2

Figura 8.4:Canali di collegamento del Bk1B48W_Single_Module_Interface

Mentre il Module_JTAG sarà direttamente collegato al blocco di interfaccia JTAG.

8.2 Bk1B4854_JTAG_Interface

Questo blocco è costituito da un connettore a 8 pin e ha il compito di fornire un 'interfaccia all'utente per la programmazione o l'individuazione di porzioni di software affette da errore

(debugging) del microprocessore montato sulla scheda. Ad esso inoltre viene collegato il piedino di alimentazione dell' unità di controllo come si nota dal seguente schematico:

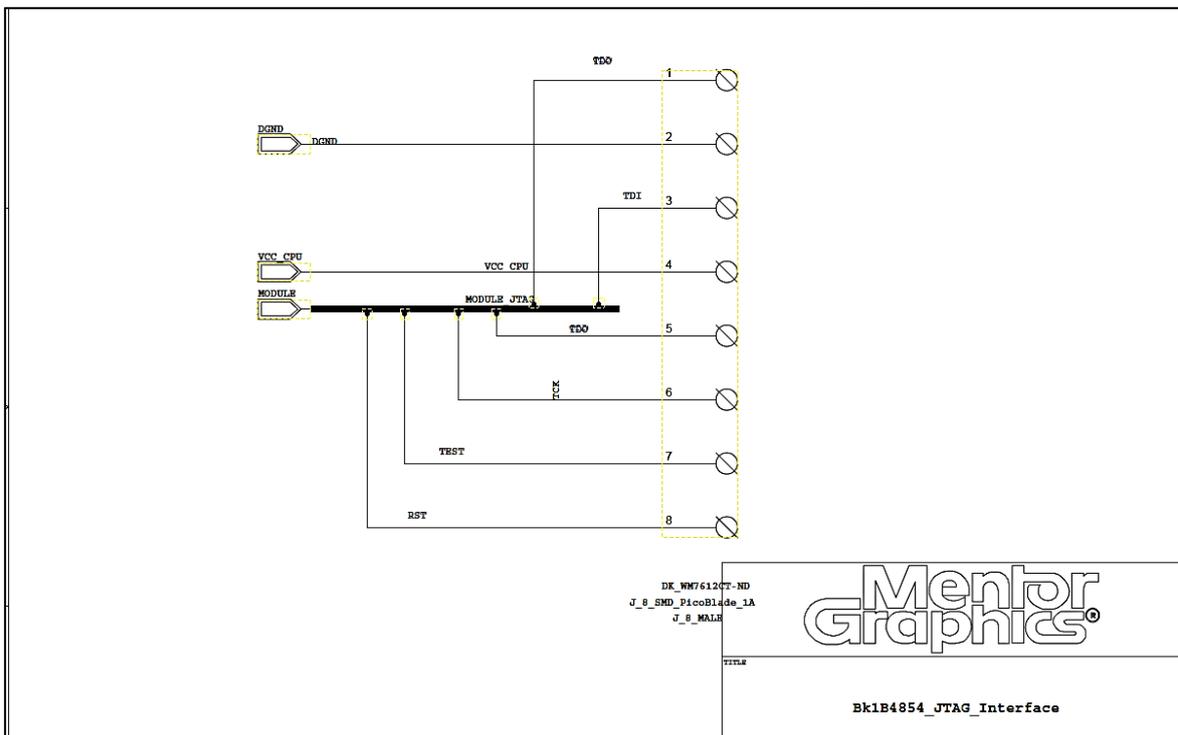


Figura 8.5: Schematico del blocco *Bk1B4854_JTAG_Interface*

8.3 Bk1B4851_I2C_Interface

Un altro connettore nel sistema progettato è relativo al blocco *Bk1B4851_I2C_Interface*.

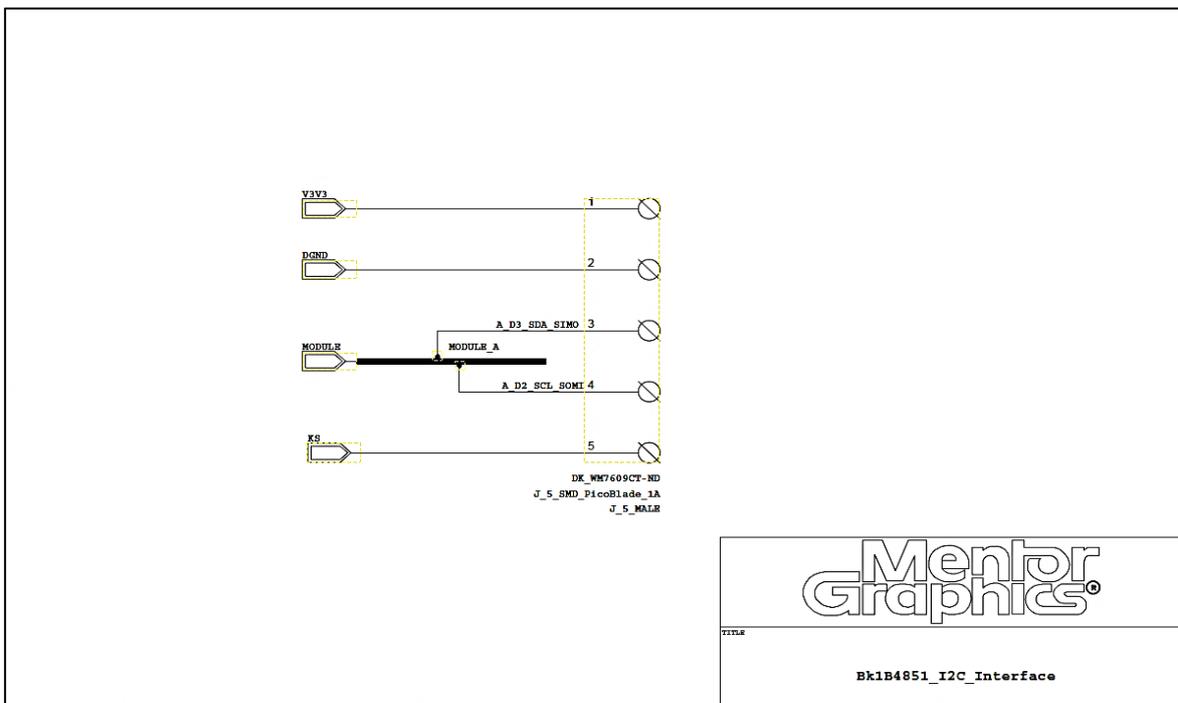


Figura 8.6: Schema elettrico del *Bk1B4851_I2C_Interface*

Esso è costituito da un connettore a 5 posizioni e permette la comunicazione seriale bifilare tra la scheda realizzata e le altre *tile* presenti a bordo del satellite.

8.4 1B1262A_Inter_Tile_Distribution

L'ultimo dei connettori presenti sulla scheda *Bk1B114_Battery_System_V2* è un connettore a 4 ingressi. Esso è utilizzato per la connessione del sistema sia al *Power Distribution Bus*, che grazie ai suoi livelli di tensione determina quali degli elementi all'interno del sistema stesso entrano in funzione. Sia ai pannelli solari, in cui nel corso di questo elaborato non è stata utilizzata questa possibilità ma non se ne esclude un possibile utilizzo futuro.

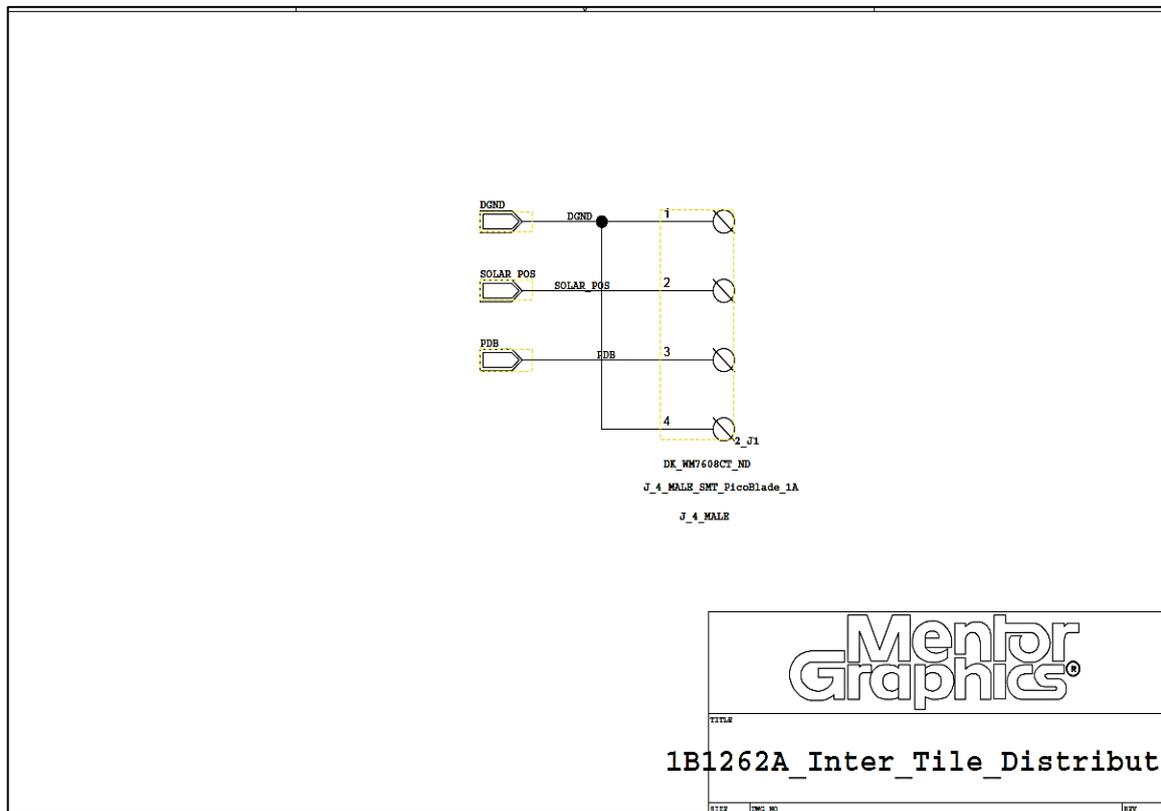


Figura 8.7: Schema elettrico del *1B1262A_Inter_Tile_Distribution*

8.5 Sistema finale Bk1B114_Battery_System_V2

L'insieme di tutti i blocchi illustrati nel corso di questo elaborato permettono di definire il sistema complessivo di gestione dell'energia delle sorgenti secondarie a bordo del satellite. Il seguente sistema sfrutta a pieno come abbiamo visto, le potenzialità messe a disposizione dallo strumento *Menthor Graphics* utilizzando fortemente il concetto di *Reusable Blocks* e di struttura gerarchica nella sua composizione. Lo schema circuitale complessivo viene mostrato nella figura seguente :

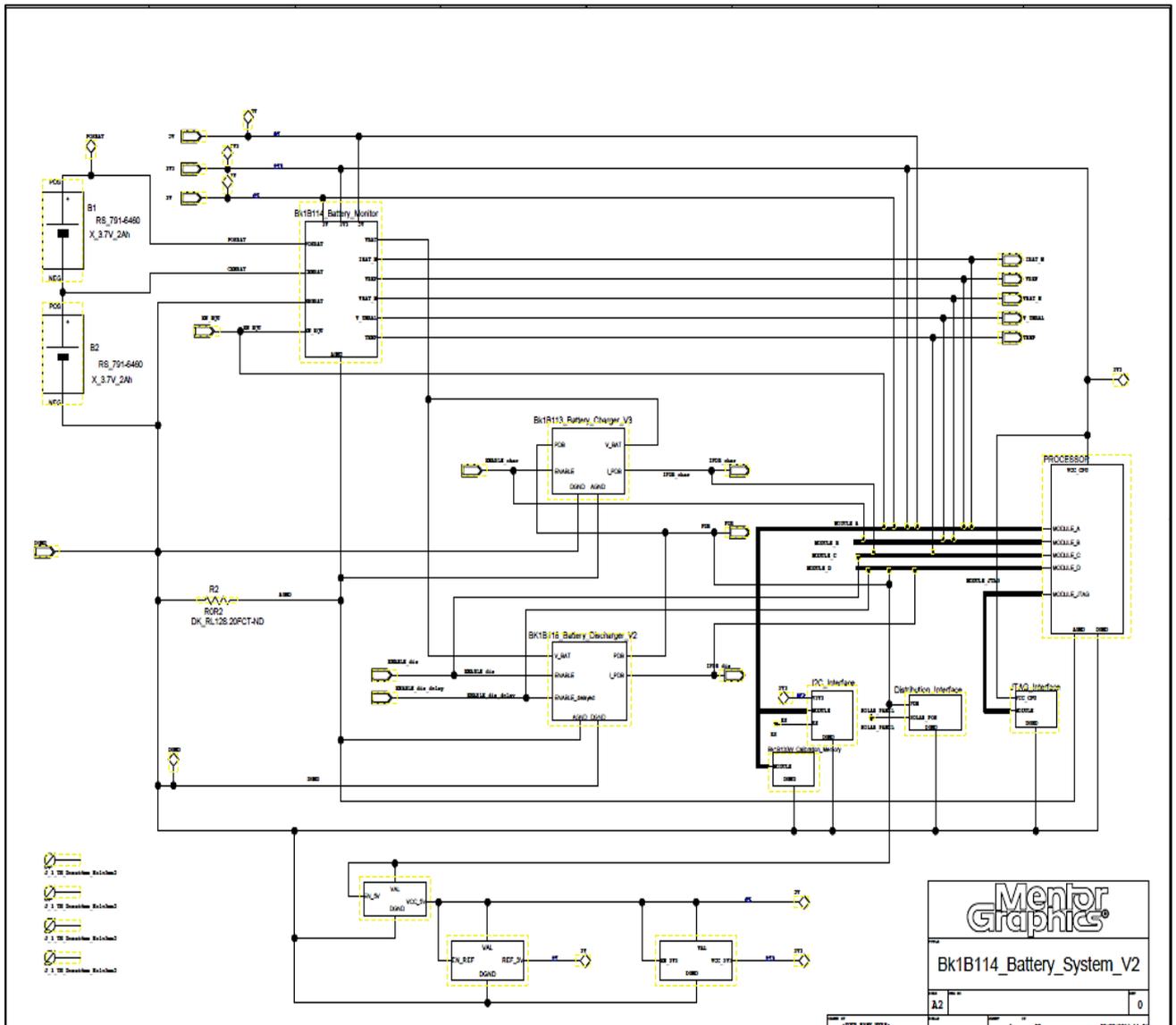


Figura 8.8: Schema circuitale del *Bk1B114_Battery_System_V2*

Dal grafico si può notare la presenza di ulteriori tre dispositivi non inglobati nei blocchi finora illustrati. Essi sono: due regolatori di tensione uno a 5V e uno a 3.3V e un generatore di riferimento a 3V.

Tutti e tre sono sempre attivi ed in particolare il regolatore di tensione a 5V è direttamente collegato al *PDB* mentre gli altri due dispositivi sono collegati all'uscita del regolatore a 5V. Quest'ultimo permette di alimentare i dispositivi all'interno del blocco di monitoraggio *Bk1B114_Battery_Monitor*, che devono essere sempre attivi al fine di monitorare costantemente e in tempo reale lo stato del banco batterie.

Mentre il regolatore a 3.3V viene utilizzato per alimentare il microprocessore posizionato sulla scheda, che anch'esso deve essere tenuto sempre in funzione.

Nel sistema è utilizzato anche un processo di calibrazione effettuato mediante il *reusable block Bk1B130W_Calibration_Memory*.

All'interno dello schematico è presente anche un blocco che costituisce i 4 fori presenti sulla scheda realizzata (meglio illustrati nel prossimo capitolo) e che quindi non ha alcun significato dal punto di vista elettrico.

Infine abbiamo detto che il microprocessore è collegato al resto dei sottosistemi attraverso l'utilizzo di 4 moduli, si mostra di seguito la tabella con i relativi collegamenti, dove a sinistra sono presenti i canali del bus e a destra i pin dei relativi blocchi :

MODULE_A	
A_5V	5V
A_3V3	3V3
A_REF	3V
A_D0_RX_SOMI	EN_EQU
A_D7_A1	VREF
A_D6_A0	IBAT_M

MODULE_B	
B_D6_A0	VBAT_M
B_D7_A1	V_UNBAL
B_D0_RX_SOMI	ENABLE

MODULE_C	
C_D7_A1	IPDB_CHAR
C_D6_A0	TEMP
C_D0_RX_SOMI	ENABLE_DIS

MODULE_D	
D_D7_A1	ENABLE_DELAYED
D_D6_A0	IPDB_DIS
D_PDB	PDB

Figura 8.9: Interconnessioni tra i sottosistemi e il microprocessore all'interno del sistema *Bk1B114_Battery_System_V2*

8.5.1 Simulazione del sistema finale *Bk1B114_Battery_System_V2*

Al fine di validare il sistema finale si è effettuata una simulazione complessiva andando ad osservare la caratteristica corrente-tensione sul *Power Distribution Bus*.

In particolare si è osservata, attraverso una variazione di tensione sul bus di potenza compresa tra i 12V e 16V, l'attività svolta sia dal circuito di scarica *Bk1B118_Battery_Discharger_V2* sia dal quello di carica *Bk1B113_Battery_Charger_V3*. Entrambi i blocchi sono stati abilitati contemporaneamente all'inizio della simulazione.

Pertanto la determinazione di quale blocco dovesse entrare in funzione è stata effettuata in modo del tutto analogico, attraverso la tensione presente sul bus.

I risultati ottenuti sono mostrati in figura 8.10. Si può notare dal grafico successivo, come le caratteristiche sul *PDB* sono pienamente rispettate. Ovvero nell'intervallo tra i 12V e i 13.5V lavora solamente il blocco *Bk1B118_Battery_Discharger_V2*. Nell'intervallo tra i 13.5V e i 14.5V non lavora nessuno dei due sottosistemi, evitando che essi possano lavorare contemporaneamente, come richiesto da specifica. E infine nell'intervallo di tensioni comprese tra i 14.5 e i 16V entra in azione il *Bk1B113_Battery_Charger_V3*. I valori di corrente risultano essere in modulo pari a quelli ottenuti precedentemente, tuttavia per quanto riguarda il circuito di carica il segno risulta essere negativo, poiché la corrente scorre in verso opposto.

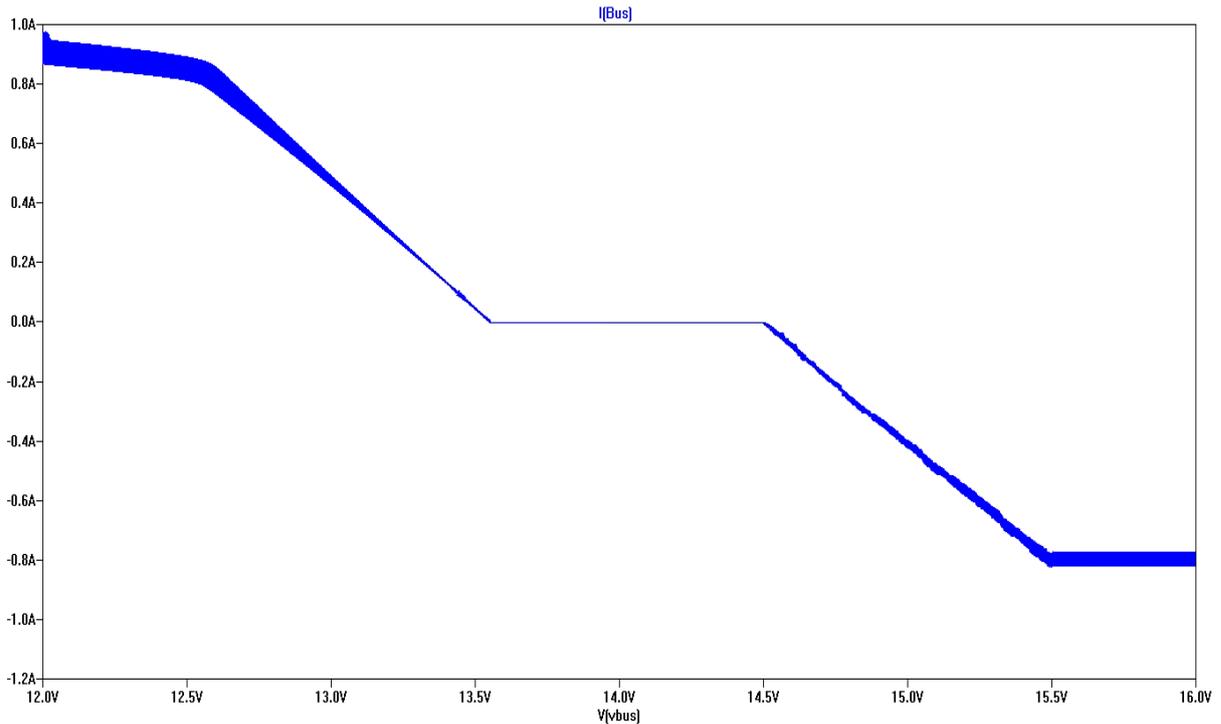


Figura 8.10: Test del *Bk1B114_Battery_System_V2*

Inoltre si può notare che non vi è più un andamento ondulatorio del *Bk1B113_Battery_Charger_V3* presente nelle precedenti simulazioni, confermando che esso era dovuto a fenomeni transitori iniziali causati dall'abilitazione del blocco.

8.5.2 Spice Netlist del sistema *Bk1B114_Battery_System_V2*

Si riporta di seguito la netlist del Sistema complessivo *Bk1B114_Battery_System_V2*:

```
X1I207 POSBAT CENBAT LIPO_BATTERY U=3.700000 Q=2.000000 R=80.000000M
X1I217 CENBAT DGND LIPO_BATTERY U=3.700000 Q=2.000000 R=80.000000M
XDistribution_Interface D_PDBPDB SOLAR_PANEL DGND
XJTAG_Interface N3U3A_3U3 DGND TDI Bk1B4854_JTAG_Interface
XI2C_Interface A_PDB DGND N3U3A_3U3 KS Bk1B4851_I2C_Interface
XBk1B113_Battery_Charger_U3 C_D7_A1IPDB_char AGND B_D0_RX_SOMIENABLE_char
+DGND D_PDBPDB UBAT Bk1B113_Battery_Charger_U3
XBk1B118_Battery_Discharger_U2 D_D7_A1ENABLE_dis_delay AGND UBAT DGND
+D_D6_A0IPDB_dis D_PDBPDB C_D0_RX_SOMIENABLE_dis
+Bk1B118_Battery_Discharger_U2
XPROCESSOR TDI C_PDB D_PDBPDB A_PDB B_PDB DGND AGND N3U3A_3U3
+Bk1B4221W_Tile_Processor_4M_U1
XBk1B114_Battery_Monitor B_D6_A0UBAT_M C_D6_A0TEMP B_D7_A1U_UNBAL A_D7_A1UREF
+ A_D6_A0IBAT_M UBAT AGND A_D0_RX_SOMIEN_EQU DGND CENBAT N3VA_REF N5VA_5U
+POSBAT N3U3A_3U3 Bk1B114_Battery_Monitor
N1I355 N0 Connector_1PIN
* Pin is not connected
N1I360 N1 Connector_1PIN
* Pin is not connected
N1I365 N2 Connector_1PIN
* Pin is not connected
N1I370 N3 Connector_1PIN
* Pin is not connected
R1I385 AGND DGND {MC( 200Mohms , 1000.000000M /100)} TC=200.000000U
N1I448 N5VA_5U N3VA_REF CELL NAME
```

Figura 8.11 Netlist spice del sistema *Bk1B114_Battery_System_V2*

Capitolo 9

Progettazione della scheda Bk1B114_Battery_System_V2 e analisi meccanica a bordo del satellite

Per implementare il sistema *Bk1B114_Battery_System_V2* su una scheda che verrà successivamente montata a bordo del satellite, si effettua la progettazione di un circuito stampato (*PCB*) multistrato basato su 4 layer e la sua valutazione da un punto di vista meccanico.

9.1 PCB

Le dimensioni di tale scheda secondo lo standard *AraMis* sono : 95.9mm x 90.2mm (Figura 9.1).

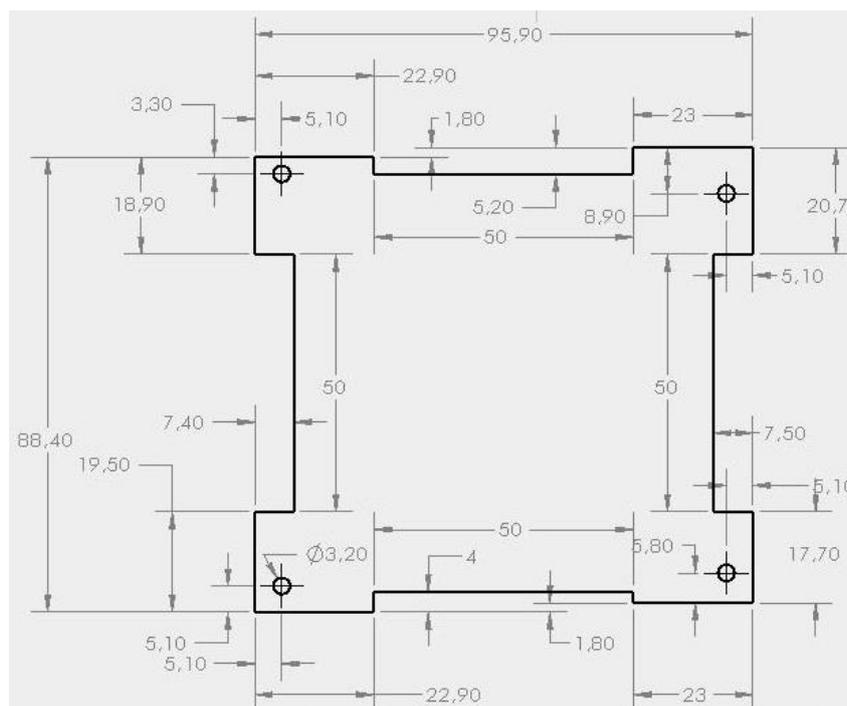


Figura 9.1: Dimensioni di un *PCB* all'interno del satellite *AraMis*

La forma della scheda non è del tutto regolare, sono presenti infatti delle riduzioni:

-) Sul bordo in alto a sinistra e in basso a destra di 1.8mm, il motivo è legato alla presenza dei *keyswitch* appartenenti alla struttura satellitare e necessari per il rilascio del satellite da parte del *P-POD*.
-) Su tutti e 4 i lati del *PCB*, dovuti alla presenza di bobine utilizzate su altre schede e necessari all'assemblaggio della sottosistema realizzato con gli altri sistemi.

Dal grafico si nota inoltre, la presenza di 4 fori all'interno della scheda, fondamentali per il fissaggio di quest'ultima a bordo del satellite mediante l'utilizzo di opportune viti.

Questo tuttavia comporta un'ulteriore riduzione dello spazio a disposizione (già molto ridotto) per il posizionamento dei componenti, diventando uno dei principali aspetti critici per la integrazione di un sistema complesso come il *Bk1B114_Battery_System_V2*.

Infatti la numerosità dei componenti e dei collegamenti in gioco sicuramente non trascurabili, e la necessità di ridurre il più possibile lo spazio occupato, ha reso necessario uno studio a priori del posizionamento dei componenti all'interno della scheda (analizzando primariamente gli elementi più ingombranti).

Inoltre durante questa analisi è stata considerata anche l'altezza dei vari dispositivi, al fine di ridurre il più possibile lo spazio occupato dalla scheda all'interno del satellite. Esso è stato fatto per cercare di garantire una maggiore area, disponibile per l'inserimento del desiderato payload caratterizzante la missione.

A tal fine si è proceduto posizionando prima di tutto le due batterie sul top layer del circuito stampato, e con esse anche i connettori presenti. Successivamente si è proceduto con il posizionamento dei dispositivi di potenza (risultanti più ingombranti) e infine il resto dei componenti. Effettuato il posizionamento di tutti i componenti del sistema, con i criteri definiti in precedenza, si è proceduto al routing dei vari collegamenti mediante l'utilizzo di due tipi di classi.

Una classe definita di default per le linee di segnale, e una definita di potenza (chiamata *POWER_2A*) molto più spessa che consente il passaggio di correnti molto più elevate e superiori ai 2A previsti sul circuito, senza danneggiarsi (o addirittura fondersi). Si riportano le caratteristiche delle due *type Net* utilizzate:

NET CLASS	Minimum(mm)	Typical(mm)	Expansion(mm)
POWER_2A			
Layer esterni	0.254	1.27	2.54
Layer interni	0.254	3.048	5.08
DEFAULT			
Layer esterni	0.152	0.254	0.254
Layer interni	0.152	0.254	0.254

Figura 9.2: Tabella delle *Net Class*

Oltre a due diversi tipi di piste sono stati definiti due tipi di VIA uno per le linee di segnale DEFAULT e uno per le linee di potenza POWER_2A.

9.2 Risultati

Si riportano di seguito i risultati ottenuti dalla progettazione del circuito stampato definito in precedenza, andando a mostrare la visuale sui 4 layer che costituiscono il PCB.

In particolare è stato deciso di suddividere quest'ultimo (su tutti i layer) in 3 sezioni distinte: una di potenza posta sulla area superiore della scheda, una sezione digitale posta in mezzo e una analogica posta nella parte inferiore della scheda. Infine si è deciso di utilizzare due piani di massa distinti uno per *AGND* (riferimento analogico) e uno per *DGND* (riferimento digitale). I due piani di massa sono stati collegati tra loro per mezzo di un resistore.

TOP LAYER

Sul top layer è possibile notare la presenza delle batterie (sotto il quale è stato deciso di non mettere alcun componente evitando così di utilizzare una struttura sospensoria), i connettori in fondo e alcuni componenti di potenza (posti in alto).

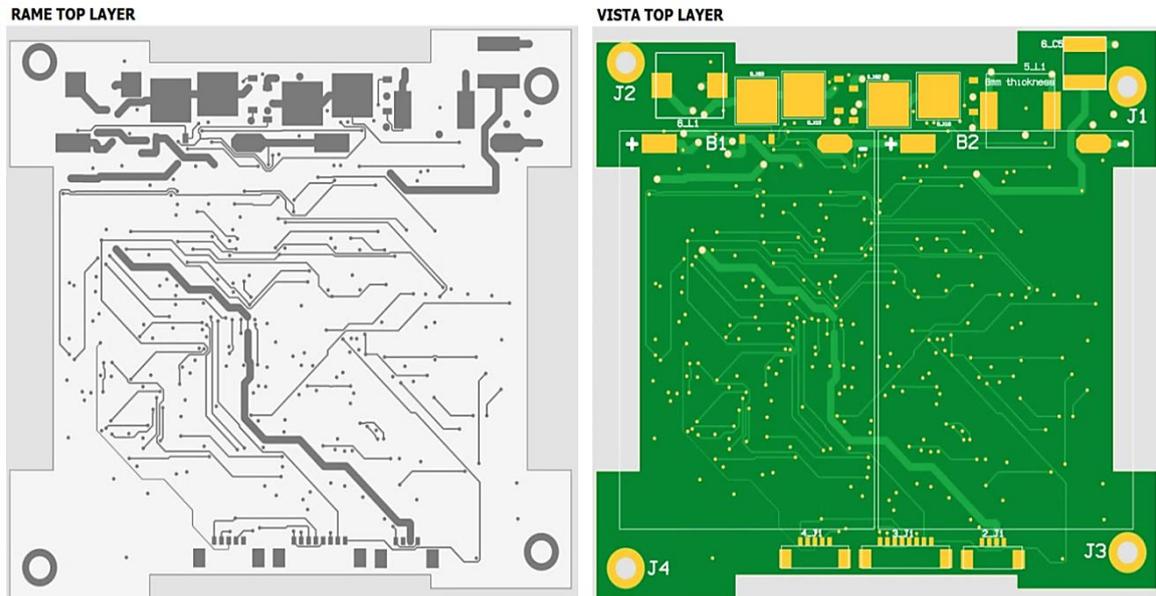


Figura 9.3:TOP LAYER,vista a volo d'uccello e rame

BOTTOM LAYER

Nel bottom layer sono presenti la maggior parte dei componenti costituenti il sistema.

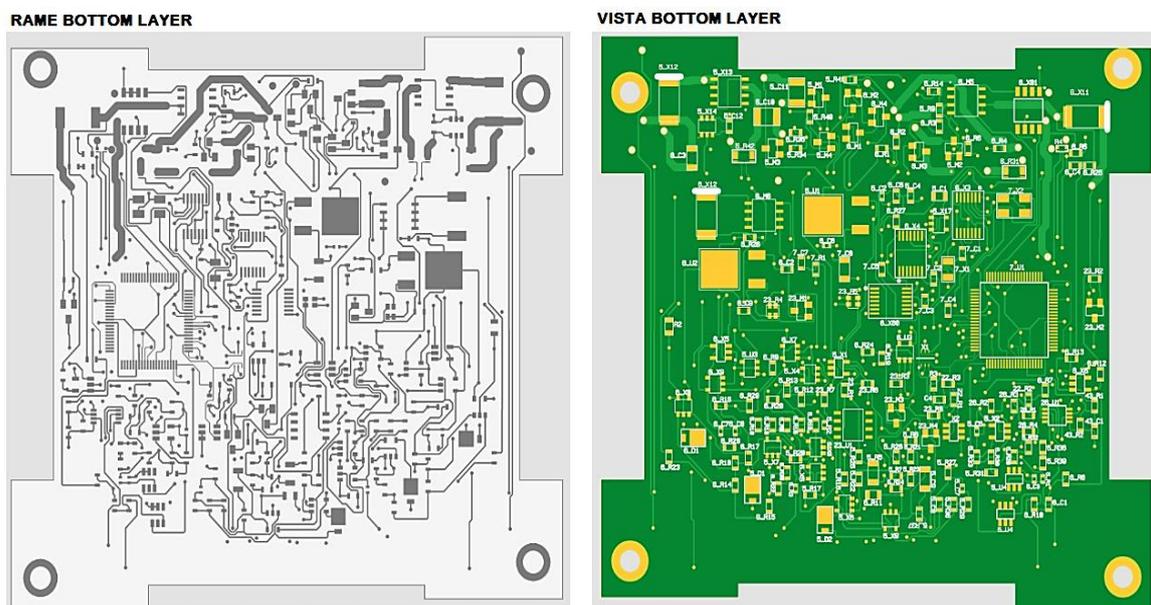


Figura 9.4:BOTTOM LAYER,vista a volo d'uccello e rame

Come è possibile notare dalla vista del rame su entrambi i layer la maggior parte delle piste di potenza *POWER_2A* sono situate sulla parte superiore della scheda, mentre le piste più sottili *DEFAULT* sono usate per il collegamento dei componenti nel resto del circuito stampato. Si evidenziano in particolare nella successiva figura le varie sezioni precedentemente elencate attraverso la viste dei due layer esterni :

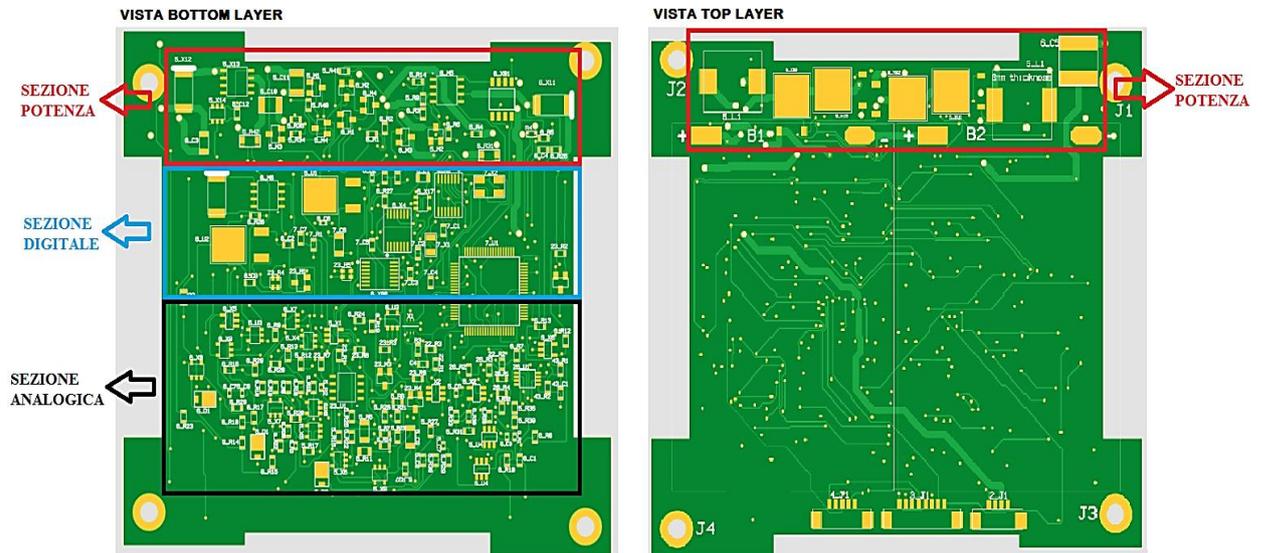


Figura 9.5: Suddivisione in sezioni del circuito stampato

LAYER 2

Nel secondo layer sono presenti i due piani di massa utilizzati e non viene effettuato alcun routing delle piste.

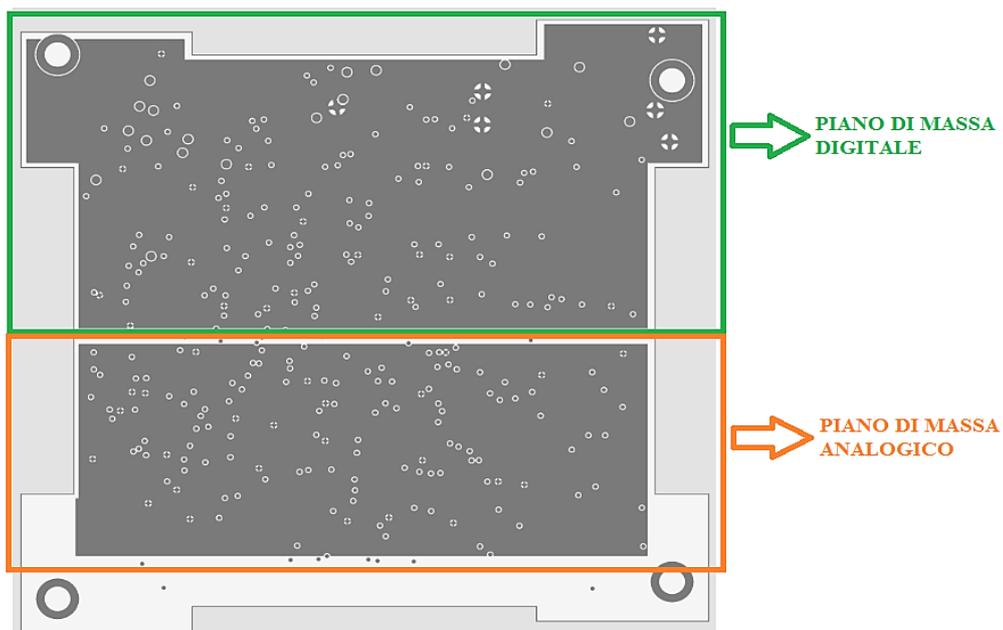


Figura 9.6: Layer 2 e suddivisione dei piani di massa

LAYER 3

Il layer3 è caratterizzato da avere piste di sezione più ampia a causa della minore dissipazione di calore all'interno del circuito stampato.

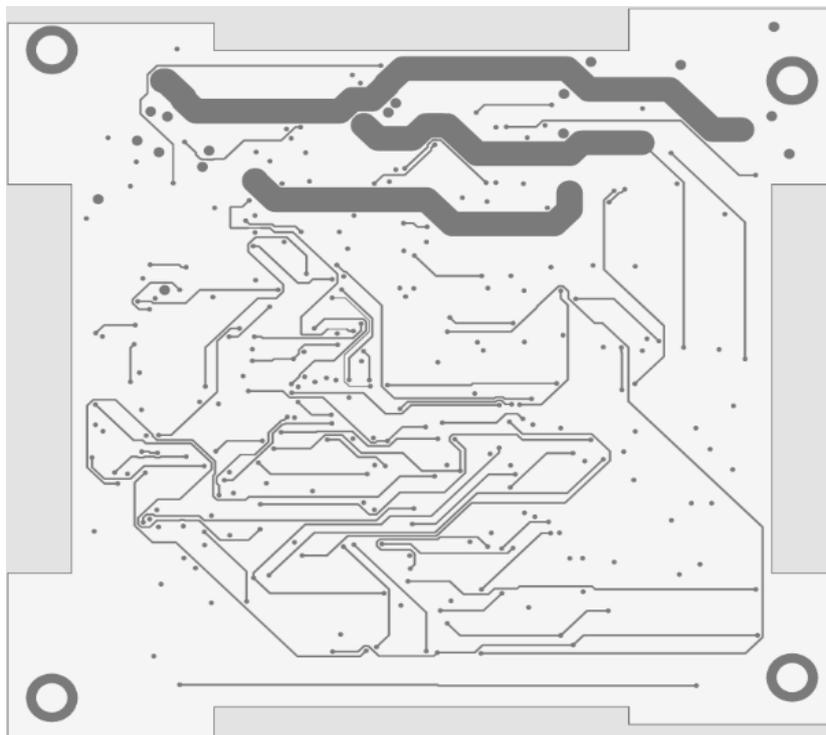


Figura 9.7: Layer 3 e piste in rame

Anche in questo caso si può osservare come le piste di potenza (più spesse) siano poste sulla parte superiore della scheda e infine la presenza di due diversi tipi di VIA, uno più ampio per le linee ad elevata corrente e l'altro più piccolo per le linee di segnale.

9.3 Analisi meccanica del PCB realizzato

Effettuata la progettazione del circuito stampato *Bk1B114_Battery_System_V2*, si è studiato il suo collocamento all'interno del satellite, analizzando che esso si adatti alla perfezione all'ambiente meccanico di destinazione.

Per far ciò si è utilizzato il software di disegno e progettazione tridimensionale parametrica chiamato *Solidworks*, che ha permesso l'analisi della geometria del circuito stampato (Figura 8.8) e una rappresentazione 3D dei componenti elettronici utilizzati.

Infatti il seguente CAD da la possibilità di importare i file (*Gerber, NC Drill*) relativi al PCB progettato, fornendo in uscita una sua visualizzazione in formato tridimensionale e consentendo una sua valutazione non più solo legata ad un punto di vista elettrico.

Prima di tutto si è realizzata una rappresentazione 3D della scheda utilizzata e rappresentata in figura seguente, al fine di valutare che essa si adattasse al meglio alla struttura del satellite già precedentemente realizzata, senza possibili problemi nel fissaggio dovuti alla presenza delle viti utilizzate.

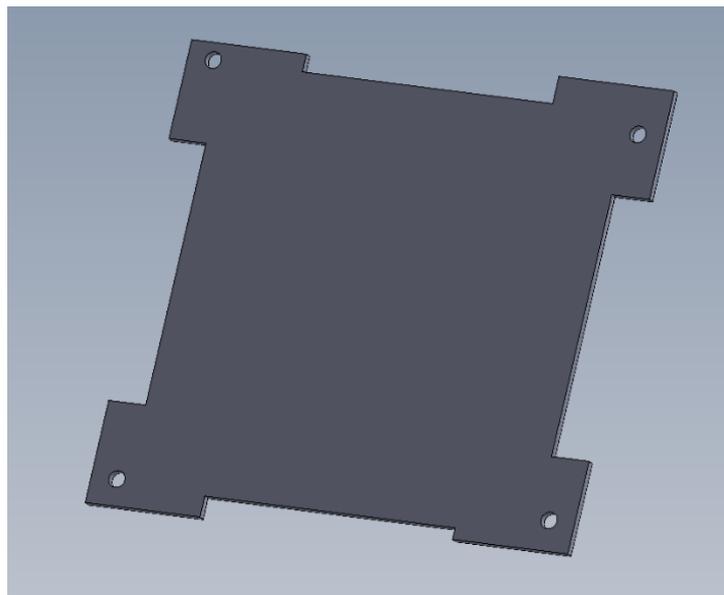


Figura 9.8: Rappresentazione 3D del circuito stampato costituenti le *tile* nell'architettura *AraMis*

Analizzato il corretto inserimento del circuito stampato a bordo del satellite, si è analizzata la presenza dei componenti posti sulla scheda, osservandone il loro inserimento da un punto di vista dello spazio occupato:

VISTA TOP LAYER

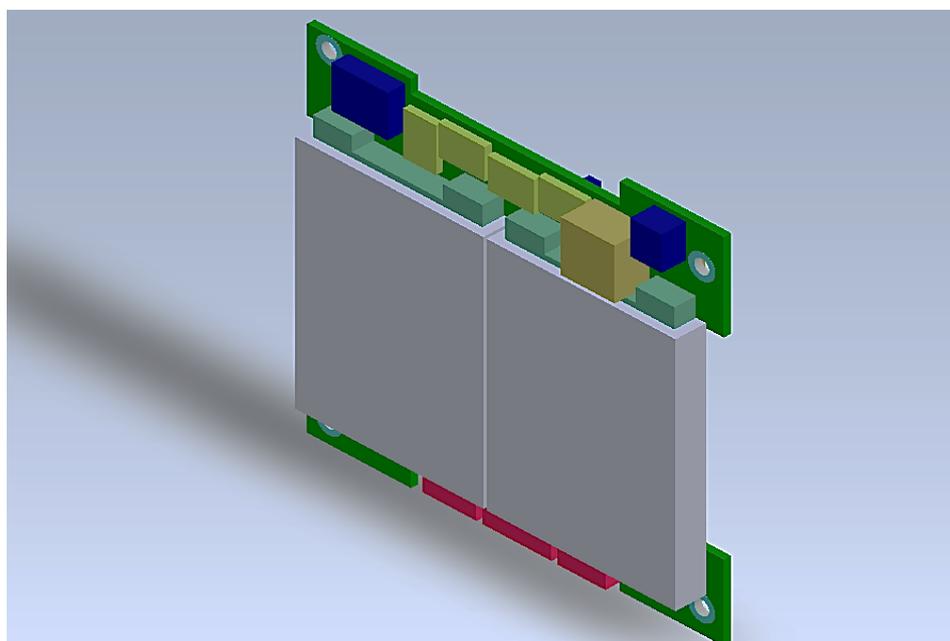


Figura 9.9: Rappresentazione 3D del circuito stampato con i componenti utilizzati

Si nota la presenza dei dispositivi più ingombranti all'interno della scheda (inclusi entrambi i layer esterni): sia in termini di area occupata, sia in termini di altezza tradotta in area occupata all'interno del satellite.

Questi elementi sono sostanzialmente le batterie poste in mezzo, i connettori (in rosso) posti nella parte inferiore e i due induttori (parte superiore). In particolare l'induttore rappresentato dal cubo in giallo è l'elemento determinante l'altezza massima del top layer, misurando 8mm. E rappresentando comunque l'elemento più alto dell'intera scheda come possiamo vedere meglio in figura (alto a sinistra):



Figura 9.10: Vista frontale 3D della scheda Bk1B114_Battery_System_V2

Osservando invece l'altro lato del circuito stampato :

BOTTOM LAYER

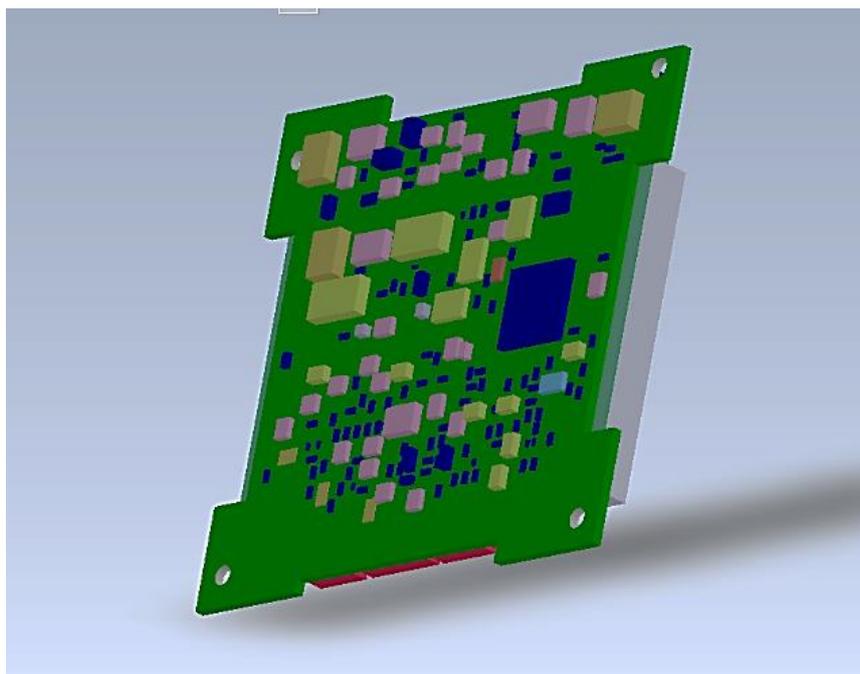


Figura 9.11: Rappresentazione 3D lato bottom del PCB con i componenti

Possiamo osservare che lo spessore dei componenti su questo lato è invece più ridotto con un'altezza massima di 2.7mm.

Pertanto si ha un'altezza totale della *tile* realizzata, incluso lo spessore della scheda stessa, pari ad 12.522mm (Figura 9.12):

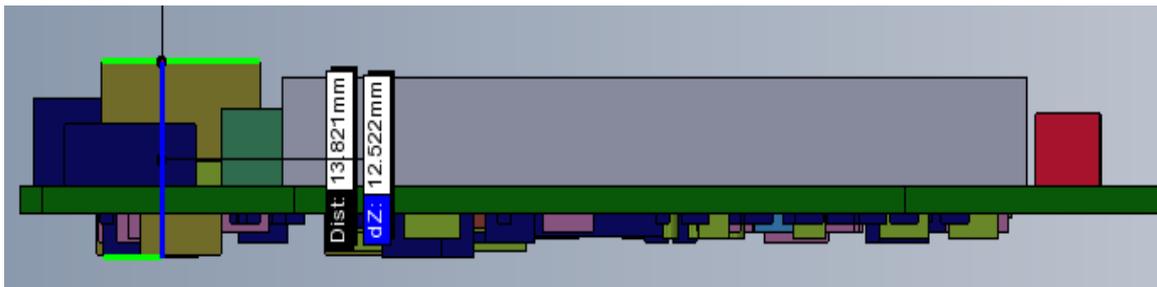


Figura 9.12: Vista laterale della scheda realizzata ruotata di 90° a sinistra

Il circuito stampato ottenuto, quindi occupa uno spazio minimo all'interno del satellite lasciando maggiore area a disposizione per l'inserimento al centro della struttura dell'opportuno *payload* caratterizzante la missione satellitare.

L'ultima verifica effettuata, è stata l'inserimento della scheda completa dei componenti, all'interno della struttura a cubo costituente il satellite *AraMis*. Sono state valutate le possibili interferenze meccaniche tra la geometria dei dispositivi utilizzati e la struttura metallica di supporto del satellite.

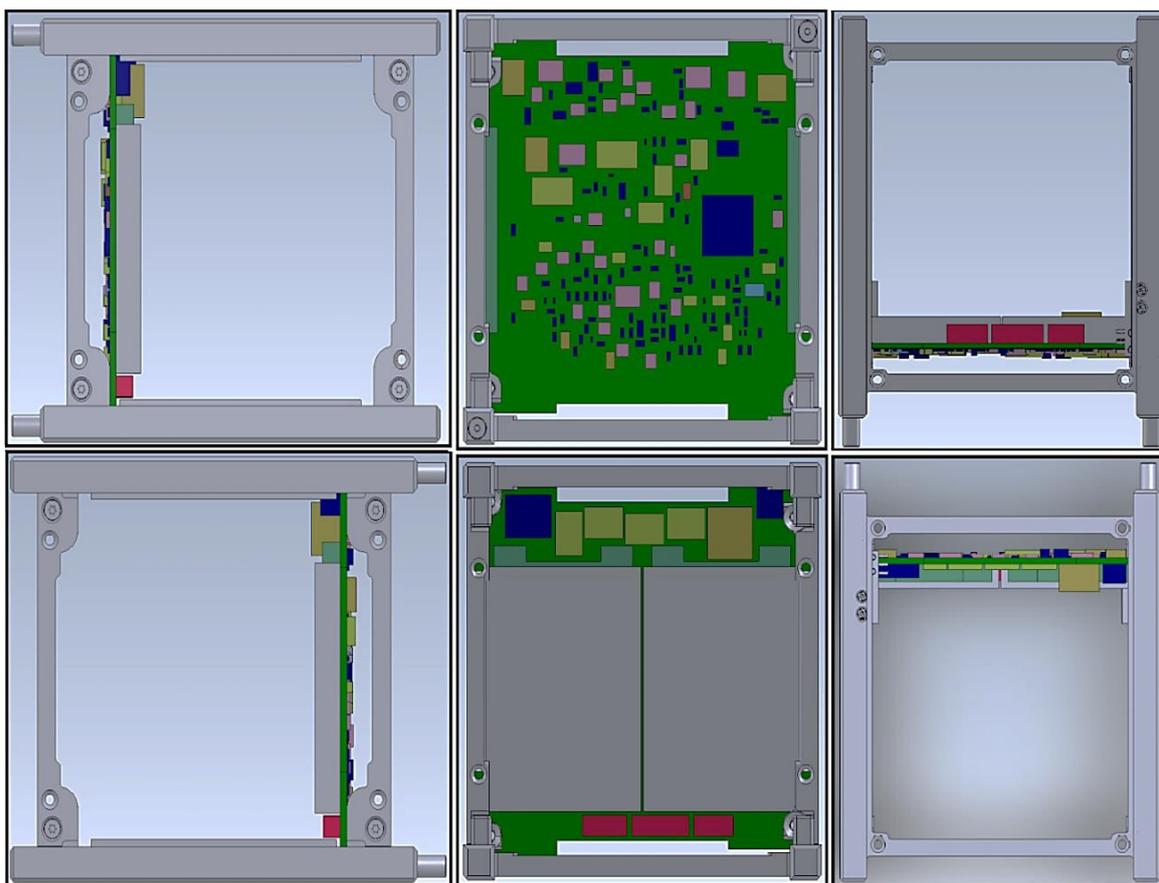
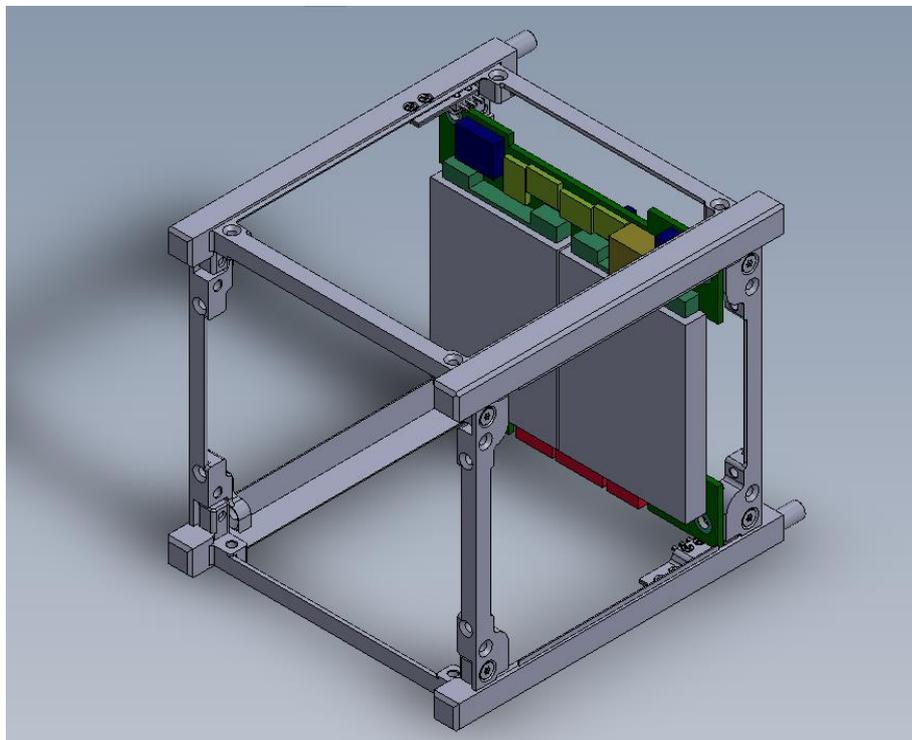


Figura 9.13: Vista su più sezioni della scheda collocata all'interno della struttura *AraMis*

Attraverso un'opportuna analisi messa a disposizione dal software *Solidworks* è stato possibile appurare l'assenza di qualsiasi tipo di interferenza meccanica.

Tutti i componenti infatti sono stati premeditadamente posizionati in fase di progettazione, al fine di adattarsi al meglio all'ambiente in cui sarebbero stati inseriti. Evitando ad esempio possibili posizionamenti ai bordi della scheda che avrebbero potuto interferire con la parte metallica del satellite, ed evitando di inserire i dispositivi troppo vicini ai fori che avrebbero causato eventuali conflitti con le viti di fissaggio.



*Figura 9.14: Rappresentazione 3D finale della scheda *Bk1B114_Battery_System_V2* posizonata a bordo del satellite *AraMis**

Capitolo 10

Conclusioni e sviluppi futuri

Il presente lavoro di tesi è stato incentrato sulla progettazione di un sistema di gestione dell'energia per nanosatelliti di tipo modulare, in particolare per l'architettura *AraMis*. La necessità di realizzare tale sistema nasce da un problema di alimentazione a bordo del satellite, poiché a causa del movimento orbitale della struttura satellitare intorno alla terra, non risulta essere costante. Ciò è dovuto al fatto che i pannelli solari, rappresentanti l'unica fonte di energia, sono sottoposti a radiazioni inferiori quando il satellite transita all'interno delle zone cosiddette d'ombra, producendo quindi un quantitativo di potenza molto ridotto, che rischia di non soddisfare a pieno il fabbisogno dell'interno sistema.

Per ovviare a tale problema si è ritenuto opportuno realizzare un sistema in cui sono presenti dei dispositivi accumulatori, in particolare due batterie a polimeri di litio, che hanno il compito di immagazzinare energia quando essa è prodotta in eccesso e di cederla quando è necessario.

Volendo integrare l'intero complesso circuitale all'interno di un unico circuito stampato di ridotte dimensioni (circa 10cm x 10cm), rappresentante una delle facce fisiche del nanosatellite, si è reso doveroso porre particolare attenzione non solo ai vincoli elettrici ma anche a quelli di tipo meccanico. Dal momento che la maggior parte dello spazio presente sulla scheda è occupato dagli accumulatori LiPo, sono state effettuate determinate scelte mirate alla riduzione dell'impatto del sistema per ciò che concerne il peso, le dimensioni e i costi. La scelta è ricaduta principalmente sull'utilizzo di componenti COTS facilmente reperibili sul mercato e che garantiscono alta affidabilità per tutto il range operativo del satellite (temperatura, tensioni) e facilità di produzione e commercializzazione della scheda una volta realizzata.

Il sistema di gestione dell'energia realizzato *Bk1B114_Battery_System_V2*, è costituito principalmente da 3 macroblocchi ognuno dei quali svolge una funzione fondamentale (immagazzinamento, monitoraggio, distribuzione). Ognuno di essi è stato realizzato in modo da comprendere autonomamente (in maniera del tutto analogica) sulla base delle caratteristiche elettriche presenti sul bus di distribuzione (PDB), quando entrare in funzione, senza quindi ricorrere ad una logica di controllo dedicata.

Il primo blocco progettato è il *Bk1B118_Battery_Discharger_V2*, il quale entra in funzione quando è necessario prelevare energia dalle batterie. Rappresentando dunque l'interfaccia tra la sorgente secondaria (7.4V) e il bus di distribuzione presente a bordo del satellite (tra i 12.5V e i 13.5V). A causa dei diversi livelli di tensione dei due elementi in gioco, è stato necessario includere all'interno del suddetto blocco un circuito elevatore di tensione, e in particolare un convertitore DC-DC di tipo Boost per ottenere un'elevata efficienza (convertitori isolati non sono utilizzabili a causa del loro ingombro). Quest'ultimo tuttavia deve lavorare in modo indipendente dal carico applicato sul PDB, che tende a variare in maniera non prevedibile. Per tale motivo non è stato possibile utilizzare la modalità di

funzionamento standard DCM (a causa della dipendenza dal carico), né tantomeno quella CCM a causa della difficoltà presentata nel controllo.

Per risolvere tale problema si è trovata una soluzione alternativa implementando attraverso un apposito circuito analogico-digitale, un controllo che permettesse di lavorare in una condizione limite tra il CCM e il DCM, definita BCCM (Boundary Condition Conduction Mode).

Per ottenere inoltre un sistema in grado di comprendere in maniera del tutto analogica la quantità di energia che bisogna fornire al satellite, è stata progettata una particolare rete a due variabili (tensioni e correnti sul bus) capace di generare un segnale in grado, attraverso successive elaborazioni (sempre analogiche), di pilotare opportunamente il convertitore, fornendo il quantitativo di energia desiderato. Questa rete che consente al sistema di essere molto più reattivo, è stata resa parametrica. In questo modo eventuali future modifiche, degli elementi utilizzati (ad esempio le batterie), non comportino una ridefinizione totale della rete, ma solo il cambiamento di un numero esiguo di componenti attraverso relazioni ben definite. L'azione complementare è stata implementata mediante la progettazione di un secondo blocco che prende il nome di Bk1B113_Battery_Charger_V3. Esso ha il compito di caricare le celle LiPo quando è possibile, interfacciando quest'ultime con il PDB attraverso l'utilizzo di un convertitore buck., che a differenza del precedente permette la direzione inversa del flusso di potenza.

Non è stato utilizzato lo stesso convertitore definito precedentemente, poiché i livelli di tensione in gioco durante la seguente fase, risultano essere differenti rispetto al caso di scarica (tensioni sul PDB tra 14.5V e 15.5V). La gestione di una situazione di questo tipo avrebbe portato ad un maggiore ingombro sulla scheda.

Una delle particolarità principali relative a tale blocco è l'implementazione per via analogica del metodo di carica CC-CV delle celle, fatto in modo da non dover utilizzare software dedicati. La soluzione trovata prevede l'utilizzo di una rete non più a due variabili, come nel caso precedente ma a 3 (si ha anche la tensione del banco batterie). La nuova tipologia di rete realizzata (sempre parametrica per i motivi suddetti) permette sia di definire la quantità di energia da prelevare sul bus di potenza in modo del tutto autonomo, sia di implementare il metodo e la massima corrente di carica desiderati.

Entrambi i sottosistemi progettati sono stati validati attraverso mirate simulazioni che hanno permesso di verificare il completo soddisfacimento delle specifiche di progetto. Inoltre è stato possibile valutare la bontà dei sottosistemi realizzati, attraverso un'analisi di efficienza, ottenendo risultati ampiamente soddisfacenti. In particolare è stata ottenuta un'efficienza di circa il 95% per il Bk1B118_Battery_Discharger e il 90% per il Bk1B113_Battery_Charger.

Un ultimo problema che si è dovuto affrontare nel corso di questa tesi, è dovuto alla presenza di due celle poste sulla scheda. Esse sono state collegate in serie in modo da aumentare la tensione fornita dal banco batterie e avere una quantità di energia immagazzinabile compatibile con le richieste progettuali del satellite. Tale connessione durante la fase di carica potrebbe creare problemi di sbilanciamento, portando ad un malfunzionamento delle celle e creando danneggiamento delle stesse.

Per risolvere questi problemi di bilanciamento è stato progettato un circuito ad hoc che permettesse:

- di monitorare real-time di questa condizione, mediante l'invio di opportuni segnali di controllo ad un microprocessore posizionato sulla scheda
- di eseguire l'equalizzazione delle due celle, ogni qualvolta sia necessario, mediante comando inviato dal microprocessore

Anche quest'ultimo sottosistema è stato validato attraverso opportune simulazioni atte ad analizzare il suo comportamento a fronte di condizioni operative critiche, sia dal punto di vista elettrico sia ambientale, ottenendo anche in questo caso risultati ampiamente all'interno delle specifiche date.

Oltre ai 3 macroblocchi descritti è presente sulla scheda un microprocessore che ha il compito di:

- abilitare e disabilitare il sistema totale o solo una parte di esso
- di permettere la comunicazione con gli altri sistemi a bordo del satellite attraverso l'utilizzo di opportune interfacce

Dopo la fase di progettazione e validazione simulativa dell'intero sistema, si è passati alla sua realizzazione su un circuito stampato a 4 layer. Le sue dimensioni ridotte e l'esigenza di occupare la minore area possibile all'interno del satellite (per il posizionamento del relativo payload) hanno reso necessario: uno studio a priori del posizionamento critico dei componenti, e una successiva analisi mirata a valutare il suo collocamento all'interno della struttura satellitare. Mediante l'utilizzo di un opportuno software di valutazione tridimensionale parametrica, si è constatato che il sistema così integrato si adatta alla perfezione all'ambiente meccanico di destinazione.

In conclusione il sistema realizzato permette in assoluta autonomia, di implementare tutte le principali attività riguardanti le fonti di energia secondarie a bordo di nanosatelliti, basati su architettura *AraMis*. Esso risulta essere facilmente riconfigurabile per essere introdotto su una qualsiasi struttura satellitare, basata su uno standard di tipo CubeSat largamente diffuso, e rendendolo pertanto estremamente commerciabile.

Sulla base delle suddette considerazioni ulteriori sviluppi futuri potranno riguardare dei test mirati a garantire la completa affidabilità e sicurezza del sistema ai vari utilizzatori.

Inoltre data la presenza di un microprocessore all'interno della scheda, potrebbero essere sviluppati opportuni programmi software finalizzati allo svolgimento di funzioni più complesse e dedicate in base alla missione da compiere

Appendice A

Spice Netlist del sistema completo Bk1B114_Battery_System_V2 generata mediante il *Design Capture* di *Mentor Graphics*:

```
* Project Bk1B114_Battery_System_V2
* Mentor Graphics Wirelist Created with Version 6.4.002
* File created Fri Jun 10 18:54:51 2016
* Inifile :
* ConfigFile: C:\MentorGraphics\7.9.4EE\SDD_HOME\standard\wspice.cfg
* Options : -__ -.spi -h -$ -kC:\MentorGraphics\7.9.4EE\SDD_HOME\standard\wspice.cfg
bk1b114_battery_system_v2
* Levels :

*
X1I207 POSBAT CENBAT LIPO_BATTERY V=3.700000 Q=2.000000 R=80.000000M
X1I217 CENBAT DGND LIPO_BATTERY V=3.700000 Q=2.000000 R=80.000000M
XDistribution_Interface D_PDBPDB SOLAR_PANEL DGND
XJTAG_Interface N3V3A_3V3 DGND TDI Bk1B4854_JTAG_Interface
XI2C_Interface A_PDB DGND N3V3A_3V3 KS Bk1B4851_I2C_Interface
XBk1B113_Battery_Charger_V3 C_D7_A1PDB_char AGND B_D0_RX_SOMIENABLE_char
+DGND D_PDBPDB VBAT Bk1B113_Battery_Charger_V3
XBk1B118_Battery_Discharger_V2 D_D7_A1ENABLE_dis_delay AGND VBAT DGND
+D_D6_A0IPDB_dis D_PDBPDB C_D0_RX_SOMIENABLE_dis
+Bk1B118_Battery_Discharger_V2
XPROCESSOR TDI C_PDB D_PDBPDB A_PDB B_PDB DGND AGND N3V3A_3V3
+Bk1B4221W_Tile_Processor_4M_V1
XBk1B114_Battery_Monitor B_D6_A0VBAT_M C_D6_A0TEMP B_D7_A1V_UNBAL
A_D7_A1VREF
+ A_D6_A0IBAT_M VBAT AGND A_D0_RX_SOMIEN_EQU DGND CENBAT N3VA_REF
N5VA_5V
+POSBAT N3V3A_3V3 Bk1B114_Battery_Monitor
N1I355 N0 Connector_1PIN
* Pin is not connected
N1I360 N1 Connector_1PIN
* Pin is not connected
N1I365 N2 Connector_1PIN
```

```

* Pin is not connected
N1I370 N3 Connector_1PIN
* Pin is not connected
R1I385 AGND DGND {MC( 200Mohms , 1000.000000M /100)} TC=200.000000U
N1I448 N5VA_5V N3VA_REF CELL NAME
* Dictionary 15
* 5V,A_5V=N5VA_5V
* 3V,A_REF=N3VA_REF
* A_D0_RX_SOMI,EN_EQU=A_D0_RX_SOMIEN_EQU
* A_D6_A0,IBAT_M=A_D6_A0IBAT_M
* A_D7_A1,VREF=A_D7_A1VREF
* B_D7_A1,V_UNBAL=B_D7_A1V_UNBAL
* C_D6_A0,TEMP=C_D6_A0TEMP
* B_D6_A0,VBAT_M=B_D6_A0VBAT_M
* C_D0_RX_SOMI,ENABLE_dis=C_D0_RX_SOMIENABLE_dis
* D_D6_A0,IPDB_dis=D_D6_A0IPDB_dis
* D_D7_A1,ENABLE_dis_delay=D_D7_A1ENABLE_dis_delay
* B_D0_RX_SOMI,ENABLE_char=B_D0_RX_SOMIENABLE_char
* C_D7_A1,IPDB_char=C_D7_A1IPDB_char
* 3V3,A_3V3=N3V3A_3V3
* D_PDB,PDB=D_PDBPDB
*Warning : No ground node (Label a net GND)
*Definition For Project Bk1B114_Battery_System_V2
.SUBCKT Bk1B114_Battery_System_V2 PDB SOLAR_POS DGND
X1I207 POSBAT CENBAT LIPO_BATTERY V=3.700000 Q=2.000000 R=80.000000M
X1I217 CENBAT DGND LIPO_BATTERY V=3.700000 Q=2.000000 R=80.000000M
XDistribution_Interface D_PDBPDB SOLAR_PANEL DGND
XJTAG_Interface N3V3A_3V3 DGND TDI Bk1B4854_JTAG_Interface
XI2C_Interface A_PDB DGND N3V3A_3V3 KS Bk1B4851_I2C_Interface
XBk1B113_Battery_Charger_V3 C_D7_A1IPDB_char AGND B_D0_RX_SOMIENABLE_char
+DGND D_PDBPDB VBAT Bk1B113_Battery_Charger_V3
XBK1B118_Battery_Discharger_V2 D_D7_A1ENABLE_dis_delay AGND VBAT DGND
+D_D6_A0IPDB_dis D_PDBPDB C_D0_RX_SOMIENABLE_dis
+Bk1B118_Battery_Discharger_V2
XPROCESSOR TDI C_PDB D_PDBPDB A_PDB B_PDB DGND AGND N3V3A_3V3
+Bk1B4221W_Tile_Processor_4M_V1
XBk1B114_Battery_Monitor B_D6_A0VBAT_M C_D6_A0TEMP B_D7_A1V_UNBAL
A_D7_A1VREF
+ A_D6_A0IBAT_M VBAT AGND A_D0_RX_SOMIEN_EQU DGND CENBAT N3VA_REF
N5VA_5V
+POSBAT N3V3A_3V3 Bk1B114_Battery_Monitor
N1I355 N0 Connector_1PIN

```

```

* Pin is not connected
N1I360 N1 Connector_1PIN
* Pin is not connected
N1I365 N2 Connector_1PIN
* Pin is not connected
N1I370 N3 Connector_1PIN
* Pin is not connected
R1I385 AGND DGND {MC( 200Mohms , 1000.000000M /100)} TC=200.000000U
N1I448 N5VA_5V N3VA_REF CELL NAME
* CROSS-REFERENCE 15
* 5V,A_5V=N5VA_5V
* 3V,A_REF=N3VA_REF
* A_D0_RX_SOMI,EN_EQU=A_D0_RX_SOMIEN_EQU
* A_D6_A0,IBAT_M=A_D6_A0IBAT_M
* A_D7_A1,VREF=A_D7_A1VREF
* B_D7_A1,V_UNBAL=B_D7_A1V_UNBAL
* C_D6_A0,TEMP=C_D6_A0TEMP
* B_D6_A0,VBAT_M=B_D6_A0VBAT_M
* C_D0_RX_SOMI,ENABLE_dis=C_D0_RX_SOMIENABLE_dis
* D_D6_A0,IPDB_dis=D_D6_A0IPDB_dis
* D_D7_A1,ENABLE_dis_delay=D_D7_A1ENABLE_dis_delay
* B_D0_RX_SOMI,ENABLE_char=B_D0_RX_SOMIENABLE_char
* C_D7_A1,IPDB_char=C_D7_A1IPDB_char
* 3V3,A_3V3=N3V3A_3V3
* D_PDB,PDB=D_PDBPDB
.ENDS

*Definition For Project Bk1B114_Battery_Monitor
.SUBCKT Bk1B114_Battery_Monitor VBAT_M TEMP V_UNBAL VREF IBAT_M VBAT AGND
+EN_EQU NEGBAT CENBAT N3V N5V POSBAT N3V3
XBk1B133A_Temperature_Sensor_V1 AGND TEMP N3V
Bk1B133A_Temperature_Sensor_V1
XBk1B1142_Battery_Equalizer_V1 AGND N3V N5V V_UNBAL EN_EQU NEGBAT CENBAT
+POSBAT Bk1B1142_Battery_Equalizer_V1
XBk1B1331B_Voltage_Sensor_V1 VBAT_M POSBAT AGND Bk1B131B_Voltage_Sensor_V1
XBk1B132H_BID_Current_Sensor_V1 VREF IBAT_M VBAT AGND N3V3 POSBAT
+Bk1B132H_BID_Current_Sensor_V1
* CROSS-REFERENCE 3
* 3V3=N3V3
* 5V=N5V
* 3V=N3V
.ENDS

```

```

*Definition For Project Bk1B132H_BID_Current_Sensor_V1
.SUBCKT Bk1B132H_BID_Current_Sensor_V1 VREF IBAT OUT AGND N3V3 IN
X1I11 N1N68 N1N46 N3V3 AGND IBAT VREF INA213
X1I89 N1N99 AGND VREF LT1790_1V25
C1I24 N1N99 AGND {MC( 100.000000N , 10.000000 /100)} TC=100.000000U
R1I101 N3V3 N1N99 {MC( 1Kohms , 1000.000000M /100)} TC=100.000000U
X1I116 IN OUT N1N68 N1N46 RES_4WIRE R={MC(10.000000M,1000.000000M/100)}
+TC=100.000000U
* CROSS-REFERENCE 1
* 3V3=N3V3
.ENDS

*Definition For Project Bk1B131B_Voltage_Sensor_V1
.SUBCKT Bk1B131B_Voltage_Sensor_V1 Vout Vin AGND
CC1 Vout AGND {MC( 0.01uF , 10.000000 /100)} TC=10.000000U
RR1 Vin Vout {MC( 390Kohms , 1000.000000M /100)} TC=100.000000U
RR2 Vout AGND {MC( 133Kohms , 1000.000000M /100)} TC=100.000000U
* CROSS-REFERENCE 0
.ENDS

*Definition For Project Bk1B1142_Battery_Equalizer_V1
.SUBCKT Bk1B1142_Battery_Equalizer_V1 AGND VREF V5V V_UNBAL ENABLE NEGBAT
+CENBAT POSBAT
RR1 XSIG010060 XSIG010055 {MC( 1Kohms , 1000.000000M /100)} TC=100.000000U
XM1 XSIG010035 XSIG010034 NEGBAT IRLML2803
XM2 XSIG010091 XSIG010034 NEGBAT IRLML2803
RR3 XSIG010026 XSIG010035 {MC( 15ohms , 1000.000000M /100)} TC=100.000000U
XR4 POSBAT XSIG010096 XSIG010096 NEGBAT PRA100I2
RR6 VINPOS XSIG010060 {MC( 27ohms , 1000.000000M /100)} TC=100.000000U
XM3 CENBAT POSBAT VINPOS IRLML2803
XR5 POSBAT VINNEG VINNEG NEGBAT PRA100I2
X1I587 VINPOS VINNEG V_UNBAL VREF AGND V5V Bk1B137E_Diff_V_Sensor_V1
RR2 ENABLE XSIG010034 {MC( 15ohms , 1000.000000M /100)} TC=100.000000U
RR7 XSIG010060 XSIG010065 {MC( 49.900000K , 1000.000000M /100)}
+TC=100.000000U
XU1 XSIG010096 XSIG010065 XSIG010007 XSIG010091 XSIG010055 LM6142
RR8 POSBAT XSIG010026 {MC( 100Kohms , 1000.000000M /100)} TC=100.000000U
XM4 XSIG010007 XSIG010026 POSBAT IRLML6402
* CROSS-REFERENCE 0
.ENDS

```

*Definition For Project Bk1B137E_Diff_V_Sensor_V1

```
.SUBCKT Bk1B137E_Diff_V_Sensor_V1 VINPOS VINNEG VOUT VREF AGND VAL
XU1 AGND VINPOS VINNEG AGND VAL REF FB VOUT AD8237
RR1 VREF REF {MC( 200Kohms , 1000.000000M /100)} TC=100.000000U
RR2 REF AGND {MC( 143Kohms , 100.000000M /100)} TC=50.000000U
RR3 FB VOUT {MC( 78.7Kohms , 100.000000M /100)} TC=10.000000U
RR4 REF FB {MC( 18Kohms , 1000.000000M /100)} TC=100.000000U
* CROSS-REFERENCE 0
.ENDS
```

*Definition For Project Bk1B133A_Temperature_Sensor_V1

```
.SUBCKT Bk1B133A_Temperature_Sensor_V1 AGND TEMP REF_3V
RR1 TEMP AGND {MC( 1Mohms , 1000.000000M /100)} TC=100.000000U
RR2 REF_3V TEMP {MC( 220Kohms , 1000.000000M /100)} TC=100.000000U
XR3 TEMP AGND NTC100K
* CROSS-REFERENCE 0
.ENDS
```

*Definition For Project Bk1B4221W_Tile_Processor_4M_V1

```
.SUBCKT Bk1B4221W_Tile_Processor_4M_V1 MODULE_JTAG MODULE_C MODULE_D
MODULE_A
+ MODULE_B DGND AGND VCC_CPU
RR1 J_VDDVCC_CPU RST {MC( 47Kohms , 1000.000000M /100)} TC=
CC1 XSIG010096 DGNDJ_GND {MC( 12pF , 0.000000F /100)} TC=10.000000U
CC2 XSIG010097 DGNDJ_GND {MC( 12pF , 0.000000F /100)} TC=10.000000U
CC3 XSIG010445 DGNDJ_GND {MC( 12pF , 0.000000F /100)} TC=10.000000U
X1 XSIG010096 XSIG010097 xtal REUSE CELL REF DES
CC4 XSIG010447 DGNDJ_GND {MC( 12pF , 0.000000F /100)} TC=10.000000U
X2 XSIG010445 DGNDJ_GND DGNDJ_GND XSIG010447 XTAL4 REUSE CELL REF DES
CC5 DGNDJ_GND J_VDDVCC_CPU {MC( 100.000000N , /100)} TC=10.000000U
CXCMP6 DGNDJ_GND J_VDDVCC_CPU {MC( 10uF , /100)} TC=10.000000U
CXCMP25 RST DGNDJ_GND {MC( 0,01uF , /100)} TC=
X1B1261Z_Short_C1 A_D3_SDA_SIMO B_D3_SDA_SIMO 1B1261Z_Short_Circuit_V1
X1B1261Z_Short_C2 A_D2_SCL_SOMI B_D2_SCL_SOMI
X1B1261Z_Short_C3 C_D3_SDA_SIMO D_D3_SDA_SIMO
X1B1261Z_Short_C4 C_D2_SCL_SOMI D_D2_SCL_SOMI
U1 C_D6_A0 C_D7_A1 D_D6_A0 N1N2445 N1N2367 N1N2365 N1N2363 D_D7_A1
N_1N2322
+N_1N2325 J_VDDVCC_CPU AGND XSIG010096 XSIG010097 DGNDJ_GND
J_VDDVCC_CPU
+A_D8_ID N1N2443 B_D9_EN_PWM2 A_D9_EN_PWM2 N1N2027 C_D9_EN_PWM2
D_D8_ID
```

```

+C_D8_ID N1N2330 N1N2332 N1N2334 N1N2336 N1N2338 DGNDJ_GND
J_VDDVCC_CPU
+B_D8_ID N1N2340 N1N2342 A_D4_CLK A_D3_SDA_SIMO A_D2_SCL_SOMI B_D4_CLK
+A_D1_TX_SIMO A_D0_RX_SOMI C_D4_CLK C_D3_SDA_SIMO N1N2441 B_D5_PWM
C_D5_PWM
+D_D5_PWM N1N2344 N1N2346 XSIG010199 DGNDJ_GND J_VDDVCC_CPU A_D5_PWM
N1N2350
+C_D2_SCL_SOMI D_D4_CLK C_D1_TX_SIMO C_D0_RX_SOMI N1N2369 B_D0_RX_SOMI
+B_D1_TX_SIMO D_D0_RX_SOMI D_D1_TX_SIMO N1N2359 N1N2357 N1N2355 N1N2353
+J_VDDVCC_CPU DGNDJ_GND XSIG010445 XSIG010447 TEST TDO TDI TMS TCK RST
A_D6_A0
+ A_D7_A1 B_D6_A0 B_D7_A1 REUSE CELL REF DES
* CROSS-REFERENCE 4
* _1N2325=N_1N2325
* _1N2322=N_1N2322
* DGND,J_GND=DGNDJ_GND
* J_VDD,VCC_CPU=J_VDDVCC_CPU
.ENDS

*Definition For Project 1B1261Z_Short_Circuit_V1
.SUBCKT 1B1261Z_Short_Circuit_V1 B A
* CROSS-REFERENCE 0
.ENDS

*Definition For Project Bk1B118_Battery_Discharger_V2
.SUBCKT Bk1B118_Battery_Discharger_V2 ENABLE_delayed AGND V_BAT DGND I_PDB
+PDB ENABLE
XBk1B121L_Load_Switch_slow ENABLE DGND V_battery_dis V_BAT
+Bk1B121L_Load_Switch_slow
XBk1B118_V2_Boost_converter OUT_CONV ENABLE_delayed DRV DGND V_battery_dis
+VA_DIODE Bk1B118_V2_Boost_converter
XBk1B118_V2_Feedback_net I_PDB feedback AGND Vbus_dis OUT_CONV V_battery_dis
+Bk1B118_V2_Feedback_net
XBk1B121H_Load_Switch_slow Vbus_dis PDB DGND ENABLE
+Bk1B121H_Load_Switch_slow
XBk1B118_V2_BCCM_Control DRV V_battery_dis AGND DGND ENABLE_delayed
OUT_CONV
+VA_DIODE feedback Bk1B118_V2_BCCM_Control
* CROSS-REFERENCE 0
.ENDS

*Definition For Project Bk1B118_V2_BCCM_Control

```

```

.SUBCKT Bk1B118_V2_BCCM_Control OUT V_battery AGND DGND En_delayed_dis
+VK_diode VA_diode feedback
XX3 DGND N1N37 OUT N1N32 N3V3 DGND 74HC27
XX80 En_delayed_dis N1N30 N3V3 DGND INVERT2
X0 V_comp_diode DGND Vpwm N1N37 N3V3 DGND 74HC27
CC1 N1N1026 AGND {MC( 100.000000N , 10.000000 /100)} TC=100.000000U
XBk1B118_V2_Triangular_waveform DGND N3V3 Vtri OUT V_battery AGND
+Bk1B118_V2_Triangular_waveform
XBk1B118_V2_Compensator Vcontr AGND N3V3 feedback N2v5
+Bk1B118_V2_Compensator
XU4 N1N1026 AGND N2v5 LT1790-25
X1 N1N32 N1N30 Vpwm OUT N3V3 DGND 74HC27
RR7 N1N202 AGND {MC( 10Kohms , 1000.000000M /100)} TC=100.000000U
RR8 AGND N1N203 {MC( 10Kohms , 1000.000000M /100)} TC=100.000000U
CC9 V_battery DGND {MC( 100.000000N , 10.000000 /100)} TC=100.000000U
XX5 Vtri Vcontr N3V3 AGND Vpwm LTC6752
XX6 N1N203 N1N202 N3V3 AGND V_comp_diode LTC6752
XU2 V_battery N3V3 DGND LM1117
CC2 N3V3 DGND {MC( 1uF , 10.000000 /100)} TC=10.000000U
RR10 V_battery N1N1026 {MC( 1Kohms , 1000.000000M /100)} TC=100.000000U
RR12 VK_diode N1N202 {MC( 100Kohms , 100.000000M /100)} TC=100.000000U
RR13 VA_diode N1N203 {MC( 100Kohms , 100.000000M /100)} TC=100.000000U
* CROSS-REFERENCE 2
* 2v5=N2v5
* 3V3=N3V3
.ENDS

*Definition For Project Bk1B118_V2_Compensator
.SUBCKT Bk1B118_V2_Compensator OUT AGND Val IN REF
CC7 N1N9 OUT {MC( 100pF , 10.000000 /100)} TC=10.000000U
RR28 N1N9 N1N5 {MC( 13Kohms , 100.000000M /100)} TC=100.000000U
CC8 N1N5 OUT {MC( 100pF , 10.000000 /100)} TC=10.000000U
RR29 IN N1N9 {MC( 39Kohms , 1000.000000M /100)} TC=100.000000U
XX9 REF N1N9 Val AGND OUT TLV2211
* CROSS-REFERENCE 0
.ENDS

*Definition For Project Bk1B118_V2_Triangular_waveform
.SUBCKT Bk1B118_V2_Triangular_waveform DGND N3V3 OUT IN VAL AGND
XM6 N1N115 N1N50 AGND irf7821
RR26 VAL N1N32 {MC( 10Kohms , 1000.000000M /100)} TC=100.000000U
RR27 N1N32 OUT {MC( 150Kohms , 1000.000000M /100)} TC=100.000000U

```

```

CC6 OUT AGND {MC( 100.000000P , 5.000000 /100)} TC=10.000000U
XX4 IN N1N50 N3V3 DGND INVERT2
XX12 N1N32 N1N115 SL43
* CROSS-REFERENCE 1
* 3V3=N3V3
.ENDS

*Definition For Project Bk1B121H_Load_Switch_slow
.SUBCKT Bk1B121H_Load_Switch_slow OUT IN DGND EN
XM4 N1N173 EN DGND irlml2502
RR5 IN N1N11 {MC( 178Kohms , 1000.000000M /100)} TC=100.000000U
RR3 N1N132 DGND {MC( 1.5Kohms , 1000.000000M /100)} TC=100.000000U
XM3 OUT N1N173 N1N132 irlml2502
XX83 OUT N1N11 IN atp304
RR6 N1N11 N1N173 {MC( 665.000000K , 1000.000000M /100)} TC=100.000000U
* CROSS-REFERENCE 0
.ENDS

*Definition For Project Bk1B118_V2_Feedback_net
.SUBCKT Bk1B118_V2_Feedback_net Iout_measured feedback AGND V_bus
+out_converter VAL
RR14 N1N483 N1N542 {MC( 1.6MEGohms , 1000.000000M /100)} TC=100.000000U
RR9 feedback N1N199 {MC( 10Kohms , 1000.000000M /100)} TC=100.000000U
XR31 out_converter V_bus N1N937 N1N939 RES_4WIRE
+R={MC(100Mohms,1000.000000M/100)} TC=100.000000U
RR30 N1N436 AGND {MC( 1Kohms , 1000.000000M /100)} TC=100.000000U
RR18 N1N483 AGND {MC( 9.53Kohms , 1000.000000M /100)} TC=100.000000U
RR19 Iout_measured N1N877 {MC( 68Kohms , 1000.000000M /100)} TC=100.000000U
RR20 N1N170 N1N483 {MC( 120Kohms , 1000.000000M /100)} TC=100.000000U
XX7 N1N170 N1N199 VAL AGND N1N199 TLV2211
DD1 N1N589 feedback MBRM140
XU3 N1N937 N1N939 VAL AGND Iout_measured INA138
RR22 N1N441 N1N436 {MC( 24.000000K , 1000.000000M /100)} TC=100.000000U
RR23 out_converter N1N441 {MC( 110Kohms , 1000.000000M /100)} TC=100.000000U
XX8 N1N542 N1N557 VAL AGND N1N589 TLV2211
RR24 N1N877 N1N170 {MC( 1.8Kohms , 1000.000000M /100)} TC=100.000000U
RR15 N1N441 N1N542 {MC( 1.6MEGohms , 1000.000000M /100)} TC=100.000000U
RR16 N1N557 feedback {MC( 1.6MEGohms , 1000.000000M /100)} TC=100.000000U
RR17 N1N557 AGND {MC( 1.6MEGohms , 1000.000000M /100)} TC=100.000000U
* CROSS-REFERENCE 0
.ENDS

```

*Definition For Project Bk1B118_V2_Boost_converter

```
.SUBCKT Bk1B118_V2_Boost_converter OUT EN GATE DGND IN VA_DIODE
LL1 VA_DIODE IN {MC( 33.000000U , /100)} RSER=94.500000M
XX81 DGND GATE OUTA N1N16 DGND EN IN DGND UCC27425
XX11 VA_DIODE OUT SL43
XM5 VA_DIODE N1N16 DGND irf7311
CC3 IN DGND {MC( 100.000000U , 20.000000 /100)} TC=15.000000U
CC4 N1N261 DGND {MC( 2.200000N , 5.000000 /100)} TC=10.000000U
CC5 OUT DGND {MC( 330.000000U , 10.000000 /100)} TC=10.000000U
RR25 VA_DIODE N1N261 {MC( 56ohms , 1000.000000M /100)} TC=10.000000U
* CROSS-REFERENCE 0
.ENDS
```

*Definition For Project Bk1B121L_Load_Switch_slow

```
.SUBCKT Bk1B121L_Load_Switch_slow EN DGND OUT IN
XM2 N1N126 EN DGND irlml2502
RR1 N1N264 N1N126 {MC( 324Kohms , 1000.000000M /100)} TC=100.000000U
RR2 N1N127 DGND {MC( 1.5Kohms , 1000.000000M /100)} TC=100.000000U
XM1 OUT N1N126 N1N127 irlml2502
RR4 IN N1N264 {MC( 220Kohms , 1000.000000M /100)} TC=100.000000U
XX82 OUT N1N264 IN atp304
* CROSS-REFERENCE 0
.ENDS
```

*Definition For Project Bk1B113_Battery_Charger_V3

```
.SUBCKT Bk1B113_Battery_Charger_V3 I_PDB AGND ENABLE DGND PDB V_BAT
CC1 N5V DGND {MC( 4.700000U , 10.000000 /100)} TC=10.000000U
XBk1B121G_Load_Switch_Shunt ENABLE DGND Vbat_char V_BAT
+Bk1B121G_Load_Switch_Shunt
XBk1B113_V3_Feedback_Net N2V5 FEEDBACK V_BAT N5V AGND IN_converter Vbus_char
+I_PDB Bk1B113_V3_Feedback_Net
XBk1B113_V3_Triwave_Gen N3V3 TRI AGND Bk1B113_V3_Triwave_Gen
XBk1B113_V3_Compensator N2V5 AGND N5V FEEDBACK V_CONTROL
+Bk1B113_V3_Compensator
XBk1B113_V3_Buck_Converter_charger Vbus_char V_PWM Vbat_char DGND
+IN_converter Bk1B113_V3_Buck_Converter_charger
XU1 Vbat_char N3V3 DGND LM1117
XX1 V_CONTROL TRI N3V3 AGND V_PWM LTC6752
CC3 N1N990 AGND {MC( 100.000000N , 10.000000 /100)} TC=30.000000U
RR1 Vbat_char N1N990 {MC( 1Kohms , 1000.000000M /100)} TC=100.000000U
CC4 N3V3 DGND {MC( 1uF , 10.000000 /100)} TC=10.000000U
CC5 Vbat_char DGND {MC( 1uF , 10.000000 /100)} TC=10.000000U
```

```

CC2 Vbat_char DGND {MC( 100.000000N , 10.000000 /100)} TC=30.000000U
XU4 N1N990 AGND N2V5 LT1790-25
XBk1B121I_Load_Switch_Delayed ENABLE DGND Vbus_char PDB
+Bk1B121I_Load_Switch_Delayed
XX17 Vbat_char DGND Vbat_char N5V TPS76150
* CROSS-REFERENCE 3
* 3V3=N3V3
* 2V5=N2V5
* 5V=N5V
.ENDS

```

*Definition For Project Bk1B121I_Load_Switch_Delayed

```

.SUBCKT Bk1B121I_Load_Switch_Delayed ENABLE DGND OUT IN
XM2 OUT N1N16 N1N11 irlml2502
XM1 N1N16 ENABLE DGND irlml2502
RR34 N1N11 DGND {MC( 1.5Kohms , 1000.000000M /100)} TC=100.000000U
XX15 OUT N1N14 IN atp304
RR9 N1N14 N1N16 {MC( 143Kohms , 100.000000M /100)} TC=50.000000U
RR14 IN N1N14 {MC( 100Kohms , 100.000000M /100)} TC=100.000000U
* CROSS-REFERENCE 0
.ENDS

```

*Definition For Project Bk1B113_V3_Buck_Converter_charger

```

.SUBCKT Bk1B113_V3_Buck_Converter_charger VAL GATE OUT DGND IN
XX13 N1N9 N1N71 IN IRF7324
XX14 GATE EN DGND N1N71 N1N71 VAL UCC27531
LL1 OUT N1N9 {MC( 68.000000U , /100)} RSER=105.000000M
CC10 IN DGND {MC( 10.000000U , 10.000000 /100)} TC=10.000000U
XX12 DGND N1N9 SL43
CC11 OUT DGND {MC( 10.000000U , 10.000000 /100)} TC=10.000000U
CC12 VAL DGND {MC( 1000.000000N , 10.000000 /100)} TC=10.000000U
* CROSS-REFERENCE 0
.ENDS

```

*Definition For Project Bk1B113_V3_Compensator

```

.SUBCKT Bk1B113_V3_Compensator N2V5 AGND N5V FB V_CONTROL
RR29 FB N1N10 {MC( 27Kohms , 1000.000000M /100)} TC=100.000000U
XX9 N2V5 N1N10 N5V AGND N1N12 TLV2211
CC7 N1N10 N1N12 {MC( 100pF , 5.000000 /100)} TC=10.000000U
RR36 N1N16 AGND {MC( 10Kohms , 1000.000000M /100)} TC=100.000000U
RR37 N1N10 N1N11 {MC( 16.000000K , 1000.000000M /100)} TC=100.000000U

```

```

RR38 FB N1N9 {MC( 16.9Kohms , 1000.000000M /100)} TC=100.000000U
CC8 N1N9 N1N10 {MC( 1000.000000P , 10.000000 /100)} TC=10.000000U
RR27 N1N12 V_CONTROL {MC( 330Kohms , 1000.000000M /100)} TC=100.000000U
RR39 V_CONTROL N1N16 {MC( 249Kohms , 1000.000000M /100)} TC=100.000000U
CC9 N1N11 N1N12 {MC( 3.300000N , 10.000000 /100)} TC=10.000000U
* CROSS-REFERENCE 2
* 5V=N5V
* 2V5=N2V5
.ENDS

```

*Definition For Project Bk1B113_V3_Triwave_Gen

```

.SUBCKT Bk1B113_V3_Triwave_Gen N3V3 OUT AGND
CC6 OUT AGND {MC( 1000.000000P , 10.000000 /100)} TC=30.000000U
RR28 POS N1N52 {MC( 27Kohms , 1000.000000M /100)} TC=100.000000U
RR30 POS N3V3 {MC( 220Kohms , 1000.000000M /100)} TC=100.000000U
RR31 POS VD {MC( 18Kohms , 1000.000000M /100)} TC=100.000000U
RR32 N1N52 AGND {MC( 3.9Kohms , 1000.000000M /100)} TC=100.000000U
XX2 POS OUT N3V3 AGND VD LTC6752
RR33 OUT VD {MC( 1.5Kohms , 1000.000000M /100)} TC=100.000000U
* CROSS-REFERENCE 1
* 3V3=N3V3
.ENDS

```

*Definition For Project Bk1B113_V3_Feedback_Net

```

.SUBCKT Bk1B113_V3_Feedback_Net N2V5 FB V_BAT N5V AGND IN_conv PDB I_PDB
XU3 N1N24 N1N23 N5V AGND I_PDB INA138
RR5 N1N544 N1N47 {MC( 2.430000K , 1000.000000M /100)} TC=100.000000U
RR6 V_BAT N1N142 {MC( 6.04Kohms , 1000.000000M /100)} TC=100.000000U
XX6 N1N1144 FB N5V AGND N1N250 TLV2211
RR8 N1N95 N1N64 {MC( 143Kohms , 100.000000M /100)} TC=50.000000U
RR10 N1N99 N1N97 {MC( 5.6Kohms , 1000.000000M /100)} TC=
RR11 N1N237 N2V5 {MC( 75Kohms , 1000.000000M /100)} TC=100.000000U
XX8 N1N47 N1N64 N5V AGND N1N64 TLV2211
RR12 N1N174 N1N144 {MC( 100Kohms , 100.000000M /100)} TC=100.000000U
RR7 N1N144 AGND {MC( 143Kohms , 100.000000M /100)} TC=50.000000U
RR13 N1N180 N1N174 {MC( 100Kohms , 100.000000M /100)} TC=100.000000U
RR17 N1N237 AGND {MC( 165Kohms , 1000.000000M /100)} TC=100.000000U
RR18 N1N97 N1N95 {MC( 150Kohms , 1000.000000M /100)} TC=100.000000U
RR2 FB N1N180 {MC( 1Kohms , 1000.000000M /100)} TC=100.000000U
RR3 N1N1144 N1N99 {MC( 1Kohms , 1000.000000M /100)} TC=100.000000U
XX7 N1N282 N1N306 N5V AGND N1N358 TLV2211

```

```

RR19 PDB N1N282 {MC( 1MEGohms , 100.000000M /100)} TC=25.000000U
RR21 N1N284 AGND {MC( 7.5Kohms , 100.000000M /100)} TC=100.000000U
XX4 N2V5 N1N174 N5V AGND N1N180 TLV2211
XX5 N1N237 N1N95 N5V AGND N1N99 TLV2211
RR22 N1N1144 N1N345 {MC( 7.5Kohms , 100.000000M /100)} TC=100.000000U
RR16 N1N345 N1N306 {MC( 165Kohms , 1000.000000M /100)} TC=100.000000U
RR23 N1N507 AGND {MC( 1.2Kohms , 1000.000000M /100)} TC=100.000000U
RR24 N1N47 N1N507 {MC( 63.4Kohms , 1000.000000M /100)} TC=100.000000U
XR42 PDB IN_conv N1N24 N1N23 RES_4WIRE R={MC(100Mohms,1000.000000M/100)}
+TC=100.000000U
RR25 I_PDB N1N544 {MC( 133Kohms , 1000.000000M /100)} TC=100.000000U
RR26 N1N142 N1N144 {MC( 330Kohms , 1000.000000M /100)} TC=100.000000U
RR15 N1N282 N1N284 {MC( 165Kohms , 1000.000000M /100)} TC=100.000000U
RR20 N1N306 N1N64 {MC( 1MEGohms , 100.000000M /100)} TC=25.000000U
DD1 N1N1144 N1N358 MBRM140
DD2 FB N1N250 MBRM140
* CROSS-REFERENCE 2
* 2V5=N2V5
* 5V=N5V
.ENDS

*Definition For Project Bk1B121G_Load_Switch_Shunt
.SUBCKT Bk1B121G_Load_Switch_Shunt ENABLE DGND OUT IN
RR40 N1N158 N1N8 {MC( 2.7Kohms , 1000.000000M /100)} TC=100.000000U
XM3 OUT N1N8 N1N9 irlml2502
XM4 N1N8 Enable DGND irlml2502
RR35 N1N9 DGND {MC( 1.5Kohms , 1000.000000M /100)} TC=100.000000U
XX16 OUT N1N158 IN atp304
RR41 IN N1N158 {MC( 2.7Kohms , 1000.000000M /100)} TC=100.000000U
* CROSS-REFERENCE 0
.ENDS

*Definition For Project Bk1B4851_I2C_Interface
.SUBCKT Bk1B4851_I2C_Interface MODULE DGND V3V3 KS
J1 V3V3 DGND A_D3_SDA_SIMO A_D2_SCL_SOMI KS REUSE CELL REF DES
* CROSS-REFERENCE 0
.ENDS

*Definition For Project Bk1B4854_JTAG_Interface
.SUBCKT Bk1B4854_JTAG_Interface VCC_CPU DGND MODULE
J1 TDO DGND TDI VCC_CPU TDO TCK TEST RST WM7612CT

```

```
* CROSS-REFERENCE 0
```

```
.ENDS
```

```
.include "..\..\sym\74HC27.mod"
```

```
.include "..\..\sym\AD8237.mod"
```

```
.include "..\..\sym\Connector_1PIN.mod"
```

```
.include "..\..\sym\INA138.mod"
```

```
.include "..\..\sym\INA213.mod"
```

```
.include "..\..\sym\INVERT2.mod"
```

```
.include "..\..\sym\IRF7324.mod"
```

```
.include "..\..\sym\LIPO_BATTERY.mod"
```

```
.include "..\..\sym\LM1117.mod"
```

```
.include "..\..\sym\LM6142.mod"
```

```
.include "..\..\sym\LT1790-25.mod"
```

```
.include "..\..\sym\LT1790_1V25.mod"
```

```
.include "..\..\sym\LTC6752.mod"
```

```
.include "..\..\sym\MBRM140.mod"
```

```
.include "..\..\sym\NTC100K.mod"
```

```
.include "..\..\sym\PRA100I2.mod"
```

```
.include "..\..\sym\RES_4WIRE.mod"
```

```
.include "..\..\sym\SL43.mod"
```

```
.include "..\..\sym\TLV2211.mod"
```

```
.include "..\..\sym\TPS76150.mod"
```

```
.include "..\..\sym\UCC27425.mod"
```

```
.include "..\..\sym\UCC27531.mod"
```

```
.include "..\..\sym\WM7612CT.mod"
```

```
.include "..\..\sym\atp304.mod"
```

```
.include "..\..\sym\irlm
```

Appendice B

Lista dei componenti utilizzati per il sistema completo *Bk1B114_Battery_System_V2*:

Part List output for Bk1B114_Battery_System_V2
Generated on Monday, June 13, 2016

#	QTY	Part Number	PartLabel	PartName	Ref Designator	Value
1	4	DK_ATP304-TL-HOSCT-ND	Q_ATP304_ATPAK_PHOS_100A_60U	ATP304	5_X15,5_X16,6_X82,6_X83	,,,
2	2	DK_490-1318-1-ND	C_0u1_0402	C0u1	5_C2,5_C3	100n ,100n
3	1	DK_490-1303-1-ND	C_1n_0402_X7R_50_10	C1n	5_C6	1n
4	1	RS_534-5702	C_1n_0603_X7R_50U_10	C1n	5_C8	1n
5	2	DK_461-2708-1-ND	C_1u_0603_10U_10	C1u	5_C4,5_C5	1u ,1u
6	2	DK_587-2400-1-ND	C_1U_0603_X5S_50_10	C1u	5_C12,6_C2	1u ,1u
7	1	DK_490-1459-1-ND	C_2n2_0603_C0G_50_5	C2n2	6_C4	2.2n
8	1	DK_PCC2325CT-ND	C_4u7_0805_X5R_10_10	C4u7	5_C1	4.7u
9	2	RS_534-5730	C_10n_0603_X7R_50U_10	C10n	7_C7,43_C1	10n ,10n
10	1	DK_399-3525-6-ND	C_10u_1206_X7R_16U_10	C10u	7_C6	10u
11	4	DK_445-1270-1-ND	C_12p_0603_C0G_50_5	C12p	7_C1,7_C2,7_C3,7_C4	12p ,12p ,12p ,12p
12	1	RS_616-9391	C_100n_0603_25U_10	C100n	7_C5	100n
13	3	RS_264-4630	C_100n_0603_X7R_16_10	C100n	6_C1,6_C9,C4	100n ,100n ,100n
14	2	DK_311-1024-1-ND	C_100p_0402	C100p	5_C7,6_C6	100p ,100p
15	2	DK_445-5496-2-ND	C_100p_0402_X5R_10_10	C100p	6_C7,6_C8	100p ,100p
16	1	XX	C_3n3_1206	C_3n3	5_C9	3.3n
17	2	DK_399-8224-1-ND	C_10u_1210_X7R_25U_5	C_10u	5_C10,5_C11	10u ,10u
18	1	RS_788-3057	C_100u_1206_10u_X5R_20	C_100u	6_C3	100u
19	1	DK_5970337X9020H2T-ND	C_330U_3226_20U	C_330U	6_C5	330u
20	1	DK_74HC27PM,118-ND	DIG_74HC27_NOR_TSSOP_3_1	DIG_74HC27	6_X3	
21	2	DK_497-5778-1-ND	DIG_74LUC04A_NOT_TSSOP_6_1	DIG_74LUC04A	6_X4,6_X80	,
22	1	DK_296-25241-1-ND	DRU_UCC27425_S0IC8	DRU_UCC27425	6_X81	
23	1	DK_296-35581-1-ND	DRU_UCC27531_S0T23_6_1	DRU_UCC27531	5_X14	
24	1	RS_610-6687	Q_IRF7311_S08_N_6A6_20U_double	IRF7311	6_M5	
25	1	DK_IRF7324PBFCT-ND	Q_IRF7324_S08_P_9A_20U_double	IRF7324	5_X13	
26	1	RS_650-4069	Q_IRF7821_S08_N_13A6_30U	IRF7821	6_M6	
27	8	DK_IRLML2502CT-ND	Q_IRLML2502_S0T23-3_MOS_N_4A2_20	IRLML2502	5_M1,5_M2,5_M3,5_M4,6_M1,6_M2,6_M3,6_M4	,,,,,,,
28	3	RS_302-022	Q_IRLML2803_S0T23-3_MOS_N_1A2_30	IRLML2803	23_M1,23_M2,23_M3	,,,
29	1	RS_301-322	Q_IRLML6402_S0T23-3_MOS_P_3A7_20	IRLML6402	23_M4	
30	4	XX_1_TH_Donut6mm_Hole3mm5	J_1_TH_Donut6mm_Hole3mm5	J_1	J1-J4	,,,
31	1	DK_WH7606CT-ND	J_2_MALE_SMT_PicoBlade_1A	J_2_MALE	J5	
32	1	DK_WH7608CT-ND	J_4_MALE_SMT_PicoBlade_1A	J_4_MALE	2_J1	
33	1	DK_WH7609CT-ND	J_5_SMD_PicoBlade_1A	J_5_MALE	4_J1	
34	1	DK_WH7612CT-ND	J_8_SMD_PicoBlade_1A	J_8_MALE	3_J1	
35	1	RS_740-7261	L_33u_4040_4_4_95m_20	L33u	6_L1	33u
36	1	DK_513-1053-1-ND	L_68u_12.5x12.5x8_20A4_105m_20	L68u	5_L1	68u
37	3	DK_HBRM140T3G0SCT-ND	D_HBRM140T3_SH_D0216AA_40U_1A	HBRM140T3	5_D1,5_D2,6_D1	,,
38	1	DK_296-23766-1-ND	HSP430F5437_80L0FP	HSP430F5437	7_U1	
39	1	RS_684-1273	NTC_100K_0603	NTC_100K	22_R3	
40	1	DK_AD8237ARMZ-R7CT-ND	OA_AD8237_MSOP8	OA_AD8237	6_U1	
41	2	DK_INA138NA/250C4-ND	OA_INA138NA_S0T23-5_1_36V_2.7U	OA_INA138NA	5_U3,6_U3	,
42	1	DK_296-23421-1-ND	OA_INA213_SC70-6_1_26V_2.6U	OA_INA213	X1	
43	1	DK_LM6142BIM-ND	OA_LM6142_S0IC8_24U_10B	OA_LM6142	23_U1	
44	4	DK_LTC6752HSC6-1#TRMPBFCT-ND	OA_LTC6752HS5_TS0T23_1_3_6V	OA_LTC6752HS5	5_X1,5_X2,6_X5,6_X6	,,,
45	9	DK_296-10501-1-ND	OA_TLU2211IDBVR_S0T23_2U7_10U	OA_TLU2211	5_X4,5_X5,5_X6,5_X7,5_X8,5_X9,6_X7,6_X8,6_X9	,,,,,,,
46	2	RS_566-333_K	R_0R1_1206_250_1	R0R1	5_R42,6_R31	100Ohms ,100Ohms
47	1	DK_RL12S.20FCT-ND	R_0R2_0805_250_1	R0R2	R2	200Ohms
48	4	RS_504-0928	R_1K_0603_100_1	R1K	6_R10,6_R30,23_R1,R3	1Kohms,1Kohms ,1Kohms,1Kohms
49	3	FR_923-9235	R_1K_0402_63_1	R1K	5_R1,5_R2,5_R3	1Kohms,1Kohms ,1Kohms
50	1	RS_504-9202	R_1K2_0603_100_1	R1K2	5_R23	1.2Kohms
51	5	RS_504-9634	R_1K5_0603_100_1	R1K5	5_R33,5_R34,5_R35,6_R2,6_R3	1.5Kohms ,1.5Kohms ,1.5Kohms ,1.5Kohms ,1.5Kohms
52	1	RS_504-9943	R_1K8_0603_100_1	R1K8	6_R24	1.8Kohms
53	1	RS_504-8956	R_1MEG_0603_100_1	R1MEG	22_R1	1MEGohms
54	2	RS_666-2279	R_1MEG_0603_63_0%1	R1MEG	5_R19,5_R20	1MEGohms ,1MEGohms
55	4	RS_678-9954	R_1MEG6_0603_100_1	R1MEG6	6_R14,6_R15,6_R16,6_R17	1.6MEGohms ,1.6MEGohms ,1.6MEGohms ,1.6MEGohms
56	2	RS_505-0842	R_2K7_0603_100_1	R2K7	5_R40,5_R41	2.7Kohms ,2.7Kohms
57	1	DK_RHM2.43KFCT-ND	R_2K43_1206	R2K43	5_R5	2.43K
58	1	RS_504-6916	R_3K9_0603_100_1	R3K9	5_R32	3.9Kohms
59	1	RS_504-7802	R_5K6_0603_100_1	R5K6	5_R10	5.6Kohms
60	1	RS_504-8013	R_6K04_0603_100_1	R6K04	5_R6	6.04Kohms
61	2	DK_TNP7.50KAACT-ND	R_7K5_0603_100_0%1	R7K5	5_R21,5_R22	7.5Kohms ,7.5Kohms

62	1	DK_LUK12R010FERCT-ND_K	R_10m_0603_100_1	R01	R4	7.5Kohms
63	3	RS_504-8934	R_10K_0603_100_1	R10K	6_R7,6_R8,6_R9	10K
64	2	RS_213-2418	R_10K_0603_100_1	R10K	5_R36,6_R26	10Kohms,10Kohms
65	1	RS_668-8300	R_13K_0603_63_0%1	R13K	6_R28	10Kohms,10Kohms
66	2	RS_504-9684	R_15R_0603_100_1	R15R	23_R2,23_R3	13Kohms
67	2	RS_504-9959	R_18K_0603_100_1	R18K	5_R31,26_R4	15ohms,15ohms
68	2	RS_505-0858	R_27K_0603_100_1	R27K	5_R28,5_R29	18Kohms,18Kohms
69	1	RS_505-0909	R_27R_0603_100_1	R27R	23_R6	27Kohms,27Kohms
70	1	RS_504-6922	R_39K_0603_100_1	R39K	6_R29	27ohms
71	1	RS_504-7363	R_47K_0603_100_1	R47K	7_R1	39Kohms
72	1	DK_311-49.9KHRCT-ND	R_49K9_0603_100_1	R49K9	23_R7	47Kohms
73	1	RS_504-7868	R_56R_0603_100_1	R56R	6_R25	49.9Kohms
74	1	RS_504-8243	R_68K_0603_100_1	R68K	6_R19	56ohms
75	1	RS_472-840	R_78K7_0603_63_0%1	R78K7	26_R3	68Kohms
76	1	RS_504-8940	R_100K_0603_100_1	R100K	23_R8	78.7Kohms
77	5	DK_MCT0603-100K-MBCT-ND	R_100K_0603_125_0%1	R100K	5_R12,5_R13,5_R14, 6_R12,6_R13	100Kohms
						100Kohms,
						100Kohms,
						100Kohms,
						100Kohms,
78	2	RS_684-2443	R_100K_2.2x1.8mm_100_0%05_2x	R100K	23_R4,23_R5	100Kohms,
						100Kohms
79	1	RS_678-9699	R_110K_0603_100_1	R110K	6_R23	100Kohms
80	1	RS_504-9224	R_120K_0603_100_1	R120K	6_R20	11Kohms
81	2	RS_678-9759	R_133K_0603_100_1	R133K	5_R25,43_R2	120Kohms
						133Kohms,
						133Kohms
82	4	RS_614-5799	R_143K_0805_100_0%1	R143K	5_R7,5_R8,5_R9,26_R2	133Kohms,
						143Kohms,
						143Kohms,
						143Kohms,
83	2	RS_504-9656	R_150K_0603_100_1	R150K	5_R18,6_R27	143Kohms,
						150Kohms,
84	1	RS_505-0151	R_200K_0603_100_1	R200K	26_R1	150Kohms
85	3	RS_505-0331	R_220K_0603_100_1	R220K	5_R30,6_R4,22_R2	150Kohms
						200Kohms
						220Kohms,
						220Kohms,
						220Kohms
86	1	RS_679-0033	R_249K_0603_100_1	R249K	5_R39	220Kohms
87	2	RS_504-6528	R_330K_0603_100_1	R330K	5_R26,5_R27	249Kohms
						330Kohms,
						330Kohms
88	1	RS_504-6938	R_390K_0603_100_1	R390K	43_R1	390Kohms
89	1	ME_71-TNPW06039K53BEEA	R_9k53_0603_100_0%1	R_9k53	6_R18	390Kohms
90	1	DK_311-16.0KHCT-ND	R_16k_0603_100_1	R_16k	5_R37	9.53Kohms
91	1	DK_RHM16.9KHCT-ND	R_16k9_0603_100_1	R_16K9	5_R38	16Kohms
92	1	RS_505-0561	R_24k_0603_100_1	R_24k	6_R22	16.9Kohms
93	1	DK_311-63.4KHCT-ND	R_63k4_0603_100_1	R_63k4	5_R24	24Kohms
94	1	DK_P75K2CT-ND	R_75K_0805_100_0%1	R_75K	5_R11	63.4Kohms
95	3	DK_RHM165KHCT-ND	R_165K_0603_100_1	R_165K	5_R15,5_R16,5_R17	75Kohms
						165Kohms,
						165Kohms,
						165Kohms
96	1	DK_RHM178KHCT-ND	R_178k_0603_100_1	R_178k	6_R5	165Kohms
97	1	DK_RHM324KHCT-ND	R_324k_0603_63_1	R_324k	6_R1	178Kohms
98	1	DK_RHM665KHCT-ND	R_665k_0603_100_1	R_665k	6_R6	324Kohms
99	2	DK_LT1790BCS6-2.5	REF_LT1790_U_SOT23-6_2V5_0%1	REF_LT1790-2V5	5_U4,6_U4	665Kohms
100	1	DK_LT1790BCS6-1.25	REF_LT1790_U_SOT23-6_1V25_0%1	REF_LT1790_1V25	X2	,
101	2	DK_LM117MPX-3.3/NOPBTR-ND	REG_LM117_T0252_0.8A_3.3U	REG_LM117	5_U1,6_U2	,
102	1	RS_661-4197	REG_TPS76150_LIN_SOT23-5_0A1_16U_5V	REG_TPS76150	5_X17	,
103	3	DK_SL43-E3/57T6ICT-ND	JD_SL43_SH_D0-214-AB_4_30	SL43-E3/57T	5_X12,6_X11,6_X12	,
104	2	RS_791-6460	X_LiPo_Battery_MIKROE_1120_3.7U_2Ah	X_3.7U_2Ah	B1,B2	3.7,3.7
105	1	DK_887-1699-2-ND	X_10MEG_SMD_5.0x3.2x0.9mm_SMD_30ppm_C12pF	X_10MEG	7_X2	
106	1	DK_XC1967CT-ND	X_32K768_SMD_1.5x3.2x0.9mm_SMD_20ppm_C12pF	X_32K768	7_X1	

Bibliografia

- [1] M. B. D. D. C. A. H. C. P.D. R. C. S. S. S. M. T. N. U. V. A. C. M. B. L. S. L.M. Reyneri, *ARAMIS- an alternative approach to CubeSats for more demanding satellite applications* , Würzburg, 2009.
- [2] Wikipedia, *CubeSat*[Online]. Available:<https://it.wikipedia.org/wiki/CubeSat>
- [3] Anwar Ali, M. Rizwan Mughal, Haider Ali, Leonardo Reyneri , *Innovative power management, attitude determination and control tile for CubeSat standard NanoSatellites*, March 2014
- [4] <http://www.cubesat.org/indecx.php/documents/developers>
- [5] C. Passerone, M. Tranchero, S. Speretta, L. Reyneri, C. Sansoe, D. DelCorso, *Design solutions for a university Nano-satellite*, in: *Proceedings of the Aerospace Conference*, 2008 IEEE, vol. no., 1–8 March 2008, pp. 1, 13.
- [6] Wikipedia, *Fasce di Van Allen*[Online]. Available: https://it.m.wikipedia.org/wiki/Fasce_di_van_Allen
- [7] Wikipedia, *Use Diagram*[Online]. Available: https://it.wikipedia.org/wiki/Use_Case_Diagram
- [8] Wikipedia, *Class Diagram*[Online]. Available: https://it.wikipedia.org/wiki/Class_diagram
- [9] Wikipedia, *Accumulatore litio-polimero*[Online]. Available: https://it.wikipedia.org/wiki/Accumulatore_litio-polimero
- [10] Appunti Corso Prof. Maddaleno, *Power Electronics*, Luglio 2013
- [11] Infineon, *datasheet irf7311* [Online]. Available: <http://www.infineon.com/dgdl/irf7311.pdf?fileId=5546d462533600a4015355f5495a1b20>, *datasheet*
- [12] Vishay, *datasheet diodo sl43*[Online]. Available: <http://www.vishay.com/docs/88742/sl42.pdf>
- [13] Texas Instruments, *datasheet Ina138*[Online]. Available: <http://www.ti.com.cn/cn/lit/ds/symlink/ina138.pdf>
- [14] BatteryUniversity, *BU-409: Charging Lithium-ion*[Online]. Available: http://batteryuniversity.com/learn/article/charging_lithium_ion_batteries

- [15] Infineon, *datasheet irf7324* [Online]. Available: <http://www.infineon.com/dgdl/irf7324.pdf?fileId=5546d462533600a4015355f5e10a1b47>
- [16] Sergio Franco, *Design with operational amplifiers and analog integrated circuits*, 2002
- [17] Barsukov Y., *Battery Cell Balancing: What to Balance and How*, Texas Instruments, Inc., 2005 [Online]. Available: <http://focus.ti.com/>
- [18] Luca Campanale, *Sviluppo di un sistema di gestione delle batterie per satelliti modulari AraMis*, Marzo 2014
- [19] Texas Instruments, *datasheet LM6142/LM6144* [Online]. Available: <http://www.ti.com.cn/cn/lit/ds/symlink/lm6142.pdf>
- [20] Analog Devices, *datasheet AD8237* [Online]. Available: http://www.analog.com/static/imported-files/data/_sheets/AD8237.pdf
- [21] Texas Instruments, *INA21x Voltage Output, Low- or High-Side Measurement, Bidirectional, Zero-Drift Series, Current-Shunt Monitors (Rev. H)* [Online]. Available: <http://www.ti.com/lit/ds/symlink/ina213.pdf>
- [22] Texas Instruments, *MSP430F543x and MSP430F541x Mixed-Signal Microcontrollers (Rev. E)* [Online]. Available: <http://www.ti.com/lit/ds/symlink/msp430f5437.pdf>