

POLITECNICO DI TORINO

Facoltà di Ingegneria
Corso di Laurea in Ingegneria Elettronica

Tesi di Laurea Magistrale

**Sviluppo di un sistema di gestione
delle batterie per satelliti
modulari AraMiS**



Relatori:

prof. Leonardo Reyneri

prof. Claudio Sansoè

Candidato:

Luca Campanale

Marzo 2014

In memoria di
Mamma e Papà,
Luca

Sommario

Questo elaborato descrive in maniera approfondita, riportando numerose simulazioni *SPICE*, il sistema di gestione delle batterie e della potenza di *AraMiS*; un sistema ottenuto a partire da alcune idee già presenti nel progetto, ma spesso reVISIONATE e migliorate per garantire il funzionamento desiderato.

AraMiS, acronimo di *ARchitettura Altamente Modulare per Infrastrutture Satellitari*, è un progetto sviluppato dal *Politecnico di Torino* a partire dall'anno 2010, atto a creare uno standard modulare per *nano*-satelliti, con massa compresa tra 1 kg e 10 kg.

L'architettura *AraMiS*, descritta brevemente nel **Capitolo 1**, al fine di ottenere un alto grado di modularità, prevede l'utilizzo di due moduli fondamentali detti *Tile*: un *Power Management (PMT) and ACS Tile* con il compito di generare, immagazzinare e fornire potenza a tutto il satellite ed un *On-Board Computer and Telecommunication Tile (TT)* in cui è definita l'unità di calcolo e di telecomunicazione.

Il progetto *AraMiS* inoltre utilizza in maniera intensiva diverse tipologie di sistemi software; tra questi il software *UML*-compatibile *Visual Paradigm 10.2* svolge un ruolo cruciale. Il linguaggio *Unified Modeling Language UML* permette di modellizzare, attraverso la combinazione di elementi di tipo visuale, come grafici e diagrammi ed elementi di programmazione ad oggetti, l'intero sistema *AraMiS* ed anche le singole parti di cui esso è composto; di conseguenza tutte le specifiche funzionali e la documentazione HW/SW sono descritte attraverso *Visual Paradigm*. Dal punto di vista della progettazione elettronica, per i risultati presentati in questo elaborato, si utilizza la suite *Mentor Graphics 2005* per disegnare gli schemi elettrici ed il *layout* del *PCB*, mentre con *OrCAD Cadence 16.3* si effettuano le simulazioni di tipo *SPICE*.

Infine di grande supporto è l'ambiente di calcolo *MATLAB*, utilizzato nella versione *R2012b*.

Le principali tematiche riguardanti i software appena citati sono quindi descritte nel **Capitolo 2**.

1B1_Power_Management_Subsystem è il sistema che gestisce la potenza proveniente dal modulo *PMT*. I principali attori dal punto di vista energetico in questo sistema sono i pannelli solari posti sul *PMT*, le batterie ed il carico. La potenza generata ed assorbita da questi dispositivi è distribuita attraverso il *Power Distribution Bus PDB*, descritto dal sistema *1B126_Power_Distribution_Bus* di *Visual Paradigm*.

Il **Capitolo 3** tratta in maniera approfondita i sistemi *1B1* e *1B126*.

In *AraMiS* la fonte di alimentazione primaria è l'energia convertita dai pannelli solari. Questa energia però non è sempre disponibile, infatti il satellite può trovarsi completamente od in parte in zone d'ombra; per questo motivo sono presenti le batterie. In particolare ogni singola batteria è formata da due celle agli ioni di Litio ciascuna con tensione nominale di 3.7V e connesse in serie.

Nel **Capitolo 4** sono descritti brevemente i metodi di carica ed i problemi di sbilanciamento di batterie composte da più celle agli ioni di Litio connesse in serie.

1B1142_Battery_Equalizer è il dispositivo progettato, a partire da uno schema già presente nel progetto, che provvede a bilanciare, se necessario, la batteria. Il suo funzionamento è semplice, attraverso un sensore di tensione differenziale, opportunamente progettato, l'*1B1142* segnala al processore un eventuale sbilanciamento e, se abilitato, provvede a scaricare la cella in cui è presente l'eccesso di carica. Nel **Capitolo 5** è presentata una descrizione dettagliata di questo dispositivo con la spiegazione delle scelte circuitali e numerose simulazioni *SPICE*.

1B115A_Shunt_Overvoltage_Protection è il dispositivo progettato nell'ambito della gestione della potenza di *AraMiS* per trasformare in calore, attraverso resistori di "shunt", l'energia in eccesso prodotta dai pannelli solari. È un circuito retroazionato che assorbe una corrente proporzionale alla tensione del bus ed è abilitato solo per determinati valori del *PDB*. Anche per questo dispositivo nel progetto è già presente uno schema antecedente che in questo elaborato è migliorato e reso più funzionale. Tutte le modifiche, la descrizione e le numerose simulazioni *SPICE* sono riportate nel **Capitolo 6**.

Bk1B11XAM_Partial_Power_Management è il sistema completo che raggruppa i dispositivi per la gestione della batteria e della potenza, ad esclusione del carica batteria. Oltre ai due citati precedentemente, sono anche presenti alcuni semplici sensori di tensione e temperatura ed un convertitore *DC-DC BOOST 1B118* progettato in tesi precedenti. Nel **Capitolo 7**, che analizza questo sistema, è riportata una breve descrizione per tutti questi circuiti; mentre nel **Capitolo 8** è presentato il *PCB* ottenuto.

Infine il modello *SPICE* del sistema completo *Bk1B11XAM* ed alcuni modelli sviluppati appositamente sono riportati nell'**Appendice A**. Nell'**Appendice B** sono presenti gli script *MATLAB* prodotti per ottenere alcuni risultati di questo elaborato. Mentre nell'**Appendice C** sono riportate alcune nozioni sulla teoria della misura e della propagazione degli errori.

Indice

Sommario	I
1 AraMiS	1
1.1 Introduzione	1
1.2 AraMiS	2
1.3 Ambiente Operativo	5
1.3.1 Temperatura	5
1.3.2 Vuoto	6
1.3.3 Radiazioni	6
1.3.4 Total Dose	7
2 Sistemi di Sviluppo	9
2.1 Visual Paradigm 10.2	9
2.1.1 Case Diagram	10
2.1.2 Class Diagram	11
2.2 Mentor Graphics 2005 sp1	12
2.2.1 Aramis_Mentor_Lib	12
2.2.2 Design Capture	14
2.3 Cadence OrCAD 16.3	16
2.3.1 SPICE	16
2.3.2 Simulazioni SPICE	17
3 1B1_Power_Management_Subsystem	21
3.1 1B126_Power_Distribution_Bus	23
3.1.1 Attori	24
3.1.2 Case Diagram	26
3.2 Specifiche Finali	32
3.2.1 Risultati	33
3.2.2 Simulazioni	34
4 Batterie	37
4.1 Metodo di Carica	38
4.2 Problemi di sbilanciamento	40
4.2.1 Equalizzazione Serie/Parallelo	40
4.2.2 Equalizzazione Resistiva	41
4.2.3 Equalizzazione a Capacità Commutata	42
4.2.4 Equalizzazione Analogica con Shunt	42

5	1B1142_Battery_Equalizer	45
5.1	Segnali e Netlist SPICE	46
5.2	Descrizione	48
5.3	1B137A_Differential_Voltage_Sensor	51
5.3.1	Segnali e Netlist SPICE	52
5.3.2	Descrizione	54
5.3.3	Simulazioni	54
5.4	Bk1B137E_Differential_Voltage_Sensor	58
5.4.1	Segnali e Netlist SPICE	60
5.4.2	AD8237	60
5.4.3	Descrizione	63
5.4.4	Simulazioni	65
5.5	Simulazioni	68
5.5.1	ENABLE=ON	68
5.5.2	ENABLE=OFF	74
5.5.3	Temperatura	77
5.6	UML Diagram	80
5.6.1	Specifiche	80
5.6.2	Class Diagram	81
6	1B115A_Shunt_Overvoltage_Protection	83
6.1	Primo Prototipo	84
6.1.1	Descrizione	85
6.1.2	Simulazioni	88
6.1.3	Problematiche	89
6.2	Definitivo	91
6.2.1	Netlist SPICE	93
6.2.2	Descrizione	94
6.2.3	Dimensionamento	96
6.2.4	Prestazioni	97
6.3	Simulazioni	100
6.4	UML Diagram	105
6.4.1	Specifiche	105
6.4.2	Class Diagram	106
7	Bk1B11XAM_Partial_Power_Management	107
7.0.3	Segnali e Netlist SPICE	108
7.0.4	UML Diagram	111
7.1	1B118_Battery_Discharger_Circuit	112
7.1.1	1B132X_Current_Sensor	113
7.1.2	1B118_Pwm_Driver	113
7.1.3	1B133A_Temperature_Sensor_V1	115
7.2	Bk1B131X_Voltage_Sensor_V1	116

8	PCB	117
8.1	Creazione	117
8.2	Caratteristiche	118
8.2.1	Dimensioni	118
8.2.2	Placement e Routing	118
8.2.3	Constraints	118
8.3	Risultati	119
A	Listato Spice	121
A.1	Modelli SPICE sviluppati	121
A.2	Bk1B11XAM Netlist	124
B	Listato Matlab	131
B.1	Script MATLAB per calcolo resistenze	131
B.2	Dimensionamento e prestazioni AD8237	133
B.3	Analisi Monte Carlo per 1B1142	135
B.4	Script MATLAB per 1B115	138
C	Cenni di Misure	143
C.1	Somma e Differenza	144
C.2	Rapporto e Prodotto	145
C.3	Esempio AD8237	145
	Bibliografia	147

Capitolo 1

AraMiS

1.1 Introduzione

La miniaturizzazione sempre maggiore dei componenti elettronici ha reso possibile il progetto di satelliti dalle dimensioni sempre minori, con un conseguente deciso abbassamento dei costi sia per la produzione che per il lancio nello spazio.

Questi dispositivi sono classificati in base al peso nel seguente modo:

- *Mini-satellite*, è un satellite con massa compresa tra 100 kg e 500 kg, ma nonostante la massa ridotta solitamente conserva la stessa tecnologia dei satelliti più grandi; ad esempio è alimentato con del carburante.
- *Micro-satellite*, è un satellite con massa compresa tra 10 kg e 100 kg.
- *Nano-satellite*, è un satellite con massa compresa tra 1 kg e 10 kg.
- *Pico-satellite*, è un satellite con massa compresa tra 100 g ed 1 kg.
- *Femto-satellite*, è un satellite con massa minore di 100 g.

Nella quasi totalità dei casi i satelliti più grandi, essendo molto costosi, sono progettati appositamente su commissione, tenendo conto delle loro dimensioni, del carico e del loro utilizzo; al contrario il minor costo dei piccoli satelliti ha permesso di realizzare delle architetture standardizzate, indipendenti dall'utilizzo finale.

In questo ambito le università sono tra i protagonisti maggiormente attivi, spinte soprattutto dalla consapevolezza del forte valore didattico che crea un progetto di natura altamente interdisciplinare, in cui è necessario avere conoscenze di tipo meccanico/areospaziale ed anche elettronico/informatico.

Tra i vari standard universitari presenti ad oggi il più famoso è sicuramente *CUBESAT*, realizzato dal *Politecnico Statale della California* e dall'*Università di Stanford*, con la collaborazione dello *Space Systems Development Laboratory (SSDL)*. *CUBESAT*[1], che letteralmente significa satellite di forma cubica, è stato sviluppato a partire dall'anno 1999. Le caratteristiche principali dello standard sono:

- Forma cubica di dimensioni 10x10x10cm, con massa non superiore ad 1.33 kg;
- Compatibilità con il lanciatore *Poly-PicoSatellite Orbital Deployer (P-POD)*;

- Utilizzo di componenti elettronici *COTS* (*Commercial Off The Shelf*), ossia di componenti presenti nel mercato consumer e quindi più economici ai corrispondenti per applicazioni specifiche.

Dal 1999 ad oggi lo standard è stato progressivamente migliorato; al 2012 si stima ne siano stati lanciati con successo 75 satelliti. Inoltre nel 2004 era possibile lanciare un *CUBESAT* con un prezzi relativamente bassi, tra i 50 ed i 60 mila euro.

Nel 2004 anche il *Politecnico di Torino* si affaccia nel mondo dei piccoli satelliti universitari, con il progetto *PicPoT*, acronimo di *PIC*colo *satellite* del *POL*itecnico di *Torino*.

Le caratteristiche salienti di *PicPoT* sono:

- Forma cubica di dimensioni 10x10x10cm, con massa non superiore a 5 kg.
- Potenza non superiore a 1.5 W.
- Orbita *LEO* (*Low Earth Orbit*).
- Almeno 90 giorni di vita in orbita.

Le funzioni principali sono acquisire misure di temperatura ed illuminamento, scattare fotografie e trasmettere verso la stazione di terra.

PicPoT è stato lanciato il 26 Luglio 2006 dalla base di lancio sovietica di Baykonour; sfortunatamente è scoppiato durante il volo a causa di un problema idraulico del lanciatore.

1.2 AraMiS

AraMiS, acronimo di *AR*chitettura *Altamente Modulare per Infrastrutture Satellitari*, è l'evoluzione del *Politecnico di Torino* al progetto *PicPoT* ed è sviluppato a partire dal 2006.

Le finalità di *AraMiS*, oltre a quelle di tipo didattico, sono molto ambiziose, infatti mira a diventare lo standard rivale a *CUBESAT*.

Le caratteristiche salienti di *AraMiS* in versione *cubo* sono:

- Forma cubica di dimensioni 16.5x16.5x16.5cm, con massa superiore a 5 kg.
- Potenza massima assorbita dai pannelli solari di circa 6 W.
- Orbita *LEO* (*Low Earth Orbit*).
- Tempo di vita stimato in 5 anni.
- Utilizzo di componenti *COTS*.
- Modularità a livello meccanico, elettronico e di testing.
- Progettazione unificata con linguaggio di modellizzazione *UML*.

Secondo la classificazione precedente si tratta di un *Nano-satellite* che segue un'orbita *LEO*, ossia una distanza dalla Terra compresa tra i 600 e gli 800 km.

Il principale concetto innovativo di *AraMiS* è la modularità. A differenza di *CUBESAT* si vuole creare uno standard in cui i sotto sistemi che lo compongono siano indipendenti tra loro, sia a livello fisico che in fase di sviluppo. In altre parole la struttura deve essere adattabile alle esigenze specifiche della missione.

Tale scelta porta ad i seguenti vantaggi:

- I moduli standardizzati possono essere usati in più missioni riducendo il costo.
- È possibile progettare sottosistemi diversi in parallelo riducendo il tempo di progettazione.
- Per ogni missione è possibile riconfigurare il satellite in base agli obiettivi voluti.

Lo svantaggio maggiore risiede ovviamente nella difficoltà del progetto di creare uno standard funzionante ed efficiente.

Solitamente i satelliti sono composti dai seguenti sottosistemi:

- Sistema di generazione e gestione della potenza.
- Sistema di controllo della posizione.
- Housekeeping.
- Gestione dell'analisi e del controllo dei dati del satellite.
- Sistema di Telecomunicazione.

Il progetto *AraMiS*, al contrario, raccoglie tutti i precedenti sottosistemi dividendoli in sole due categorie dette *Tiles*, letteralmente mattonelle, figura 1.1. Queste mattonelle, che sono disposte sulle facce esterne del satellite avendo quindi anche una funzione strutturale, sono:

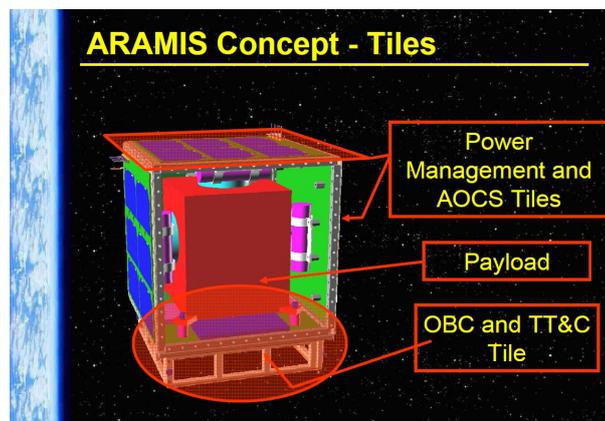


Figura 1.1. Visione di un satellite *AraMiS* e delle relative *Tiles*

- *Power Management and ACS Tile*, figura 1.2: con il compito di generare, immagazzinare e controllare la potenza. È composto principalmente dalle celle solari; inoltre sono presenti una ruota di reazione ed una bobina magnetica che formano il controllo di assetto attivo *ACS*.
- *On-Board Computer and Telecommunication Tile*¹, figura 1.3: composto da un doppio processore ridondante, una *FPGA* ed un sistema di telecomunicazione a doppio canale, uno a frequenza 437 MHz e l'altro 2.4 GHz.

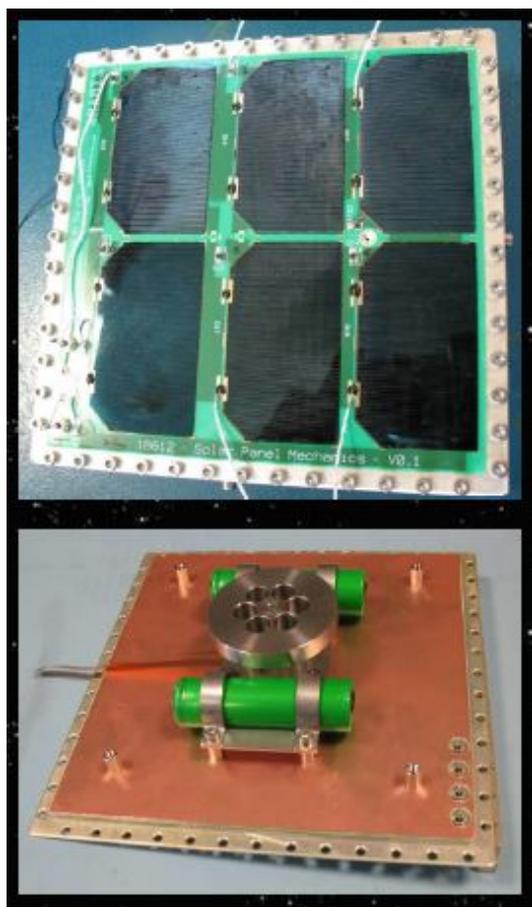


Figura 1.2. *Power Management and ACS Tile*

Le batterie ed il carico, chiamato *payload*, sono posti all'interno del satellite. Inoltre l'architettura prevede le seguenti ridondanze:

- Un pannello solare per ogni *PM Tile*.
- Una batteria per ogni *PM Tile*.
- Una ruota di reazione per ogni *PM Tile*.
- Una bobina magnetica per ogni *PM Tile*.

¹Questo elaborato si occupa solo del *Power Management and ACS Tile*.

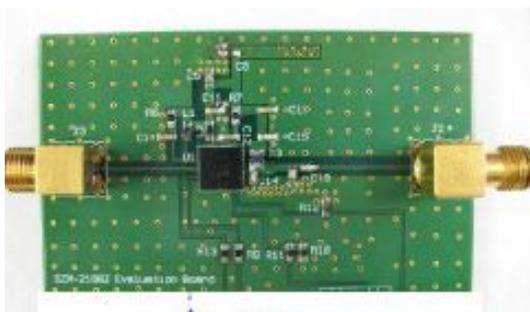


Figura 1.3. *On-Board Computer and Telecommunication Tile*

- Un sensore di posizione e di sole per ogni *PM Tile*.
- Un housekeeping per ogni *PM Tile*.

Prima di analizzare in maniera più approfondita il *Power Management Tile* è necessario dare alcune informazioni riguardo le condizioni ambientali operative in cui opera il satellite.

1.3 Ambiente Operativo

Il progetto *AraMiS* ed in particolare i dispositivi elettronici sono fortemente influenzati dalle condizioni ambientali in cui operano. Il satellite è progettato per lavorare ad un'orbita *LEO*, con una distanza dalla Terra compresa tra i 600 e gli 800 km; questa distanza corrisponde ad una zona compresa tra l'atmosfera terrestre e l'inizio delle fasce di Van Allen, posizione in cui iniziano ad esser presenti forti radiazioni, seppur più deboli rispetto alle fasce inoltrate.

1.3.1 Temperatura

Durante l'orbita, nello stesso istante, le diverse facce del satellite si trovano in due condizioni differenti: la faccia illuminata assorbe i raggi solari, mentre quella nella direzione opposta è in ombra. È quindi presente un forte gradiente termico (cicli termici) tra le diverse facce del satellite. Inoltre a causa della quasi totale mancanza di atmosfera l'irraggiamento solare è nell'ordine di 1300 W m^{-2} , molto maggiore che sulla Terra.

Si ricorda inoltre che nello spazio la temperatura dipende dal bilancio energetico della potenza assorbita dal Sole, di quella convertita in altre forme di energia e di quella generata dal surriscaldamento dei componenti. Secondo una stima teorica la temperatura T di lavoro del satellite è compresa in un intervallo di $[-30 \div 40]^\circ\text{C}$ quando la potenza massima P_j dissipata dai circuiti interni è di circa 200 W, figura 1.4.

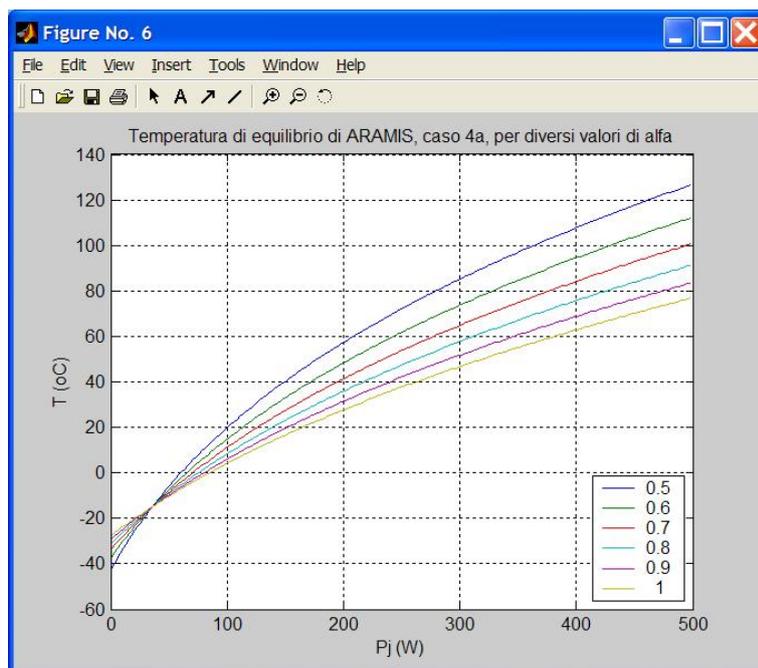


Figura 1.4. Andamento di T rispetto a P_j

1.3.2 Vuoto

Ad una distanza tra i 600 e gli 800 km l'atmosfera è quasi inesistente, si è quindi in una condizione di vuoto. In questa situazione il fenomeno della convezione, grazie al quale un corpo caldo (ad esempio un componente elettronico) dissipa energia a contatto con un fluido più freddo (ad esempio aria), è assente. Nel vuoto gli scambi di calore avvengono solamente per conduzione od irraggiamento.

Inoltre bisogna prestare attenzione alla presenza di fluidi all'interno di tutti i componenti elettronici e meccanici, i quali potrebbero innescare fenomeni di surriscaldamento od esplosioni. Ad esempio le batterie agli ioni di Litio hanno una pressione interna di 0.3 bar, trascurabile sulla Terra, ma che nel vuoto tende a creare un'altissima forza per unità di superficie ed a far esplodere la batteria. Per questo motivo nel progetto non possono essere usati condensatori di tipo elettrolitico.

1.3.3 Radiazioni

Tra i 600 e gli 800 km di distanza dalla Terra si è in prossimità della fascia inferiore di Van Allen, una zona a geometria toroidale densa di particelle cariche, ossia di radiazioni ionizzanti.

Quando queste particelle cariche colpiscono i semiconduttori si crea il fenomeno detto di *ionizzazione diretta* ed in essi viene generata una coppia elettrone-lacuna che, attraverso i noti meccanismi di funzionamento (deriva e diffusione) di un semiconduttore, si può propagare o ricombinare causando dei comportamenti anomali. Questi effetti sono conosciuti come *Single Event Effects (SEE)* tra cui i più critici sono: il *Single Event Latch-Up (SEL)* in cui i transistor parassiti *BJT* di un dispositivo in logica *CMOS* iniziano a condurre, innescando una reazione positiva

che crea un percorso a bassissima impedenza tra alimentazione ed il riferimento; il *Single Event Up-Set (SEU)* in cui a causa delle radiazioni può cambiare lo stato di un dispositivo a semiconduttore, ad esempio il dato immagazzinato da una cella di memoria.

1.3.4 Total Dose

Gli effetti descritti nel paragrafo precedente, causati dalla radiazioni, sono fenomeni di tipo istantaneo, esistono però anche dei fenomeni il cui effetto è legato alla quantità di radiazioni assorbite; è chiaro quindi che questi fenomeni dipendono dal tempo trascorso in orbita. Si parla di *Total Dose* per indicare la quantità massima di radiazioni che può accumulare un dispositivo prima di avere dei malfunzionamenti. Ad esempio la tensione di soglia di un *MOS* tende ad aumentare gradualmente con la quantità di radiazioni assorbite, di conseguenza si può avere un aumento dei tempi di propagazione dei segnali con un conseguenti possibili errori.

Capitolo 2

Sistemi di Sviluppo

La “standardizzazione“ dell’architettura *AraMiS* prevede l’utilizzo del software *UML-compatibile Visual Paradigm 10.2*.

Per quanto riguarda la progettazione elettronica si utilizza il software *Mentor Graphics 2005 sp1* per il disegno degli schemi elettrici e del *PCB*, mentre con la suite *Cadence OrCAD 16.3* si effettuano le simulazioni circuitali.

Infine di grandissima utilità è l’ambiente di calcolo *MATLAB*; in particolare è utilizzata la versione *MATLAB R2012b* che incorpora numerose novità tra le quali la possibilità di usare le *APPS*, ossia delle applicazioni interattive per calcoli tecnici. In questo capitolo quindi sono analizzate alcune tematiche riguardanti i principali software utilizzati.

2.1 Visual Paradigm 10.2

Il progetto dell’architettura *AraMiS* utilizza in maniera intensiva il linguaggio *Unified Modeling Language UML* ed il software *UML-compatibile Visual Paradigm 10.2*.

UML è un particolare tipo di linguaggio informatico utilizzato per modellizzare un generico sistema, sia esso software o hardware, combinando elementi di tipo visuale, ad esempio grafici o diagrammi, con elementi di programmazione orientata agli oggetti. Inoltre attraverso il tool *UML-Visual Paradigm* è possibile tradurre in codice per il processore i diagrammi creati e viceversa.

Un altro vantaggio è la possibilità di creare un gruppo di lavoro, un team, con cui progettare e condividere tramite server il materiale prodotto.

Attraverso *Visual Paradigm* sono dunque utilizzate numerose strutture per descrivere in maniera approfondita il progetto *AraMiS* ed in particolare sono presenti:

- Diagrammi per le specifiche funzionali;
- Diagrammi per le specifiche prestazionali;
- Diagrammi sequenziali per l’analisi dei sistemi e dei relativi sotto-sistemi;
- Diagramma per le specifiche architetture con allegata documentazione HW/SW;

Di seguito sono illustrate brevemente due tra le principali strutture grafiche *UML* utilizzate: il diagramma dei casi d'uso, *Case Diagram* ed il diagramma delle classi, *Class Diagram*.

2.1.1 Case Diagram

Il diagramma *Case Diagram*, che rappresenta il primo step per modellizzare un sistema, descrive le possibili interazioni, *casi d'uso*, tra il sistema e gli *attori*, solitamente rappresentati da un omino stilizzato. I casi d'uso al contrario sono rappresentati da ellissi con sfondo blu.

Nel *Case Diagram* gli attori ed i casi di uso sono legati tramite diverse *associazioni*, rappresentate da una linea con una freccia, in cui la tipologia di associazione è indicata dalla forma della freccia. In figura 2.1 è riportato il *Case Diagram* dell'intero sistema *AraMiS*.

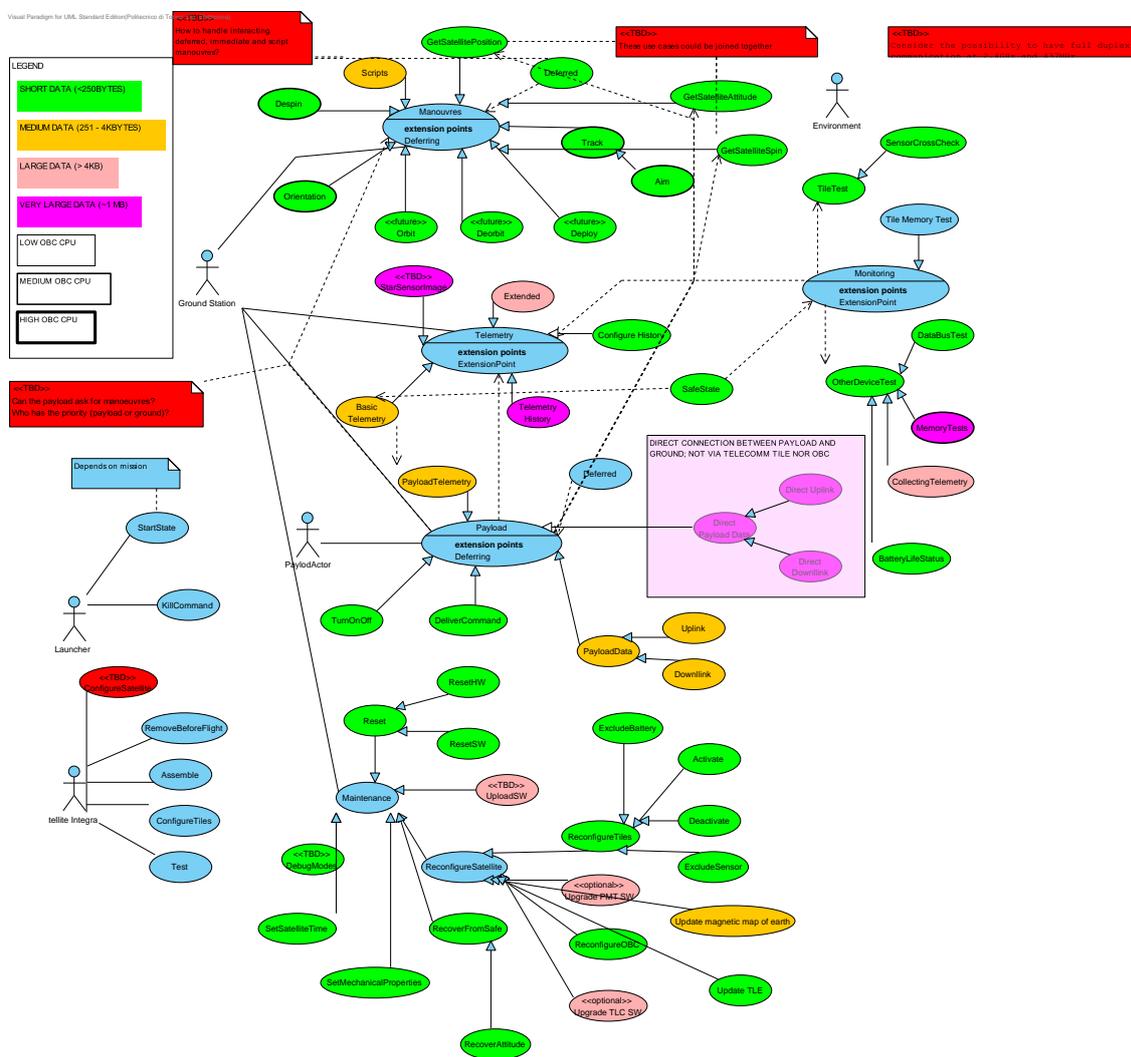


Figura 2.1. *Case Diagram AraMiS (Visual Paradigm)*

2.1.2 Class Diagram

Il diagramma delle classi, *Class Diagram*, è una rappresentazione grafica degli *oggetti* che compongono l'intero sistema. L'insieme di oggetti della stessa categoria forma una *classe*.

Un *oggetto*, che può essere collegato ad altri oggetti o verso l'esterno con altri sistemi, è rappresentato tramite un rettangolo colorato, composto da tre campi:

- *Nome della classe*.
- *Attributi*, in cui sono descritte le proprietà dell'oggetto.
- *Metodi*, in cui sono indicate le operazioni che può effettuare un oggetto.

Sono possibili *associazioni* di diverso tipo tra gli oggetti, anche di classi distinte. In figura 2.2 è riportato il *Class Diagram* dell'intero sistema *AraMiS*.

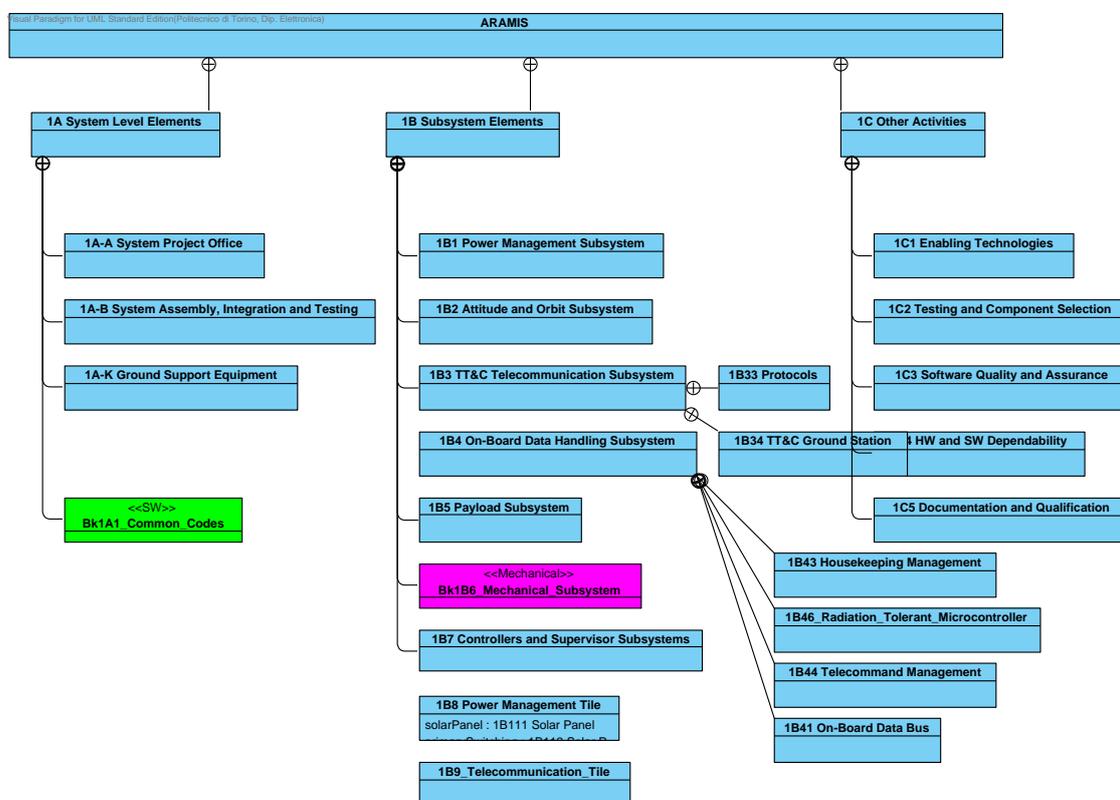


Figura 2.2. *Class Diagram AraMiS (Visual Paradigm)*

2.2 Mentor Graphics 2005 sp1

Mentor Graphics 2005 sp1 rientra nella categoria di programmi di tipo *Electronic design automation (EDA)*, quei software che forniscono gli strumenti per progettare e produrre sistemi elettronici.

Nel progetto la suite *Mentor* è utilizzata con tre funzioni fondamentali:

1. Creare una libreria, *Aramis_Mentor_Lib*, di tutti i dispositivi elettronici ed i relativi package.
2. Disegnare tutti gli schemi elettrici, in inglese *schematic*, con il tool *Design Capture*.
3. Disegnare il layout del *PCB* con il tool *Expedition PCB*.

2.2.1 Aramis_Mentor_Lib

Aramis_Mentor_Lib è la libreria centrale in cui sono descritti i dispositivi elettrici ed elettronici utilizzati nel progetto *AraMiS* ed è gestita attraverso il tool *Library Manager*.

Ogni dispositivo presente in libreria ha una duplice presentazione: a livello logico è indicato con un simbolo, mentre a livello fisico è presentato come una cella. Ogni cella è descritta da un *padstack*, ossia l'insieme del pad (la parte metallica conduttiva presente sul circuito stampato a cui viene saldato ciascun piedino di un dispositivo) e dell'eventuale foro.

La libreria *Aramis_Mentor_Lib* al suo interno è composta da quattro grandi sezioni:

1. *Parts*, la lista di tutti i dispositivi.
2. *Cells*, la lista delle celle di tutti i dispositivi.
3. *Symbols*, la lista dei simboli di tutti i dispositivi.
4. *Padstacks*, la lista dei padstack.

Ognuna di queste sezioni a sua volta è divisa in partizioni, in modo da poter raggruppare diversi componenti della stessa tipologia.

Per aggiungere un nuovo dispositivo alla libreria centrale bisogna procedere nel modo descritto di seguito.

Il primo passo da seguire, qualora non fosse già presente, è la creazione del simbolo nella libreria *Symbols*. Questo step è effettuato con il tool *Symbol Editor*.

Inizialmente si disegna il simbolo, si posizionano i pin, associandone nome, numero¹ e funzionalità (ad es. *IN*, *OUT*, *BIDIR* etc etc) ed in seguito si selezionano le proprietà che deve possedere il dispositivo univocato da quel simbolo, impostandone anche la visibilità, figura 2.3. Durante la creazione con l'opzione *Symbol Type* è possibile specificare la tipologia generica del simbolo; ad esempio il valore *Symbol*

¹Per generare una *Netlist SPICE* corretta è necessario che il numero assegnato al pin corrisponda all'ordine con cui i pin sono dichiarati nel modello *SPICE*.

Type per una resistore/condensatore/induttore vale *Passive Discrete*, mentre per un circuito logico integrato è *IC*. Nel campo *Type* invece è specificata la tipologia del componente; ad esempio il valore *Type* di una resistore è *Resistor*, di un condensatore è *Capacitor* etc etc.

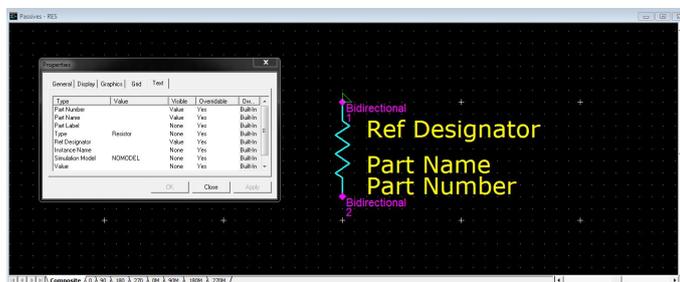


Figura 2.3. *Symbol Editor (Mentor)*

Creato il simbolo si procede definendo il componente e le sue proprietà nella libreria *Parts*. Le proprietà, con i relativi valori, sono impostate tramite il tool *Part Editor*.

Per ogni dispositivo è necessario definire tre etichette con la sintassi definita di seguito²:

1. *Part Number*, con sintassi: < Venditore >< Codice >.
2. *Part Name*, con sintassi: < Tipo >< Dimensione >.
3. *Part Label*, con sintassi: < Tipo >_< stringa delle caratteristiche >.

Dopo aver definito le precedenti etichette, obbligatorie, si possono impostare numerosi parametri opzionali; tra i più utilizzati si citano:

- *Value*, indica il valore della specifica grandezza fisica associata al dispositivo; ad esempio per un resistore in questo campo si inserisce il valore della sua resistenza. Inoltre si ricorda che se l'intenzione è quella di effettuare in seguito una simulazione *SPICE*, bisogna inserire il valore con la sintassi *SPICE* esatta, ad esempio il suffisso *MEG* per 10^6 .
- *Simulation Model*, in questo campo si inserisce una stringa di testo in cui è indicato il nome del modello software (ad esempio il nome di un *.subckt* in *SPICE*) che descrive il comportamento del dispositivo.
- *References Des Prefix*, è una lettera che indica il prefisso del componente. In uno schema circuitale ogni componente utilizzato è identificato da un nome, *Reference Designator*, nel seguente modo:

$$\langle \text{Ref. Des Prefix} \rangle \langle \text{Numero} \rangle \quad (2.1)$$

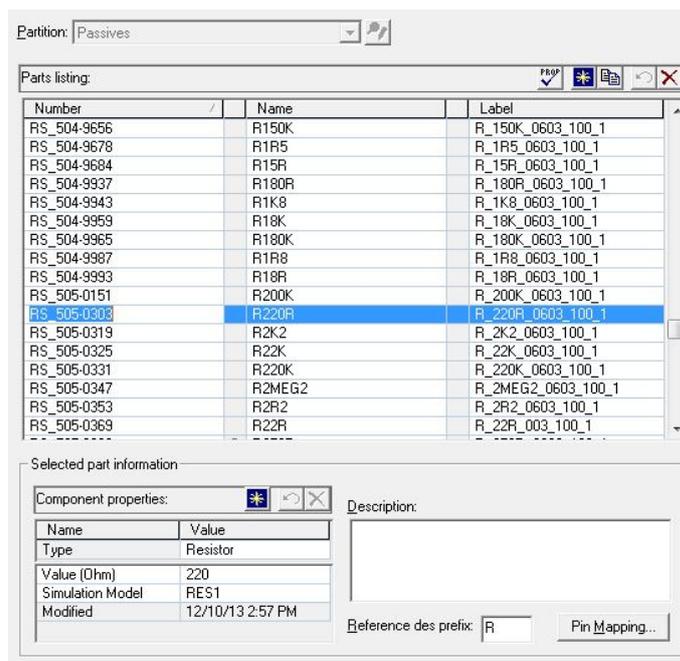


Figura 2.4. Part Editor (Mentor)

In figura 2.4 è presente un esempio lista di alcune resistenze con le relative etichette (*Number*, *Name* e *Label*) e parametri opzionali.

Definite le proprietà l'ultimo step da affrontare è il *Pin Mapping*, figura 2.5. In particolare si associa al dispositivo selezionato il simbolo creato in precedenza (*Assign Symbol*) ed una cella (*Assign Package Cell*). Infine si associano i pin della cella a quelli del simbolo, prestando molta attenzione nei collegamenti.

Procedendo nel modo appena descritto si può inserire correttamente qualunque dispositivo nella libreria centrale di *AraMiS*.

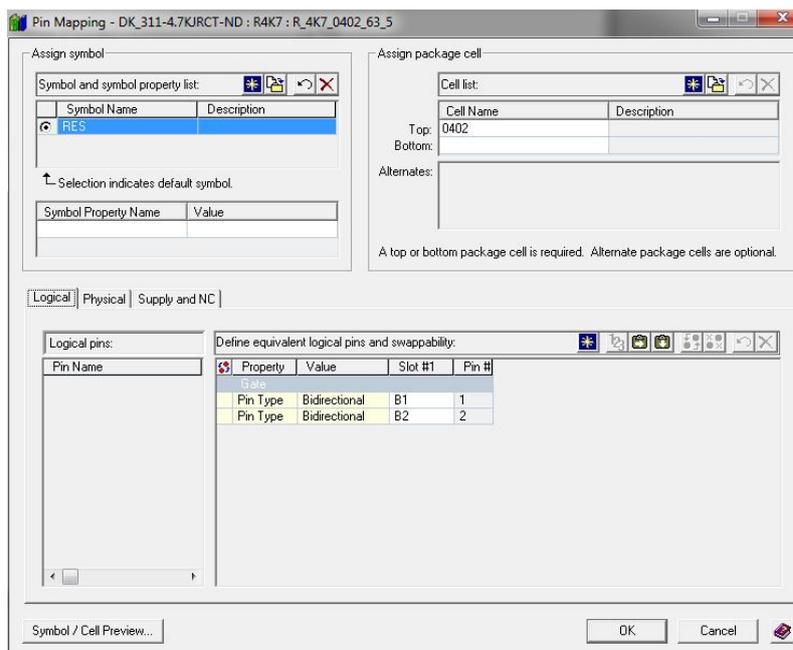
2.2.2 Design Capture

Una volta inseriti in libreria centrale tutti i dispositivi è possibile procedere al disegno degli schemi elettrici del progetto attraverso il software *Design Capture* della suite di *Mentor Graphics 2005*.

In questa sezione non è descritto il modo con cui realizzare praticamente lo schema circuitale, in quanto segue le più comuni routine dei programmi di *CAD* elettronico; al contrario sono trattati alcuni aspetti cruciali per arrivare ad avere i risultati corretti.

Il disegno dello schema elettrico con *Design Capture* deve essere effettuato tenendo in mente due obiettivi principali: il primo è produrre in uscita una *Netlist* con la corretta sintassi *SPICE*, in modo da testarne il funzionamento con un simulatore;

²La sintassi standard per il progetto *AraMiS* è riportata in maniera completa nel documento *DocuMentor*.

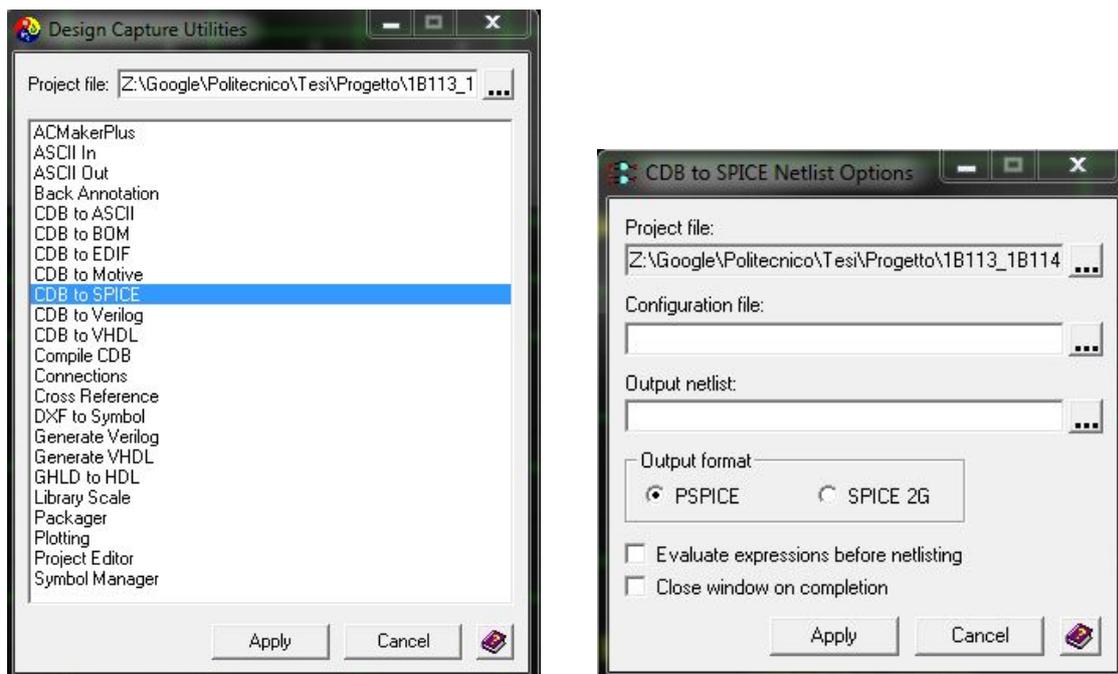
Figura 2.5. *Pin Mapping (Mentor)*

il secondo è avere un corretto *packaging*, (impacchettamento), per poter creare il *PCB* con il software *Expedition PCB*.

Per generare la *Netlist* è necessario seguire in ordine i seguenti step:

1. Per prima cosa si consiglia di aggiornare con il comando *Find and Replace* tutti i simboli ed i dispositivi presenti nel progetto, in modo da essere sincronizzati con gli update della libreria centrale.
2. Verificare che per ogni componente, se necessario, sia assegnato il valore nel campo *Value*.
3. Verificare che ad ogni dispositivo sia associato il nome di un modello nel campo *Simulation Model*. Qualora non ci fosse il bisogno di associare un modello ad un dispositivo, si deve inserire la stringa *NO MODEL*.
4. Eseguire una verifica del progetto con il comando *Verify*, assicurando che non ci siano errori o gravi warning.
5. Eseguire la compilazione del progetto con il comando *Compile CDB*, verificando che non ci siano errori o gravi warning.
6. Infine con il comando *CDB to SPICE*, figura 2.6, è possibile generare in uscita il file, con estensione *.cir*, contenente l'intera *Netlist* del circuito.

Con il modo appena descritto è quindi possibile generare in maniera automatizzata la corretta *Netlist SPICE* del progetto, contenente la descrizione degli schemi elettrici da dare in pasto al simulatore.



(a) Comandi CDB

(b) CDB to SPICE

Figura 2.6. Lista comandi disponibili ed opzioni per il comando *CDB to SPICE* (Mentor)

Tra i comandi disponibili in *Design Capture* è anche possibile generare una lista dei componenti utilizzati *BOM*, fare una *Back Annotation* o un *Cross Reference*. Con il comando *packager*, impacchettamento, *Design Capture* prepara il circuito per la creazione del *PCB*, analizzando tutti i simboli del progetto e mappandoli nelle rispettive celle. Inoltre assegna ad ogni dispositivo presente il campo *Reference Designator*. Anche in questa operazione è necessario assicurarsi che non ci siano errori o gravi warning.

2.3 Cadence OrCAD 16.3

SPICE, acronimo di *Simulation Program with Integrated Circuit Emphasis*, è un potente simulatore *open source* circuitale che nel corso degli anni è diventato il riferimento per testare il funzionamento dei circuiti elettronici. La versione commerciale più famosa è *PSpice* attualmente di proprietà di *Cadence Design System*. La versione utilizzata è *Cadence OrCAD 16.3* che incorpora il tool grafico utilizzato per il disegno dei circuiti *Capture* ed il tool utilizzato per la visualizzazione dei risultati *PSpice AD*.

2.3.1 SPICE

La *Netlist SPICE* è un documento di testo in cui è indicata la descrizione della rete elettrica. Per ogni dispositivo è dichiarato il nome, i molteplici nodi a cui è

connesso ed il modello matematico:

$$\begin{aligned} < nome_componente > < N+ > < N- > [< N_i+ > \dots < N_i- >] + \\ & [< modello >] [< valore >] \end{aligned} \quad (2.2)$$

In cui:

$< nome_componente >$ è una stringa di caratteri che identifica in maniera univoca il dispositivo. La prima lettera di questa stringa identifica la tipologia di componente;

$< N+ > < N- >$ sono i nodi a cui è connesso il dispositivo;

$[< N_i+ > \dots < N_i- >]$ sono i possibili ulteriori nodi aggiuntivi;

$< modello >$ è il modello matematico, parametrico o circuitale che descrive il dispositivo;

$< valore >$ è il valore numerico che assume un determinato dispositivo.

Quando il modello è una descrizione di tipo circuitale, la sua definizione è di tipo *.subckt*; mentre quando è una descrizione parametrica si utilizza la definizione *.model*³. Si consiglia di prestare molta attenzione alla corrispondenza tra la posizione dei nodi in cui è dichiarato il componente e la posizione dei nodi nel modello che lo descrive.

2.3.2 Simulazioni SPICE

Il simulatore *SPICE* presente in *OrCAD* è molto potente ed è in grado di effettuare diversi tipi di analisi, figura 2.7. Inoltre permette di impostare varie opzioni, tra cui la precisione relativa ed assoluta per le correnti e le tensioni, figura 2.8.

Di seguito è riportata una brevissima descrizione delle analisi effettuate nel progetto.

Time Domain (Transient)

L'analisi di tipo *Transient* permette di simulare il circuito nel dominio del tempo. La forma generica è definita nel seguente modo:

$$.TRAN < Tstep > < Tstop > < Tstart > \quad (2.3)$$

In cui $< Tstep >$ è il passo della simulazione, $< Tstop >$ è il tempo finale e $< Tstart >$ è il tempo iniziale.

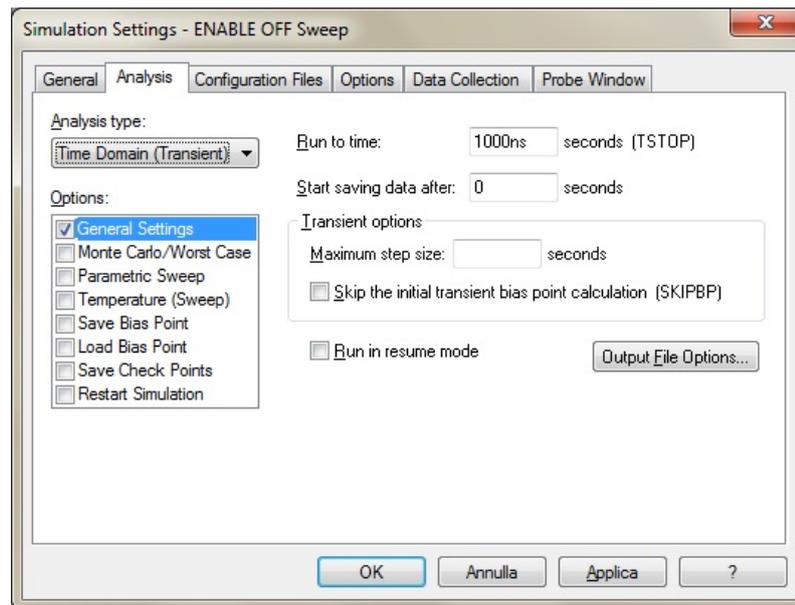
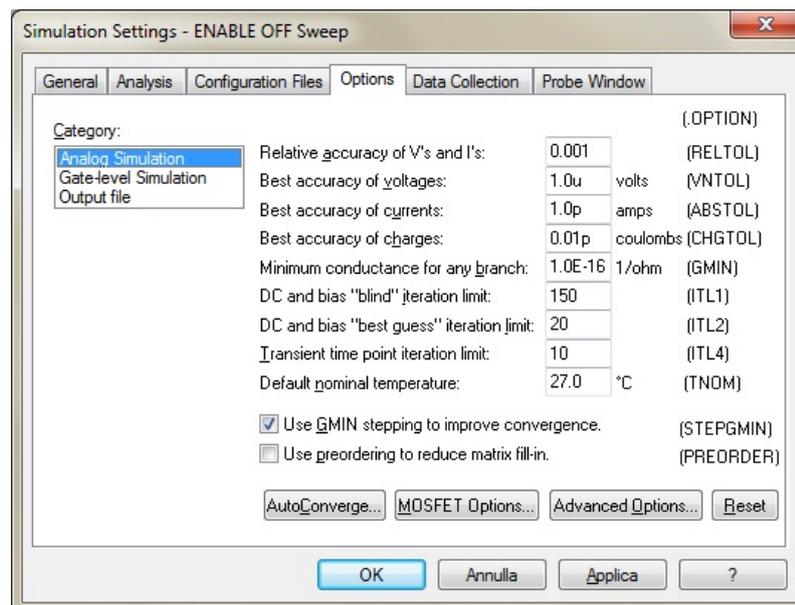
DC SWEEP

Con l'analisi di tipo *DC SWEEP* simula il circuito in continua per diversi valori (*SWEEP*) di un parametro o di un generatore.

La forma generica è:

$$.DC < Var > < Start > < Stop > < Step > \quad (2.4)$$

³Le *Netlist* generate con il comando *CDB to SPICE* in *Mentor* sono dichiarate come *.subckt*.

Figura 2.7. Selezionare analisi *SPICE* in *Cadence*Figura 2.8. Impostazione analisi *SPICE* in *Cadence*

In cui $\langle Var \rangle$ è il parametro che varia, $\langle Start \rangle$ e $\langle Stop \rangle$ sono il valore iniziale ed il valore finale, $\langle Step \rangle$ è il passo con cui è fatto variare il parametro $\langle Var \rangle$ e può essere di tipo lineare o logaritmico.

Inoltre è anche possibile effettuare degli *SWEEP* annidati, ad esempio variando una sorgente primaria e contemporaneamente un altro parametro o la temperatura.

Monte Carlo

Con la simulazione *Monte Carlo* si effettua un'analisi di tipo statistico, in cui è simulato il comportamento del circuito tenendo conto della tolleranza sui parametri tecnologici dei componenti.

La forma generica è:

$$.MC < NumeroProve > < TipoDiAnalisi > + < SpecificheDiUscita > < FunzioniDiUscita > \quad (2.5)$$

In cui $< NumeroProve >$ indica il numero di simulazioni di tipo $< TipoDiAnalisi >$ da effettuare. Con $< SpecificheDiUscita >$ e $< FunzioniDiUscita >$ è possibile gestire i risultati ottenuti dalle diverse prove.

In figura 2.9 è riportato l'editor grafico di *Cadence* per l'analisi di tipo *Monte Carlo*.

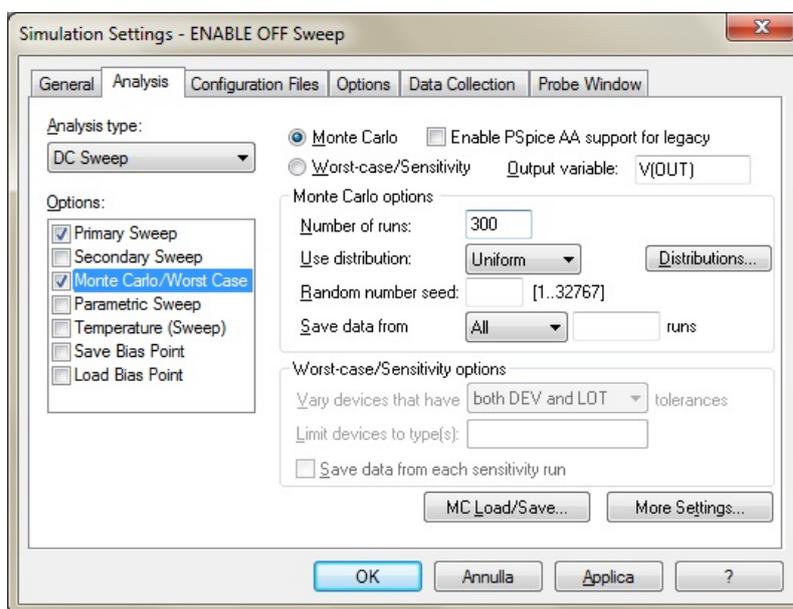


Figura 2.9. Impostazioni per l'analisi *Monte Carlo* in *Cadence*

Capitolo 3

1B1_ Power_Management_Subsystem

Nei Capitolo 1 si è introdotta l'architettura *AraMiS* che è composta dalle due mattonelle fondamentali, dette *Tiles*: *Power Management Tile (PMT)* e *Telecommunication Tile (TTC)*.

Il sistema *1B1_Power_Management_Subsystem* ha il compito di gestire la potenza proveniente dal *Power Management Tile (PMT)*.

All'interno di *1B1_Power_Management_Subsystem* sono presenti quattro sotto-sistemi:

1. *1B11_Power_Generation_and_Storage*, il sotto-sistema dei dispositivi di generazione ed immagazzinamento dell'energia;
2. *1B12_Power_Distribution*, il sotto-sistema in cui è definito il funzionamento del bus *Power Distribution Bus (PDB)* ed i relativi circuiti;
3. *Bk1B13_Sensors*, il sotto-sistema in cui sono presenti i sensori usati in *1B1_Power_Management_Subsystem*;
4. *1B14_Centralized_Power_Management*, il sotto-sistema che descrive la gestione del *1B1_Power_Management_Subsystem* a livello software ed hardware.

In figura 3.1 è riportato il *Class Diagram* che mostra questo legame.

La gestione della potenza è dunque uno degli elementi chiave in *AraMiS*; innanzitutto si deve garantire la modularità dell'architettura, ad esempio l'interfaccia tra la batteria/pannelli solari ed il carico deve garantire sempre dei limiti di funzionalità, indipendentemente dal carico che sia connesso o staccato. Nel satellite inoltre ci potrebbero essere più *Power Management Tile* e di conseguenza più batterie/pannelli solari contemporaneamente; in questa situazione il sistema di gestione della potenza deve essere in grado di gestire a priori tutte le risorse a disposizione.

Per i motivi appena citati la distribuzione della potenza è affidata ad un particolare bus, il *Power Distribution Bus (PDB)*, le cui caratteristiche, compresi gli algoritmi che ne regolano il funzionamento, sono descritti nel sistema *1B126_Power_Distribution_Bus*.

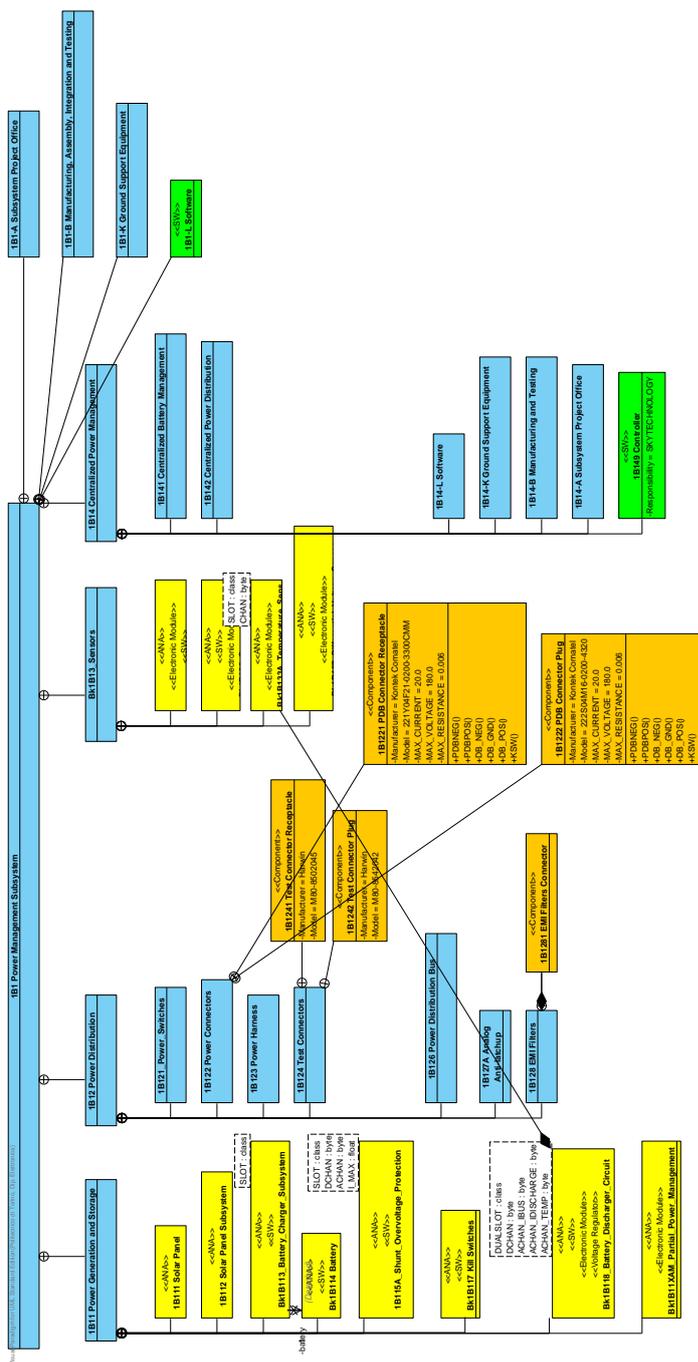


Figura 3.1. Class Diagram 1B1.Power_Management_Subsystem (Visual Paradigm)

3.1 1B126_Power_Distribution_Bus

1B126_Power_Distribution_Bus è un sistema dinamico di distribuzione dell'energia che garantisce alti gradi di modularità e flessibilità, permettendo la presenza contemporanea di molteplici generatori primari di energia (*Primary Source*), di molteplici dispositivi per l'immagazzinamento dell'energia (*Energy Storage*) e di molteplici carichi (*Load*). In *AraMiS* solitamente i generatori primari di energia sono i pannelli solari mentre i dispositivi per l'immagazzinamento dell'energia sono le batterie.

I concetti salienti del bus di potenza *PDB* sono:

- Tutti i *PMT*, composti da una batteria ed un pannello solare, sono collegati allo stesso *PDB*.
- Di base l'energia dei pannelli solari è trasferita alle batterie ed ai carichi.
- Nel caso ci sia un aumento di energia richiesta dal carico, allora è possibile aggiungere altri tra i pannelli solari disponibili. Inoltre il sistema si adatta automaticamente a questa nuova configurazione.
- Le batterie hanno principalmente il ruolo di immagazzinare energia da usare in assenza di energia solare, però, nel caso sia necessario, possono fornire energia contemporaneamente ai pannelli solari.
- L'energia in eccesso dei pannelli solari deve essere trasferita alle batterie e qualora fossero sature questa energia va buttata.
- Il sistema supporta intrinsecamente la conversione del punto di lavoro (*Point of Load Conversion (PoL)*) ed è completamente analogico.
- La tensione sul bus *PDB* è circa compresa in un intervallo tra 12 V e 19 V con tensione nominale 14 V.

Inoltre il sistema, grazie alla presenza contemporanea di più dispositivi per la generazione e l'immagazzinamento dell'energia, ha una maggiore tolleranza ai guasti, risultando quindi più robusto.

Infine si noti che in questo sistema, completamente di tipo analogico, è la tensione sul bus a portare l'informazione: con certi valori di tensione sul *PDB* si attivano alcuni elementi, con altri valori se ne attivano altri; in questo modo si evita l'utilizzo di un processore on board che potrebbe non essere abbastanza veloce. Inoltre non essendoci dispositivi esterni come traslatori di tensione, segue che ogni dispositivo generatore deve fornire una tensione di livello opportuno sul bus ed ogni dispositivo utilizzatore deve essere in grado di lavorare con il livello di tensione che è stato generato.

3.1.1 Attori

Di seguito è riportata una descrizione più dettagliata degli attori che partecipano attivamente nel *PDB*, figura 3.2.

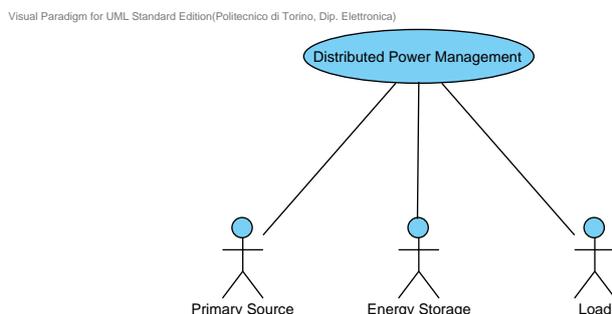


Figura 3.2. Attori 1B126 (*Visual Paradigm*)

Primary Source

È il sistema primario di generazione dell'energia, alimentato da una fonte di energia rinnovabile; solitamente è un pannello solare.

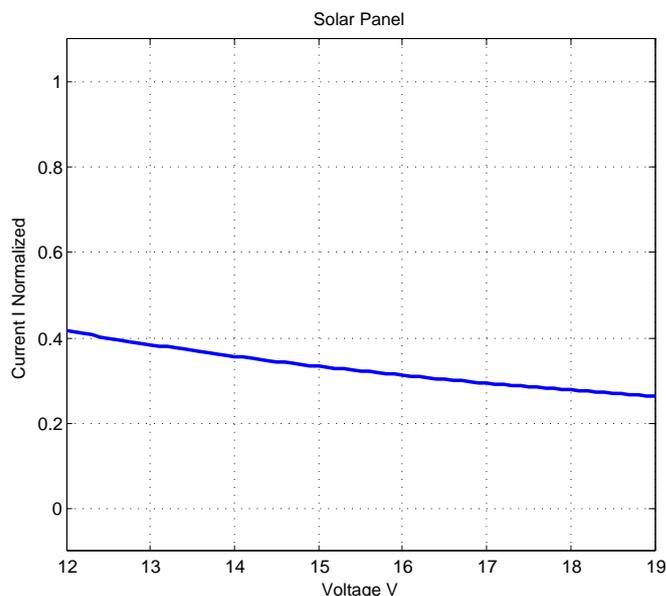


Figura 3.3. Esempio caratteristica *I-V* del *Primary Source* (*MATLAB*)

Questo dispositivo deve convertire nel modo più efficiente possibile l'energia rinnovabile in energia elettrica, fornendo sul *PDB* una tensione compresa in un intervallo tra 12 V e 16 V. Inoltre non deve rompersi in nessun caso quando la tensione sul bus è compresa tra 0 V e 25 V.

Il *Primary Source* ha due stati possibili:

- **IDLE**: quando non è abilitato e non fornisce potenza;
- **ACTIVE**: quando è abilitato e fornisce l'energia che converte.

La caratteristica statica I - V in uscita deve presentare un andamento iperbolico, ossia deve garantire una potenza costante, figura 3.3; alternativamente può essere a corrente costante. La resistenza differenziale di uscita $-dV/dI$ deve essere compresa tra $0.5V/I$ e ∞ .

Il verso della corrente è uscente dal dispositivo.

Infine è preferibile che il *Primary Source* abbia una potenza sprecata nell'ordine di 1 mW di media e 10 mW di picco ed una corrente di perdita minore di 100 μ A di media e 1 mA di picco.

Energy Storage

Rappresenta i dispositivi per l'immagazzinamento dell'energia; in *AraMiS* sono le batterie composte da celle agli ioni di Litio.

Le batterie hanno due stati possibili:

- **IDLE**: quando non sono abilitate;
- **ACTIVE**: quando sono abilitate e: forniscono potenza (*Battery Source*) oppure immagazzinano energia (*Battery Charger*).

Questo dispositivo, descritto dal sistema *1B114_Batteries*, è trattato nei prossimi capitoli.

Load

Il carico, Load, può essere qualsiasi carico interno, anche il *Payload*¹.

Deve essere compatibile con il *PDB* ed operare ad una tensione compresa tra i 12 V ed i 18 V; inoltre non deve danneggiarsi per tensioni sul bus comprese tra 0 V e 25 V.

Il carico ha due stati possibili:

- **IDLE**: quando non è abilitato e non assorbe potenza;
- **ACTIVE**: quando è abilitato ed assorbe potenza.

Il verso della corrente è entrante nel dispositivo.

La caratteristica statica I - V può essere sia iperbolica che a corrente costante. La resistenza differenziale di ingresso $-dV/dI$ può essere compresa tra $-\infty$ e $-0.5V/I$ oppure tra $0.5V/I$ e $+\infty$; valori compresi tra $-0.5V/I$ e $0.5V/I$ non sono permessi. Infine il carico nello stato *IDLE* deve assorbire una corrente minore di 100 μ A di media e 1 mA di picco.

¹Il *Payload* è tutta la strumentazione di bordo racchiusa internamente nel satellite.

3.1.2 Case Diagram

Nel sistema *1B126_Power_Distribution_Bus* gli attori, descritti precedentemente, sono quindi tre: i pannelli solari (*Primary Source*) le batterie (*Energy Storage*) ed il carico (*Load*). Oltre a questi elementi sono presenti altri dispositivi che interagendo tra loro ed il *PDB* hanno la possibilità di operare in tre stati distinti: *Source Power* quando generano potenza, *Sink Power* quando assorbono potenza ed *Idle* quando sono a “riposo”.

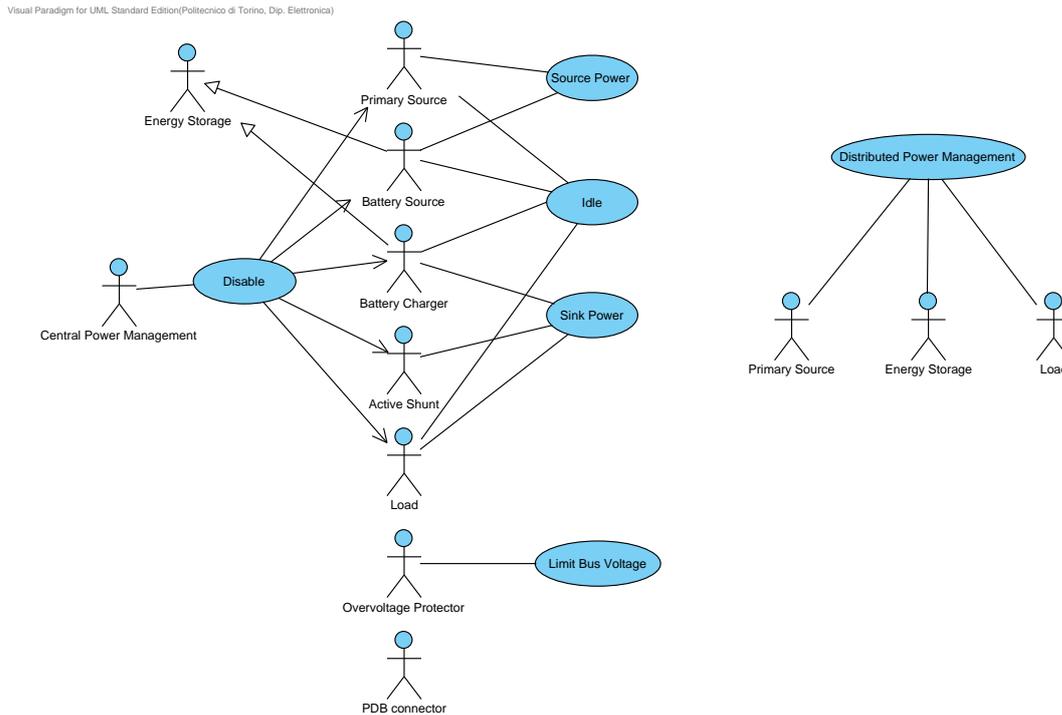


Figura 3.4. Case Diagram *1B126_Power_Distribution_Bus* (Visual Paradigm)

Complessivamente si hanno sei tipologie di elementi che corrispondono a sei situazioni distinte:

- Uno o più **Primary Source**, i dispositivi che possono essere nello stato *Source Power* senza bisogno di esser caricati a precedentemente.
- Una o più **Battery Source** (opzionale), i dispositivi che possono trovarsi nello stato *Source Power* a patto di esser stati caricati precedentemente.
- Uno o più **Battery Charger**, i dispositivi che possono assorbire ed immagazzinare energia. Sono possibili solo in presenza di *Battery Source*.
- Molteplici **Load**, i dispositivi che possono assorbire potenza, *Sink Power*.

- Uno o più **Active Shunt** (opzionale), i dispositivi che assorbono la potenza in eccesso, convertendola in calore.
- Uno o più **Overvoltage Protector** (obbligatorio), i dispositivi che limitano la tensione sul bus in particolari condizioni.

Inoltre è presente un'entità detta *Central Power Management*, ad esempio una routine software, che sceglie quale tra i dispositivi elencati in precedenza è nello stato attivo oppure nello stato *IDLE*.

Il *Case Diagram* del sistema *1B126_Power_Distribution_Bus* è riportato in figura 3.4.

Di seguito è riportata la descrizione degli elementi non ancora analizzati.

Battery Source

Il *Battery Source* è quel dispositivo in grado di generare potenza, a patto di esser stato caricato precedentemente; un esempio di *Battery Source* sono le batterie.

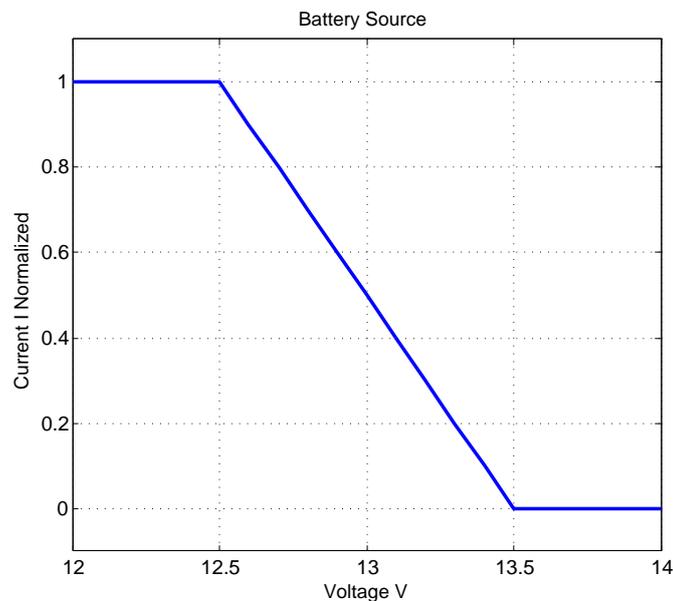


Figura 3.5. Esempio Caratteristica Statica *I-V Battery Source* (MATLAB)

È abilitato quando la tensione sul bus *PDB* è compresa tra circa 12 V e circa 14 V. Non si deve danneggiare per tensioni sul bus tra 0 V e 25 V.

Il *Battery Source* ha tre stati possibili:

- **IDLE**: quando non è abilitato;
- **ACTIVE**: quando è abilitato e fornisce potenza;
- **EMPTY**: quando l'energia immagazzinata internamente è nulla.

La corrente è uscente dal dispositivo.

La caratteristica statica $I-V$ nello stato *ACTIVE* deve essere lineare, figura 3.5, con le seguenti relazioni:

$$I = \frac{V_r - V}{R_r} \quad (3.1)$$

Con:

$$I_{sink} \leq I \leq I_{MAX} \quad (3.2)$$

Dove:

$$\begin{cases} V_r = 13.5 \text{ V} \pm 250 \text{ mV} \\ R_r = \frac{1 \text{ V}}{I_{MAX}} \pm 10\% \\ -1 \text{ mA} \leq I_{sink} \leq 0 \end{cases} \quad (3.3)$$

I_{MAX} dipende dalle caratteristiche del dispositivo.

Negli stati *IDLE* ed *EMPTY* il *Battery Source* deve assorbire una corrente minore di 100 μA di media e 1 mA di picco.

Battery Charger

Il *Battery Charger* è il dispositivo che immagazzina l'energia che non è utilizzata per alimentare i carichi, in altre parole è un carica batterie.

È abilitato a caricare le batterie quando la tensione sul bus *PDB* è compresa tra circa 14 V e circa 16 V. Non si deve danneggiare per tensioni sul bus tra 0 V e 25 V.

Il *Battery Charger* ha quattro stati possibili:

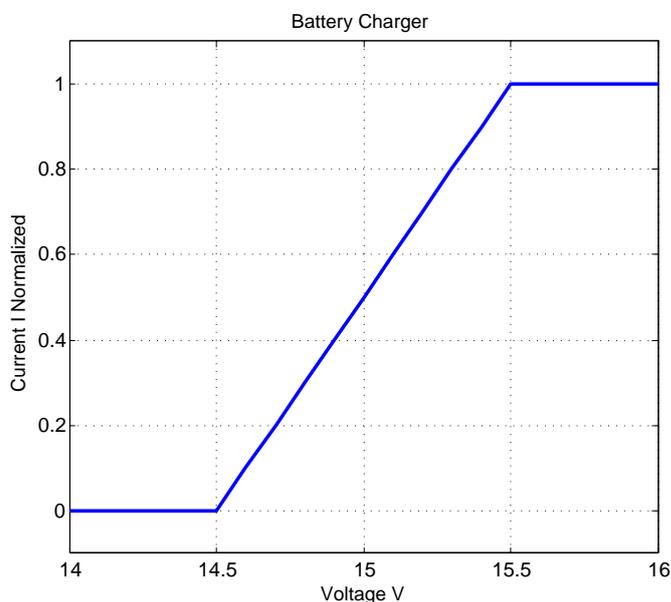


Figura 3.6. Esempio Caratteristica Statica $I-V$ *Battery Charger* (MATLAB)

- **IDLE**: quando non è abilitato ad assorbire potenza e di conseguenza non carica le batterie;

- **MASTER:** quando è abilitato ed assorbe l'energia disponibile, condividendola con gli altri *Battery Charger* nello stato *MASTER*, che hanno priorità sui *Battery Charger* nello stato *SLAVE*;
- **SLAVE:** quando è abilitato ed assorbe l'energia disponibile che non è utilizzata dai *Battery Charger* nello stato *MASTER*, condividendola con gli altri *Battery Charger* nello stato *SLAVE*;
- **FULL:** quando la batteria è completamente carica.

La corrente è entrante nel dispositivo.

La caratteristica statica I - V negli stati *MASTER* e *SLAVE* deve essere lineare, figura 3.6, con le seguenti relazioni:

$$I = \frac{V - V_r}{R_r} \quad (3.4)$$

Con:

$$\begin{cases} 0 \leq I \leq I_{MAX} \\ R_r = \frac{1V}{I_{MAX}} \pm 10\% \end{cases} \quad (3.5)$$

Dove:

$$V_r = \begin{cases} 14.5V \pm 250mV & \text{con stato} = \textit{MASTER} \\ 15.5V \pm 250mV & \text{con stato} = \textit{SLAVE} \end{cases} \quad (3.6)$$

Si noti che tensioni sul bus minori abilitano i dispositivi nello stato *MASTER*, mentre i dispositivi *SLAVE* sono abilitati solo quando i dispositivi *MASTER* sono completamente carichi, attraverso una tensione sul bus maggiori.

I_{MAX} dipende dalle caratteristiche del dispositivo carica batterie.

Negli stati *IDLE* ed *FULL* il *Battery Charger* deve assorbire una corrente minore di 100 μ A di media e 1 mA di picco.

Active Shunt

L'*Active Shunt* deve dissipare, per mezzo di resistori di *shunt*, l'energia in eccesso, che è quindi irradiata nello spazio.

È abilitato quando la tensione sul bus *PDB* è compresa tra circa 16 V e circa 18 V. Non si deve danneggiare per tensioni sul bus tra 0 V e *TDB*, in cui *TDB* è il valore di tensione che corrisponde alla massima potenza dissipata.

L'*Active Shunt* ha due stati possibili:

- **DISABLED:** quando non assorbe energia;
- **ENABLED:** quando dissipa, tramite i resistori di shunt, l'energia in eccesso.

La corrente è entrante nel dispositivo.

La caratteristica statica I - V deve essere lineare, figura 3.7, con le seguenti relazioni:

$$I = \frac{V - V_r}{R_r} \quad (3.7)$$

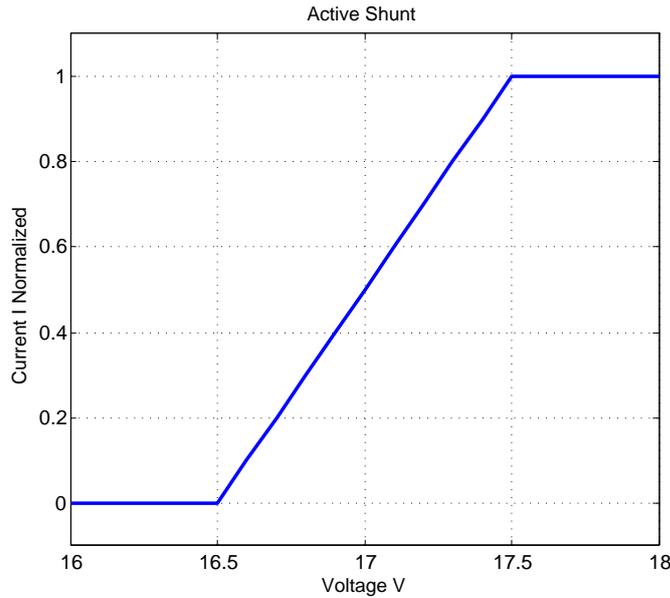


Figura 3.7. Esempio Caratteristica Statica I - V *Active Shunt* (MATLAB)

Con:

$$\begin{cases} I \geq 0 \\ V_r = 16.5 \text{ V} \pm 250 \text{ mV} \\ R_r = \frac{1 \text{ V}}{I_{MAX}} \pm 10\% \end{cases} \quad (3.8)$$

Dove I_{MAX} dipende dalle caratteristiche del dispositivo *Active Shunt*.

Quando la tensione sul bus *PDB* è minore di 16.5 V deve assorbire una corrente minore di 100 μ A di media e 1 mA di picco.

Overvoltage Protector

L'*Overvoltage Protector* limita la tensione sul bus, iniziando ad assorbire corrente quando questa tensione supera un determinato valore.

Il dispositivo è sempre abilitato ed interviene quando la tensione sul bus *PDB* è compresa tra circa 17 V e circa 19 V. Non si deve danneggiare per tensioni sul bus tra 0 V e 25 V.

La corrente è entrante nel dispositivo.

La caratteristica statica I - V deve essere lineare, figura 3.8, con le seguenti relazioni:

$$I = \frac{V - V_r}{R_r} \quad (3.9)$$

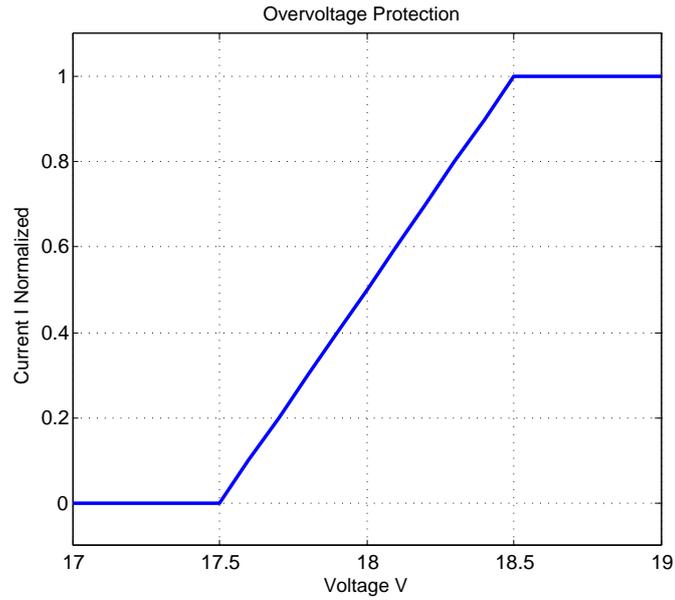


Figura 3.8. Esempio Caratteristica Statica I - V *Overvoltage Protection* (MATLAB)

Con:

$$\begin{cases} I \geq 0 \\ V_r = 17.5 \text{ V} \pm 250 \text{ mV} \\ R_r = \frac{1 \text{ V}}{I_{MAX}} \pm 10\% \end{cases} \quad (3.10)$$

Dove I_{MAX} dipende dalle caratteristiche del dispositivo *Overvoltage Protector* progettato.

Quando la tensione sul bus *PDB* è minore di 17.5 V deve assorbire una corrente minore di 100 μ A di media e 1 mA di picco.

Per l'*Overvoltage Protector* e l'*Active Shunt* è stata trovata una soluzione tale da inglobare entrambi i dispositivi nello stesso circuito.

3.2 Specifiche Finali

È dunque la tensione sul bus *PDB* ad abilitare o disabilitare i dispositivi che vi partecipano.

In figura 3.9 è riportata la caratteristica statica $I-V$ normalizzata² del bus, con le relative tolleranze e per tensioni comprese tra 12 V e 19 V, dei dispositivi che vi partecipano.

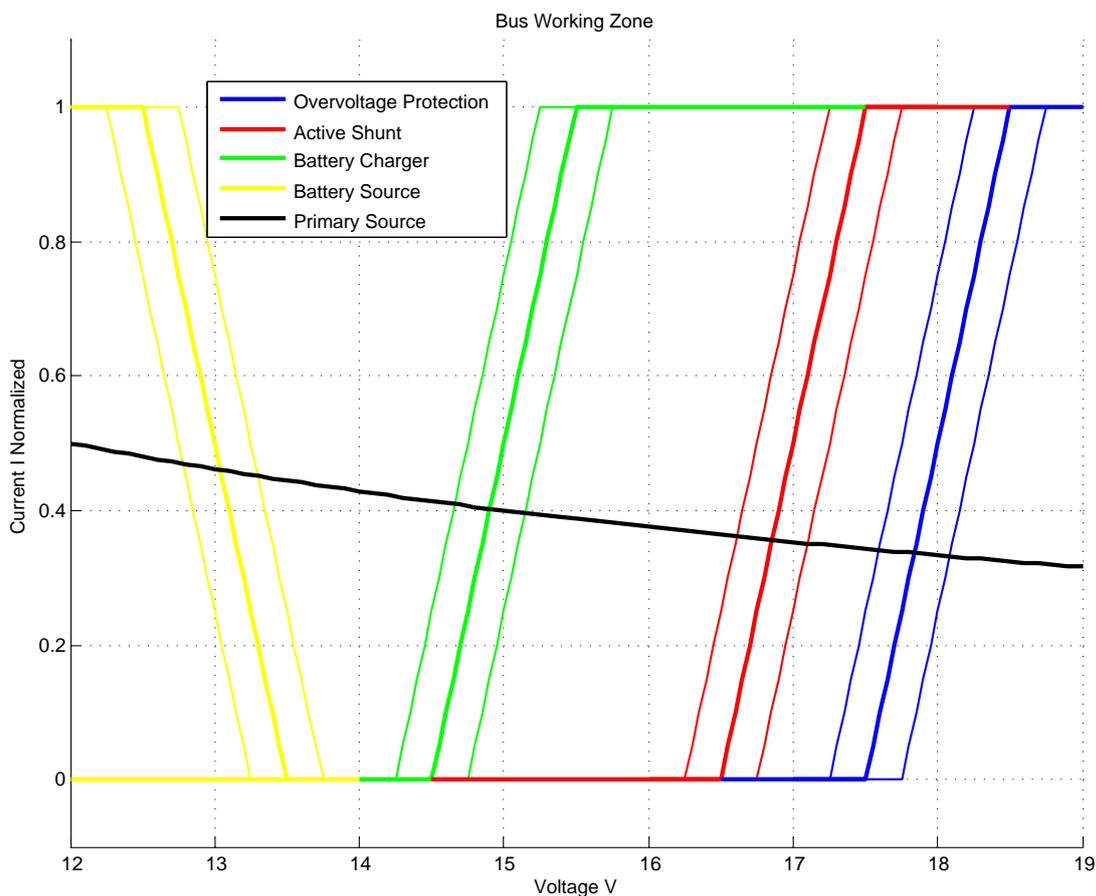


Figura 3.9. Caratteristica Statica $I-V$ complessiva del *PDB* (MATLAB)

Si noti che le tolleranze sono scelte in modo che le caratteristiche non si incrocino in nessun caso³, altrimenti ci sarebbero delle zone ambigue e quindi dei malfunzionamenti.

²Per comodità le correnti dei dispositivi sono state normalizzate con lo stesso valore, in realtà questa è una situazione assolutamente non possibile nel *PDB*.

³Tranne per le zone *Overvoltage Protection* ed *Active Shunt*, perché realizzate con lo stesso circuito.

3.2.1 Risultati

In conclusione il sistema *1B1_Power_Management_Subsystem* possiede il bus per la distribuzione di potenza *Power Distribution Bus (PDB)* che si comporta come un veloce canale di comunicazione tra i diversi *PMT*; regolando e gestendo autonomamente la tensione ed i suoi dispositivi (pannelli solari, batterie, carichi e protezioni). Inoltre è anche data la possibilità di connettere in serie od in parallelo diversi *PMT*, in questo modo si può avere maggiore corrente (parallelo), maggiore tensione (serie) od entrambe (serie + parallelo).

Le seguenti specifiche possono riassumere il comportamento del bus.

- **Primary Source:** i pannelli solari hanno una caratteristica di uscita $I-V$ iperbolica, a potenza costante;
- **Battery Source:** se la potenza generata dai pannelli solari non è abbastanza per tutti i carichi, allora la tensione sul bus scende sotto un determinato valore di soglia (circa 13.5V) e le batterie iniziano a fornire potenza. Minore è la tensione sul bus, maggiore è la corrente generata.
- **Battery Charger:** se la potenza convertita dai pannelli solari è maggiore di quella richiesta dal carico, la tensione sul bus inizia a crescere. Quando raggiunge il valore di 14.5V per *MASTER* o 15.5V per *SLAVE*, le batterie abilitate cominciano ad assorbire potenza e di conseguenza a caricarsi. Maggiore è la tensione sul bus, più forte è la carica della batterie.
- **Active Shunt:** con tutte le batterie cariche e con potenza generata dai pannelli solari non completamente utilizzata, la tensione continua a salire. Quando arriva ad un valore di circa 16.5V il dispositivo per lo shunt inizia immediatamente ad assorbire corrente. Maggiore è la tensione sul bus, maggiore è la corrente assorbita.
- **Overvoltage Protection:** quando la tensione sul bus supera i 17.5V si attiva la protezione contro le sovratensioni.

3.2.2 Simulazioni

Di seguito sono riportate delle simulazioni, effettuate in un periodo precedente, che illustrano graficamente il funzionamento del bus.

La configurazione del satellite *AraMiS* è la seguente:

- Cubo 2x2x2
- 20 *Power Management Tile (PMT)*;
- 20 Pannelli solari (40 W picco);
- 20 Batterie (580 W h);
- Valore nominale della tensione sul bus 14 V con 20 A di picco;
- Connessione in parallelo: potenza massima nominale 280 W;
- Periodo di rivoluzione 100 min e rotazioni 1 Hz;
- Tre carichi rispettivamente da 15 W, 100 W e 200 W, attivati casualmente.

La capacità delle batterie è stata ridotta per le simulazioni.

Nelle figure 3.10 e 3.11 sono riportati i risultati ottenuti.

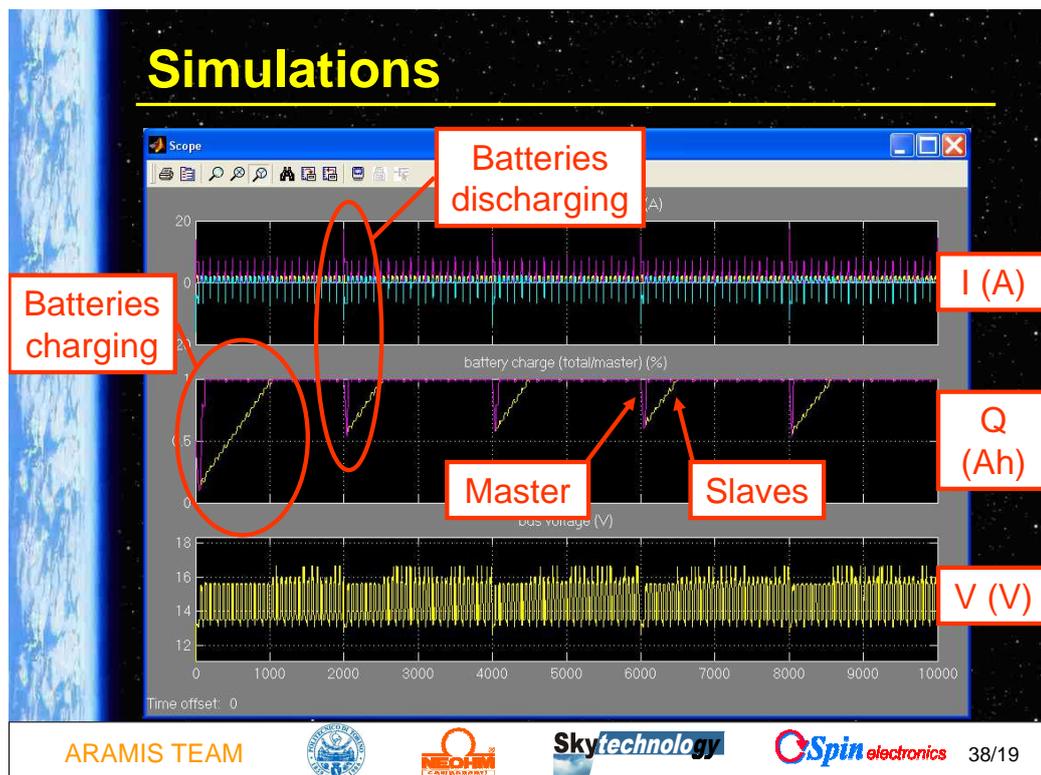


Figura 3.10. Simulazione funzionamento casuale *PDB*

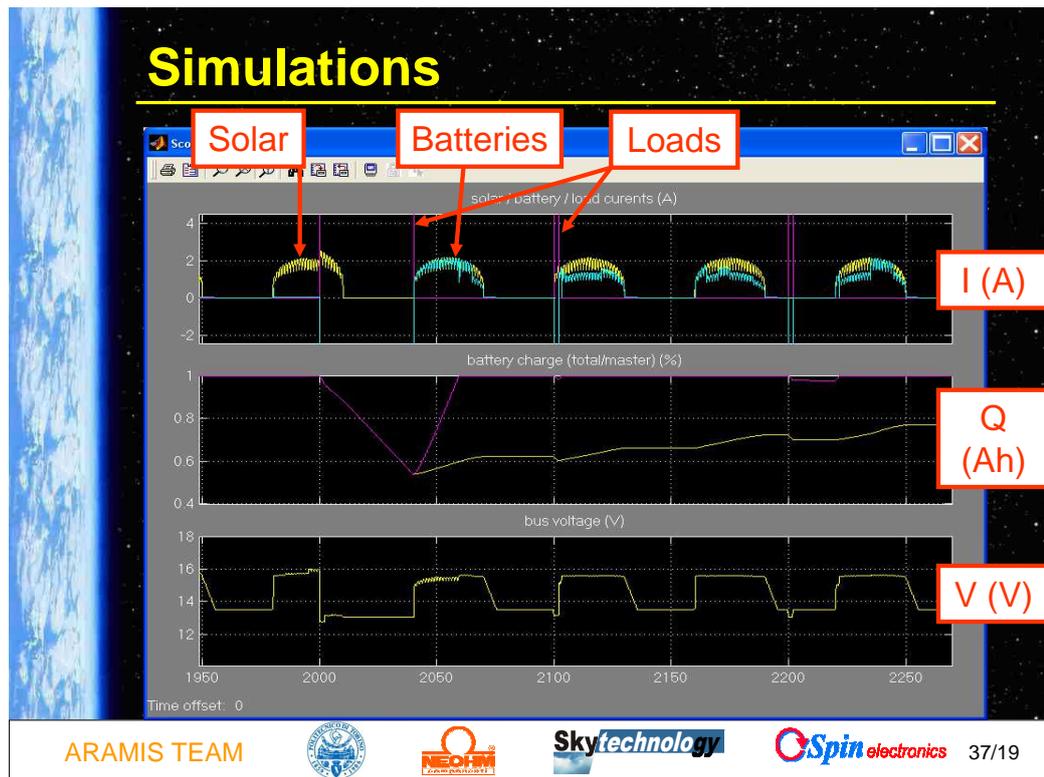


Figura 3.11. Zoom simulazione funzionamento casuale PDB

Capitolo 4

Batterie

AraMiS è un'architettura modulare per *Nano-satelliti*, con massa compresa tra $1kg$ ai $10kg$. Date le piccole dimensioni non sono presenti carburanti o altre fonti non rinnovabili, di conseguenza la principale fonte di alimentazione è l'energia solare. Tale energia però non è sempre disponibile; ad esempio orbitando nella fascia *LEO* il satellite compie ogni giorno in media circa 40 giri intorno alla Terra, giungendo quindi in una zona nella parte non illuminata.

Per questo motivo è necessario che il sistema sia dotato di batterie in grado di immagazzinare energia e cederla quando richiesto.

Nel precedente capitolo si sono illustrati i principali dispositivi che generano potenza:

- **Primary Source**, i pannelli solari, che convertono in energia elettrica la fonte primaria rinnovabile, l'energia solare;
- **Battery Source**, le batterie, che dopo esser state caricate forniscono l'energia immagazzinata.

Le batterie dunque ricoprono un ruolo fondamentale all'interno del satellite.

Il *Battery Source* si può trovare in tre stati distinti:

- **IDLE**: quando non è abilitato;
- **ACTIVE**: quando è abilitato e fornisce potenza;
- **EMPTY**: quando l'energia immagazzinata internamente è nulla.

Dopo alcune considerazioni sul peso, il comportamento, la temperatura operativa e sui problemi meccanici e di montaggio si è scelto di utilizzare una cella agli ioni di Litio; in particolare il modello *LIC 18650-22 FC*[2] prodotto da *VARTA*, le cui caratteristiche salienti sono elencate nella tabella 4.1.

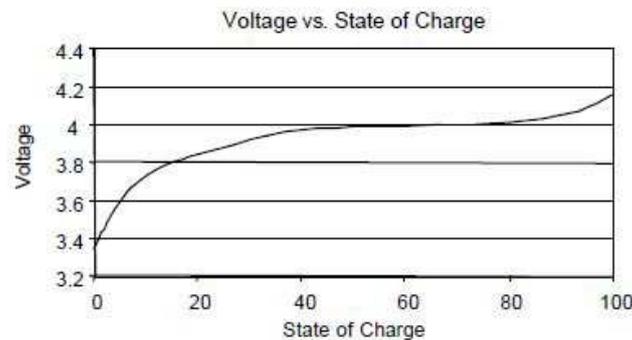
In aggiunta considerando il sistema di distribuzione si è ritenuto ideale l'utilizzo di una batteria composta da due celle agli ioni di Litio connesse in serie; in questo modo a parità di potenza la tensione raddoppia, mentre la corrente si dimezza.

Tensione Nominale	3.7 V
Corrente di scarica massima (C)	2.2 A h
Peso	46 g
Temperatura Operativa	-20 ÷ 60°C
Diametro	18.4 mm
Altezza	65 mm

Tabella 4.1. Specifiche di una cella *LIC 18650-22 AC*

4.1 Metodo di Carica

Generalmente la tensione nominale $V_{OpenCell}$ di una cella agli Li-ioni vale circa 3.6 V. In realtà questa tensione varia con lo stato di carica, *State of Charge (SOC)*[3], figura 4.1.

Figura 4.1. $V_{OpenCell}$ di una cella agli ioni di Litio

Quando la batteria è totalmente carica la tensione della cella raggiunge i 4.2 V. Dato questo comportamento della tensione $V_{OpenCell}$, il miglior metodo per caricare una cella agli ioni di Litio consiste nel metodo *Constant Current Constant Voltage CC-CV*[4], fig 4.2, che prevede tre fasi distinte:

1. **Precharge:** la fase di carica preliminare che avviene con bassa corrente I_{Charge} ;
2. **Current Regulation:** la fase a corrente di carica I_{Charge} costante;
3. **Voltage Regulation:** l'ultima fase a tensione costante di 4.2 V

Per implementare il metodo *CC-CV* si può utilizzare il circuito in figura 4.3, in cui il regolatore è un generatore di tensione $V_{Regulator}$ che può fornire una corrente massima limitata I_{Limit} .

La corrente di carica I_{Charge} si ricava dalla seguente equazione:

$$I_{Charge} = \frac{V_{Regulator} - V_{Cell}}{R_{Cell}} \quad (4.1)$$

Quando la corrente di carica calcolata con l'equazione 4.1 risulta maggiore della corrente di limite del regolatore, allora la cella è caricata con una corrente costante

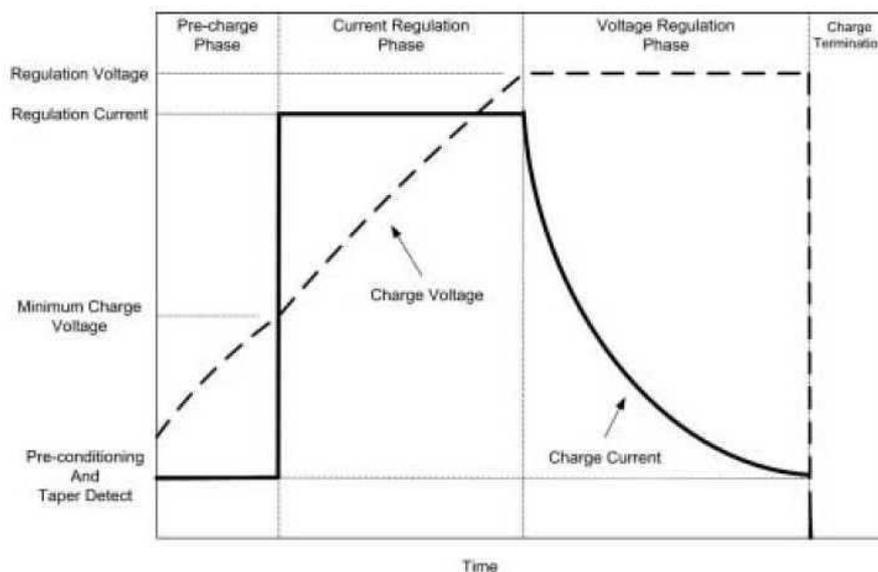


Figura 4.2. Fasi di carica di una batteria agli ioni di Litio

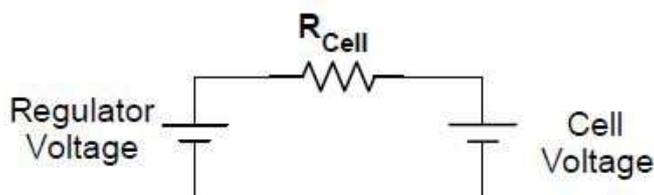


Figura 4.3. Circuito per implementare il metodo CC-CV

I_{limit} . Questa situazione corrisponde quindi alla seconda fase a corrente costante in cui $I_{Charge} = I_{Limit}$.

All'aumentare dello stato di carica la tensione V_{Cell} della cella aumenta fino ad arrivare ad un punto in cui la corrente di carica calcolata in 4.1 diventa minore di I_{Limit} . Da questo momento in poi si entra nella terza fase, a tensione costante, e la tensione del regolatore è impostata a 4.2 V; man mano che V_{Cell} si avvicina il valore massimo di 4.2 V, la corrente I_{Charge} diminuisce.

Quando la corrente di carica diventa circa nulla, la batteria è considerata completamente carica ed il regolatore va disconnesso dal circuito.

Proseguire con la carica oltre questo livello è altamente dannoso per la batteria, la cella potrebbe raggiungere la tensione di breakdown dell'elettrolita e danneggiarsi seriamente. È dunque molto importante che la carica si interrompa nel momento opportuno.

Di norma è accettato caricare la cella fino ad una tensione di $4.2\text{ V} \pm 5\%$; tensioni maggiori possono causare la rottura della cella mentre tensioni minori ne riducono la capacità; inoltre durante la fase di scarica della cella la tensione $V_{OpenCell}$ non deve raggiungere un valore minore di 2.3V[5].

4.2 Problemi di sbilanciamento

In *AraMiS* la batteria, *Battery Pack*, è composta da due celle agli ioni di Litio collegate in serie in modo da raddoppiare la tensione e dimezzare la corrente.

La carica di una batteria formata da più celle connesse in serie, però, è problematica e richiede soluzioni più complicate rispetto al regolatore di tensione con corrente massima limitata descritto precedentemente. Infatti nel momento in cui lo stato di carica di una delle due celle è sbilanciato, ossia una cella è più carica dell'altra, può capitare che questa venga caricata oltre i limiti consentiti. Lo sbilanciamento del *SOC* di una cella agli ioni di Litio è generalmente causato dal cambiamento dell'impedenza interna R_{Cell} della cella o dalla riduzione della capacità dovuta all'invecchiamento[6].

Ad esempio si prenda in considerazione una batteria composta da due celle *VAR-TA 18650* connesse in serie. Si suppone che la tensione su ciascuna cella quando è completamente carica sia di 4.2 V ed il regolatore di tensione quindi è impostato al valore 8.4 V, la tensione massima totale della batteria.

Durante il processo di carica se una delle due celle per qualche motivo raggiunge prima il valore 4.2 V, mentre l'altra ad esempio è ancora a 4.0 V, allora la tensione complessiva V_{Batt} della batteria è $4.2\text{ V} + 4.0\text{ V} = 8.2\text{ V}$. Contemporaneamente con la tensione del regolatore $V_{Regulator} = 8.4\text{ V}$ la corrente di carica I_{Charge} , data dall'equazione 4.1, è maggiore di zero e quindi continua a caricare la batteria, tra cui la cella già completamente carica, che di conseguenza rischia di danneggiarsi.

Con celle collegate in serie questa situazione è molto frequente ed è quindi necessario sviluppare dei metodi per monitorare e compensare lo sbilanciamento; al contrario questo problema non si pone per celle connesse in parallelo.

In letteratura sono presenti numerose soluzioni circuitali per il “cell unbalance”, di seguito sono illustrati brevemente alcuni dei metodi più comuni per caricare correttamente una batteria composta da celle agli ioni di Litio collegate in serie.

4.2.1 Equalizzazione Serie/Parallelo

Le celle normalmente sono collegate in serie, ma in fase di carica sono poste in parallelo utilizzando opportunamente degli switch e sono quindi caricate con una corrente costante, come mostrato in figura 4.4. Quando la tensione ai capi di ognuna delle celle raggiunge 4.2 V, la corrente di carica I_{Charge} comincia a diminuire e viene fermata non appena raggiunge un valore approssimativamente di 1/10 rispetto alla corrente iniziale.

Lo svantaggio di questo metodo è nella complessità dei collegamenti e nell'elevato numero di switch nel caso di numerose celle.

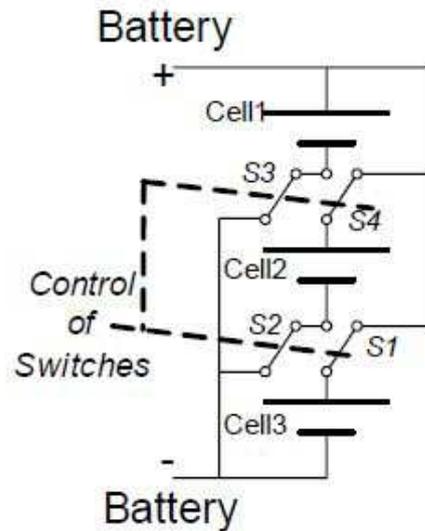


Figura 4.4. Circuito per Equalizzazione Serie/Parallelo

4.2.2 Equalizzazione Resistiva

Con l'equalizzazione di tipo resistivo, figura 4.5, le celle sono caricate in serie e quando una di esse raggiunge la carica completa, allora viene leggermente scaricata attraverso la propria resistenza di shunt posta in parallelo. Questo procedimento viene ripetuto continuamente, finchè tutte le celle risultano completamente cariche.

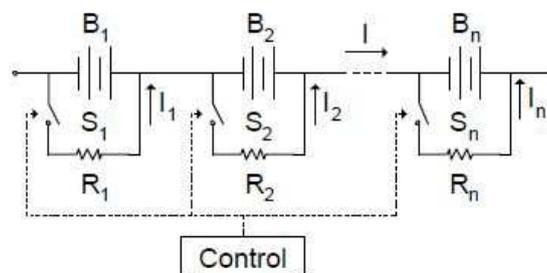


Figura 4.5. Circuito per Equalizzazione Resistiva

Il vantaggio è nella semplicità del circuito, mentre gli svantaggi sono la dissipazione di energia, che in batterie composte da numerose celle può essere elevata e dalla lentezza del processo.

4.2.3 Equalizzazione a Capacità Commutata

In maniera simile al precedente metodo con l'equalizzazione di tipo capacitivo, figura 4.6, le celle sono caricate in parallelo ed ogni cella è posta in parallelo ad una adiacente, utilizzando un condensatore. In questo modo la carica in eccesso passa dalla cella troppo carica a quella meno carica, raggiungendo il bilanciamento voluto.

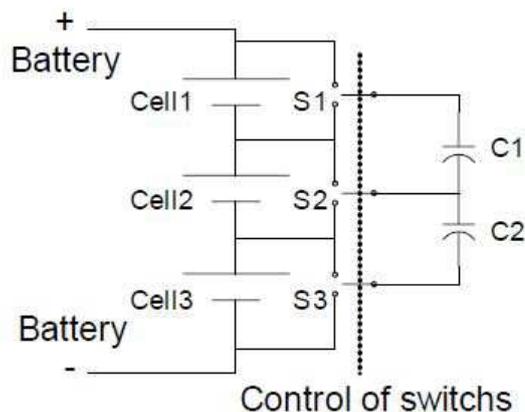


Figura 4.6. Circuito per Equalizzazione a Capacità Commutata

È un circuito semplice il cui vantaggio principale è la mancanza di perdite di tipo resistivo, per ogni cella però è necessario un deviatore.

4.2.4 Equalizzazione Analogica con Shunt

Anche in questo caso le celle sono caricate in serie ed ogni cella ha un proprio regolatore di tensione connesso in parallelo, figura 4.7.

Quando la cella raggiunge la completa carica, il corrispondente regolatore inizia a condurre, prevenendo la sovracarica. Inoltre è sempre presente un percorso per la corrente di carica delle altre celle.

È un circuito complesso in cui l'alimentatore della batteria è un regolatore con corrente limitata. Quando la tensione complessiva della batteria è minore di quella del regolatore, allora scorre una corrente costante. Mentre quando le due tensioni raggiungono lo stesso valore, la carica di corrente è definita dalle resistenze e dalle tensioni interne delle celle. Inoltre ogni cella è caricata con un proprio regolatore secondo la modalità CC-CV.

Il vantaggio è che si possono caricare correttamente anche celle con capacità di carica molto diversa, a patto di dover progettare un circuito così complicato; inoltre sono presenti perdite dovute ai regolatori di shunt.

Sebbene le tipologie appena descritte siano tutte corrette, nell'architettura *AraMiS* il bilanciamento delle celle è ottenuto con una diversa modalità ed in particolare attraverso un dispositivo sviluppato appositamente, il *1B1142_Battery_Equalizer*, descritto nel prossimo capitolo.

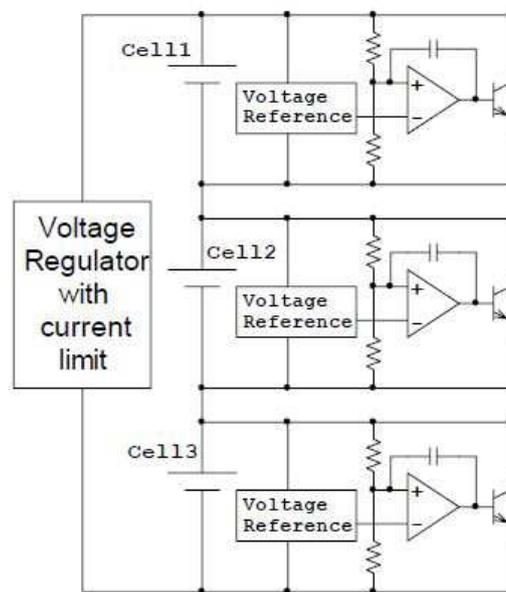


Figura 4.7. Circuito per Equalizzazione Analogica con Shunt

Capitolo 5

1B1142_Battery_Equalizer

Nel precedente capitolo sono illustrate alcune delle problematiche riguardanti la batteria ed in particolare il possibile sbilanciamento delle celle quando sono connesse in serie.

Per risolvere questo problema è progettato il circuito *1B1142_Battery_Equalizer*, riportato in figura 5.1.

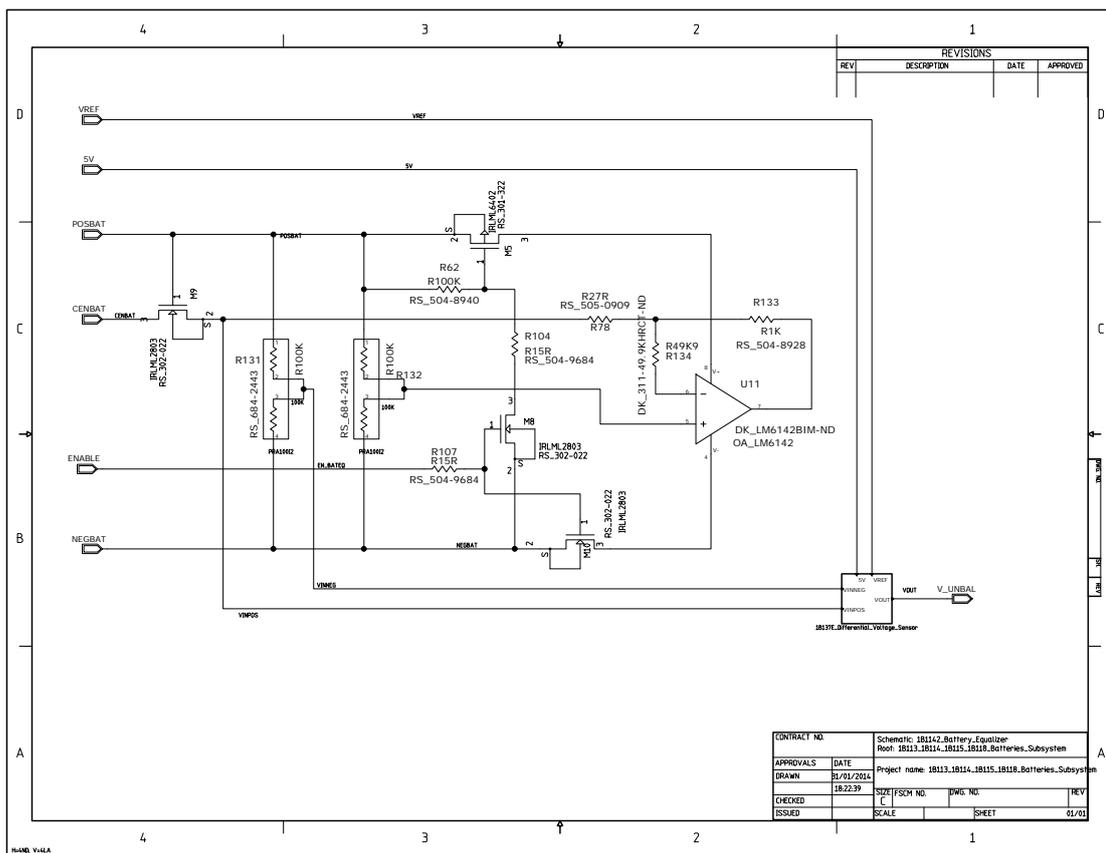


Figura 5.1. Schematic *1B1142_Battery_Equalizer* (Mentor)

5.1 Segnali e Netlist SPICE

Nella tabella 5.1 è riportata una descrizione dei pin, mentre i componenti utilizzati sono riportati nella tabella 5.2.

Nome	Tipo	Descrizione
<i>POSBAT</i>	IN	Terminale positivo della batteria, $V_{NOM} = 7.4\text{ V}$.
<i>CENBAT</i>	IN	Tensione centrale della batteria, $V_{NOM} = 3.7\text{ V}$.
<i>NEGABT</i>	IN	Terminale negativo della batteria, $V_{NOM} = 0\text{ V}$.
<i>ENABLE</i>	IN	Abilita <i>1B1142.Battery.Equalizer</i> . Logica <i>TTL</i> .
V_{REF}	IN	Riferimento 3 V per <i>1B137E.Differential.Voltage.Sensor</i> .
5V	POWER	Tensione di alimentazione 5 V.
V_{UNBAL}	OUT	Tensione di uscita.

Tabella 5.1. Segnali I/O *1B1142.Battery.Equalizer*

Di seguito è riportata la *Netlist SPICE* (5.1):

```

1 *
2 .SUBCKT 1B1142.Battery.Equalizer N5V CENBAT EN_BATEQ NEGBAT POSBAT
3 +   VOUT VREF
4 XXCMP1 XSIG010096 XSIG010065 XSIG010007 XSIG010091 XSIG010055 LM6142
5 XXCMP4 XSIG010007 XSIG010026 POSBAT IRLML6402
6 XXCMP5 XSIG010091 XSIG010034 NEGBAT IRLML2803
7 RXCMP7 XSIG010026 XSIG010035 RES1 15
8 RXCMP9 POSBAT XSIG010026 RES1 100K
9 RXCMP10 EN_BATEQ XSIG010034 RES1 15
10 XXCMP11 XSIG010035 XSIG010034 NEGBAT IRLML2803
11 XXCMP12 POSBAT XSIG010096 XSIG010096 NEGBAT PRA100I2
12 XXCMP14 CENBAT POSBAT VINPOS IRLML2803
13 RXCMP16 XSIG010055 XSIG010060 RES1 1K
14 RXCMP17 XSIG010060 XSIG010065 RES1 49.9K
15 RXCMP18 VINPOS XSIG010060 RES1 27
16 XXCMP22 POSBAT VINNEG VINNEG NEGBAT PRA100I2
17 XBk1B137E.Differenti3 N5V VINNEG VINPOS VOUT VREF
18 +   Bk1B137E.Differential.Voltage.Sensor
19 XXCMP24 VOUT TP
20 XXCMP25 VINNEG TP
21 XXCMP26 VINPOS TP
22 .ENDS
23 *
```

Ref Designator	Part Name	Part Number	Type	Description
M5	IRLML6402	RS_301-322	MOSFET	Mosfet, P-chan Power
R62	R100k	RS_504-8940	RESISTOR	100 k Ω \pm 1 %
M9	IRLML2803	RS_302-022	MOSFET	Mosfet, N-chan Power
R78	R27R	RS_505-0909	RESISTOR	27 Ω \pm 1 %
R133	R1k	RS_504-8928	RESISTOR	1 k Ω \pm 1 %
R131	R100k	RS_684-2443	RESISTOR	<i>PRA100I2</i> , 100 k Ω \pm 0.05 %
R132	R100k	RS_684-2443	RESISTOR	<i>PRA100I2</i> , 100 k Ω \pm 0.05 %
R104	R15R	RS_504-9684	RESISTOR	15 Ω \pm 1 %
R134	R49k9	DK_311-49.9KHRCT-ND	RESISTOR	49.9 k Ω \pm 1 %
R107	R15R	RS_504-9684	RESISTOR	15 Ω \pm 1 %
M8	IRLML2803	RS_302-022	MOSFET	Mosfet, N-chan Power
U11	LM6142	DK_LM6142BIM-ND	Op-Amp	Op-Amp <i>LM6142</i>
M10	IRLML2803	RS_302-022	MOSFET	Mosfet, N-chan Power

Tabella 5.2. Componenti utilizzati 1B1142_Battery_Equalizer

5.2 Descrizione

La topologia circuitale è stata studiata appositamente e quindi differisce da tutti i circuiti illustrati nello capitolo precedente. Prima di descrivere dettagliatamente il dispositivo progettato vanno fatte le seguenti precisazioni:

- Si ipotizza che la tensione nominale di una singola cella sia di 3.7 V.
- Si ipotizza che la possibile tensione di sbilanciamento V_{OFF} tra le due celle sia compresa in un intervallo di soli $[-0.1 \div 0.1]$ V.
- Il possibile sbilanciamento delle celle è controllato di tanto in tanto (almeno una volta a settimana) dalla base di terra e qualora fosse necessario si provvede ad effettuare un bilanciamento.
- Il bilanciamento avviene lentamente, nel giro di circa 24 ore.

Il dispositivo *1B1142_Battery_Equalizer*, abilitato dal segnale *ENABLE* attivo alto, ha una duplice funzione:

1. Tramite la tensione di uscita V_{UNBAL} , con una dinamica opportuna, segnala al processore la presenza di un eventuale sbilanciamento.
2. Quando abilitato, effettua, se necessario, il bilanciamento delle celle.

All'interno dell'*1B1142_Battery_Equalizer* è presente il dispositivo *Bk1B137E_Differential_Voltage_Sensor* con il compito di confrontare la tensione $CENBAT$ con $POSBAT/2$ e generare, con una dinamica opportuna, la tensione di uscita V_{UNBAL} .

La tensione $POSBAT/2$ è ottenuta usando un partitore resistivo composto da un *Precision Resistor Array (PRA)*; inoltre si assume che $NEGBAT$ sia connesso direttamente a $GND = 0$ V.

Trascurando le non idealità del circuito, l'uscita V_{UNBAL} vale:

$$V_{UNBAL} = V_{OFFSET} + G \left(CENBAT - \left(\frac{POSBAT + NEGBAT}{2} \right) \right) \quad (5.1)$$

Dove V_{OFFSET} e G sono l'offset ed il guadagno differenziale necessari per rispettare la dinamica voluta.

In particolare impostando $V_{OFFSET} = 1.25$ V e $G = 10$ si ottiene:

$$V_{UNBAL} = 1.25 \text{ V} + \frac{10}{2} (CENBAT - NEGBAT - (POSBAT - CENBAT)) \quad (5.2)$$

Esplicitando le singole tensioni delle celle, V_{BATT1} e V_{BATT2} , si ha:

$$V_{UNBAL} = 1.25 \text{ V} + 5(V_{BATT1} - V_{BATT2}) \quad (5.3)$$

Dove V_{BATT1} e V_{BATT2} sono rispettivamente la tensione della cella il cui morsetto negativo è collegato a GND e la tensione della cella direttamente collegata a $POSBAT$:

$$\begin{cases} V_{BATT1} = CENBAT - NEGBAT \\ V_{BATT2} = POSBAT - CENBAT \end{cases} \quad (5.4)$$

Il transistor n -MOS M9, inserito per disabilitare il bilanciamento qualora fosse connessa una sola cella alla batteria, quando acceso lavora in zona resistiva e presenta quindi una resistenza R_{DSn} tra *Drain* e *Source*; di conseguenza quando scorre una corrente I_{CENBAT} c'è una caduta di tensione ai suoi capi. Se si considera questo errore, la tensione di uscita V_{UNBAL} vale:

$$V_{UNBAL} = 1.25 V + 5(V_{BATT1} - I_{CENBAT}R_{DSn} - V_{BATT2}) \quad (5.5)$$

In cui la corrente I_{CENBAT} è la corrente di bilanciamento delle celle. Quando il segnale *ENABLE* è alto, i transistor n -MOS Q16 e Q18 sono degli interruttori chiusi ed in particolare Q16 collega direttamente a *NEGBAT* il *Gate* del p -MOS Q14, che quindi risulta in conduzione. In questo modo i pin dell'alimentazione V_+ e V_- dell'operazionale U15 sono connessi rispettivamente a *POSBAT* e *NEGBAT* e di conseguenza anche U15 è acceso. In questa maniera è l'operazionale che, confrontando lo sbilanciamento tra *CENBAT* e *POSBAT/2*, regola opportunamente il passaggio di una corrente di bilanciamento I_{CENBAT} . Ci sono tre scenari possibili:

- $CENBAT > POSBAT/2$
La tensione V_{BATT1} della cella connessa direttamente a *GND* è maggiore della tensione complessiva della batteria divisa per due; in altre parole è la cella inferiore ad avere un eccesso di carica da smaltire.
- $CENBAT < POSBAT/2$
La tensione V_{BATT2} della cella connessa direttamente a *POSBAT* è maggiore della tensione complessiva della batteria divisa per due; in altre parole è la cella superiore ad avere un eccesso di carica da smaltire.
- $CENBAT \approx POSBAT/2$
Le due celle si trovano a tensione circa uguale, di conseguenza nessuna delle due ha carica in eccesso da smaltire.

La corrente I_{CENBAT} vale:

$$I_{CENBAT} = \frac{V_{CENBAT} - V_{DS,M9} - V_{AMP}}{R133 + R78 + R_{DSn}} + I_{AMPBIAS} \quad (5.6)$$

Dove $I_{AMPBIAS}$ è la corrente di polarizzazione dell'operazionale, mentre V_{AMP} , la tensione di uscita dell'operazionale, vale:

$$V_{AMP} = -CENBAT \frac{R133}{R78 + R_{DSn}} + \frac{POSBAT}{2} \left(\frac{R133}{R78 + R_{DSn}} + 1 \right) \quad (5.7)$$

Trascurando la tensione $V_{DS,M9}$ dovuta alla resistenza R_{DSn} del transistor M9 e trascurando la corrente di polarizzazione $I_{AMPBIAS}$ dell'operazionale, allora la corrente di bilanciamento I_{CENBAT} dipende sostanzialmente dal valore delle resistenze $R78$ e $R133$ ed è limitata dall'amplificatore che si vuole lavori in linearità su tutta la dinamica dell'uscita. Inoltre si impone che il valore minimo I_{min} ed massimo

I_{MAX} di I_{CENBAT} si raggiunga quando l'uscita dell'operazionale è rispettivamente al valore massimo $V_{AMP,H}$ ed al valore minimo $V_{AMP,L}$:

$$\begin{cases} I_{min} = \frac{CENBAT - V_{AMP,H}}{R133 + R78} \\ I_{MAX} = \frac{CENBAT - V_{AMP,L}}{R133 + R78} \end{cases} \quad (5.8)$$

L'operazionale scelto è un *LM6142*[7] ed una delle caratteristiche salienti è l'uscita con dinamica di tipo *Rail to Rail*; quindi in prima approssimazione valgono le seguenti relazioni: $V_{AMP,H} = POSBAT$ e $V_{AMP,L} = 0V$.

Inoltre si vuole che la relazione che lega la corrente di bilanciamento I_{CENBAT} alla tensione di sbilanciamento V_{OFF} sia completamente di tipo lineare con:

$$I_{CENBAT}(V_{OFF} = 0V) \approx 0A.$$

Riscrivendo le equazioni 5.6 e 5.7, esplicitando il termine dello sbilanciamento V_{OFF} si ottiene:

$$\begin{cases} I_{CENBAT} = \frac{(V_{CENBAT} + V_{OFF}) - V_{AMP}}{R133 + R78} \\ V_{AMP} = -(CENBAT + V_{OFF})\frac{R133}{R78} + \frac{POSBAT}{2} \left(\frac{R133}{R78} + 1 \right) \end{cases} \quad (5.9)$$

Con $V_{OFF} = V_{BATT1} - V_{BATT2} = [-0.1 \div 0.1]V$.

Da cui il limite inferiore e superiore della corrente di bilanciamento vale:

$$\begin{cases} I_{min} = \frac{CENBAT + V_{OFF,min} - V_{AMP,H}}{R133 + R78} \\ I_{MAX} = \frac{CENBAT + V_{OFF,MAX} - V_{AMP,L}}{R133 + R78} \end{cases} \quad (5.10)$$

Se si vuole correggere l'eventuale sbilanciamento nel tempo di circa un giorno, come da specifica, allora è accettabile che i limiti della corrente I_{CENBAT} , che imposta la velocità con cui le celle vengono equalizzate, siano $I_{min} = -3.5mA$ ed $I_{MAX} = 3.5mA$. Quindi:

$$\begin{cases} I_{min} = -3.5mA = \frac{CENBAT + V_{OFF,min} - V_{AMP,H}}{R133 + R78} \\ I_{MAX} = 3.5mA = \frac{CENBAT + V_{OFF,MAX} - V_{AMP,L}}{R133 + R78} \end{cases} \quad (5.11)$$

Ipotizzando che le batterie lavorino alla loro tensione nominale di $3.7V$ si ha $POSBAT = 7.4V$, $CENBAT = 3.7V$ e $NEGBAT = 0V$; allora dalla equazione 5.10 si ottiene:

$$R133 + R78 = \frac{CENBAT + V_{OFF,MAX} - V_{AMP,L}}{3.5mA} = 1086k\Omega \quad (5.12)$$

Inoltre dalla uguaglianza:

$$V_{AMP,L} = 0V = -(CENBAT + V_{OFF,MAX})\frac{R133}{R78} + \frac{POSBAT}{2} \left(\frac{R133}{R78} + 1 \right) \quad (5.13)$$

Si ottiene:

$$\frac{R133}{R78} = 37 \quad (5.14)$$

Infine risolvendo il seguente sistema:

$$\begin{cases} R133 + R78 = 1086 \text{ k}\Omega \\ \frac{R133}{R78} = 37 \end{cases} \quad (5.15)$$

Si ottengono i seguenti valori di resistenze $R133$ ed $R78$:

$$\begin{cases} R133 = 40 \text{ 145/38 k}\Omega \approx 1.056 \text{ k}\Omega \\ R78 = 1085/38 \text{ k}\Omega \approx 28.55 \Omega \end{cases} \quad (5.16)$$

Tra i resistori disponibili nel progetto si sceglie:

$$\begin{cases} R133 = 1 \text{ k}\Omega \pm 1 \% \\ R78 = 27 \Omega \pm 1 \% \end{cases} \quad (5.17)$$

Con questi resistori, trascurando le sorgenti di errore, i limiti della corrente di sbilanciamento diventano:

$$\begin{cases} I_{min} \approx -3.70 \text{ mA} \\ I_{MAX} \approx 3.70 \text{ mA} \end{cases} \quad (5.18)$$

Si noti che l'operazionale $LM6142$, come riportato nel datasheet[7] alla voce *Absolute Maximum Ratings*, può erogare una corrente continua in uscita di 25 mA: maggiore di quella richiesta per bilanciare.

Nelle prossime sezioni sono riportati risultati più precisi, ottenuti con le simulazioni *SPICE*.

Infine quando segnale $ENABLE = LOW$, il transistor M9 rimane sempre in conduzione, al contrario l'operazionale U15 è spento con il pin dell'alimentazione V_+ è flottante. In queste condizioni si vuole che la corrente I_{CENBAT} sia nulla o al limite il più piccola possibile, per non scaricare inutilmente le celle.

5.3 1B137A_Differential_Voltage_Sensor

Il *Differential_Voltage_Sensor* è il dispositivo che, per segnalare al processore la presenza di un eventuale sbilanciamento delle celle, effettua la seguente operazione matematica:

$$V_{OUT} = V_{OFFSET} + G(VINPOS - VINNEG) \quad (5.19)$$

Dove V_{OFFSET} è l'offset della tensione in uscita e G è il guadagno. Per rispettare la dinamica del processore, valgono le seguenti relazioni:

$$\begin{cases} V_{OFFSET} = 1.25 \text{ V} \\ G = 10 \end{cases} \quad (5.20)$$

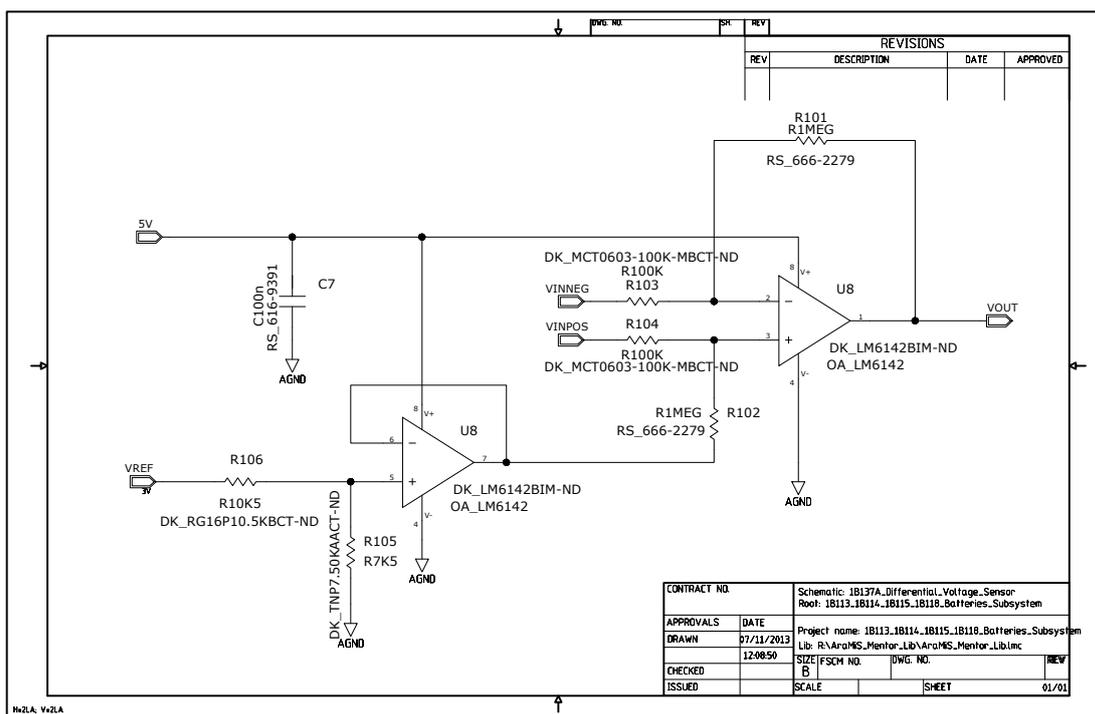


Figura 5.2. Schematic *1B137A-Differential_Voltage_Sensor* (Mentor)

All'interno del progetto *AraMiS*, per velocizzare la creazione di nuovi sistemi, sono presenti alcuni circuiti standard già progettati; tra questi c'è il sensore di tensione differenziale *1B137A-Differential_Voltage_Sensor*, figura 5.2, con offset e guadagno rispettivamente di $1.25V$ e 10. Inizialmente si pensa di utilizzare questo circuito per misurare lo sbilanciamento delle celle.

5.3.1 Segnali e Netlist SPICE

I componenti utilizzati sono riportati nella tabella 5.3

La *Netlist SPICE* è la seguente (5.3.1):

```

1 .SUBCKT 1B137A-Differential_Voltage_Sensor N5V VINNEG VINPOS VOUT
2 + VREF
3 XXCMP8 XSIG010016 XSIG010015 N5V 0 VOUT LM6142
4 RXCMP10 XSIG010015 VOUT res01 1MEG
5 RXCMP11 VINNEG XSIG010015 res01 100K
6 RXCMP12 VINPOS XSIG010016 res01 100K
7 XXCMP13 XSIG010027 XSIG010023 N5V 0 XSIG010023 LM6142
8 CXCMP14 N5V 0 100n
9 RXCMP15 XSIG010027 0 res01 7.5K
10 RXCMP16 XSIG010027 VREF res01 10.5K
11 RXCMP17 XSIG010016 XSIG010023 res01 1MEG
12 .ENDS

```

Ref Designator	Part Name	Part Number	Type	Description
R101	R1MEG	RS_666-279	RESISTOR	1 M Ω \pm 0.1 %
C7	C100n	RS_616-9391	CAPACITOR	100 nF – 25V
R103	R100K	DK_MCT0603-100K	RESISTOR	100 k Ω \pm 0.1 %
U8	LM6142	DK_LM6142BIM-ND	Op-Amp	Op-Amp <i>LM6142</i>
R104	R100K	DK_MCT0603-100K	RESISTOR	100 k Ω \pm 0.1 %
U9	LM6142	DK_LM6142BIM-ND	Op-Amp	Op-Amp <i>LM6142</i>
R101	R1MEG	RS_666-279	RESISTOR	1 M Ω \pm 0.1 %
R106	R10K5	DK_RG16P10.5KBCT-ND	RESISTOR	10.5 k Ω \pm 0.1 %
R105	R7K5	DK_TNP7.50KAACT-ND	RESISTOR	7.5 k Ω \pm 0.1 %

Tabella 5.3. Componenti utilizzati 1B137A_Differential_Voltage_Sensor

5.3.2 Descrizione

Nello schema sono presenti due operazionali *LM6142*, di cui uno in configurazione buffer, inseguitore di tensione, mentre l'altro in configurazione amplificatore differenziale.

Usando la sovrapposizione degli effetti la tensione in uscita V_{OUT} è data dalla somma dei contributi delle tre tensioni V_{INPOS} , V_{INNEG} e V_{REF} :

$$V_{OUT} = V_{OUT}|_{V_{INPOS}} + V_{OUT}|_{V_{INNEG}} + V_{OUT}|_{V_{REF}} \quad (5.21)$$

In particolare:

$$\begin{aligned} V_{OUT} = & V_{INPOS} \frac{R_{102}}{R_{102} + R_{104}} \left(1 + \frac{R_{101}}{R_{103}} \right) + \\ & - V_{INNEG} \frac{R_{101}}{R_{103}} + \\ & + V_{REF} \frac{R_{105}}{R_{105} + R_{106}} \frac{R_{104}}{R_{104} + R_{102}} \left(1 + \frac{R_{101}}{R_{103}} \right) \end{aligned} \quad (5.22)$$

Se $R_{101} = R_{102}$ e $R_{103} = R_{104}$ l'amplificatore è differenziale e la tensione di uscita vale:

$$V_{OUT} = V_{REF} \frac{R_{105}}{R_{105} + R_{106}} + (V_{INPOS} - V_{INNEG}) \frac{R_{101}}{R_{103}} \quad (5.23)$$

Infine con i seguenti valori delle resistenze $R_{101} = R_{102} = 100M\Omega$, $R_{103} = R_{104} = 100k\Omega$, $R_{105} = 7.5k\Omega$ e $R_{106} = 10.5k\Omega$ si ottiene finalmente:

$$V_{OUT} = 1.25V + 10(V_{INPOS} - V_{INNEG}) \quad (5.24)$$

L'operazionale in configurazione inseguitore di tensione posto tra V_{REF} ed il morsetto dell'ingresso positivo dell'amplificatore differenziale è un buffer utilizzato per disaccoppiare il partitore di tensione di V_{REF} dal resto del circuito.

5.3.3 Simulazioni

Nel circuito simulato, riportato in figura 5.3, le tensioni in ingresso sono:

$$\begin{cases} V_{INNEG} = V_{BATT} = 3.7V \\ V_{INPOS} = V_{BATT} + V_{OFF} = 3.7V + V_{OFF} \end{cases} \quad (5.25)$$

Come da specifica il massimo sbilanciamento ipotizzato è $V_{OFF} \pm 0.1V$ e di conseguenza la tensione in uscita idealmente è compresa in un intervallo tra 0.250V e 2.25V i risultati della simulazione sono riportati in figura 5.4.

Riguardo la tensione di uscita V_{OUT} il circuito si comporta come richiesto, in particolare:

$$V_{OUT} = \begin{cases} 0.260mV & \text{con } V_{OFF} = -100mV \\ 1.260mV & \text{con } V_{OFF} = 0V \\ 2.261mV & \text{con } V_{OFF} = 100mV \end{cases} \quad (5.26)$$

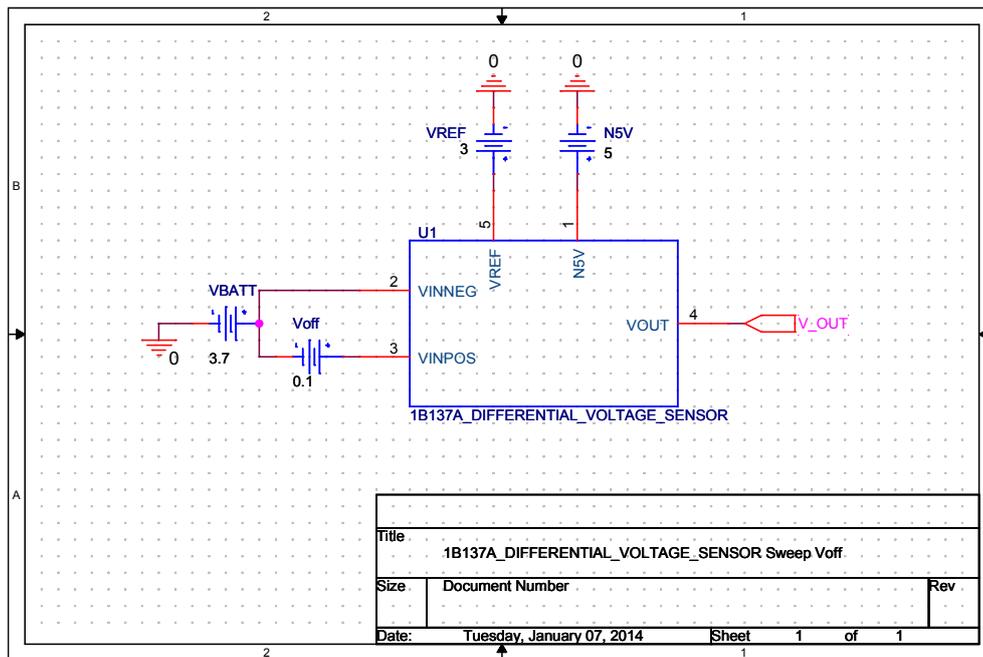


Figura 5.3. Circuito per simulazione *1B137A_Differential_Voltage_Sensor* (Cadence)

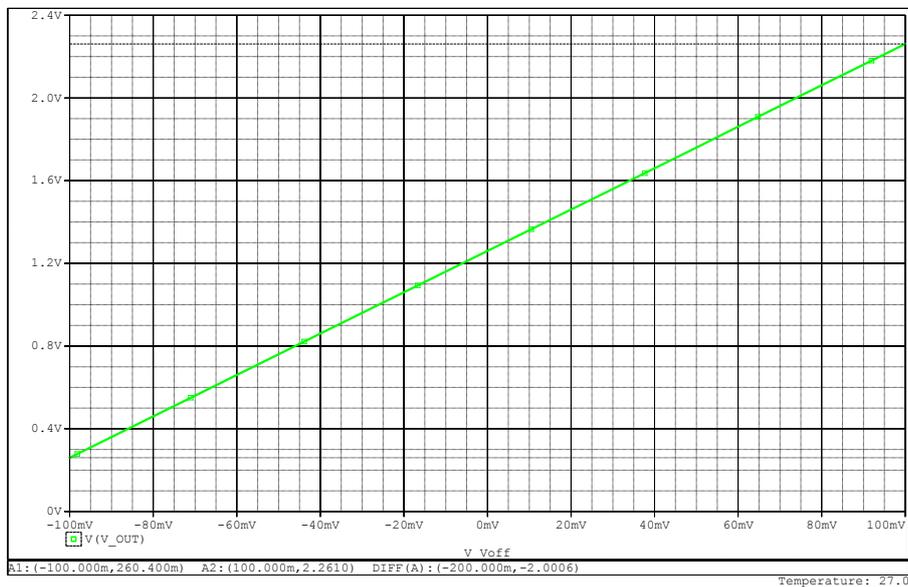


Figura 5.4. V_{OUT} al variare di V_{OFF} (SPICE)

L'errore commesso è nell'ordine di 10 mV ed è trascurabile.

Nell'applicazione reale questo sensore di tensione ha sull'ingresso V_{INNEG} un partitore di resistenze per portare la tensione POS_{BAT} da 7.4V a 3.7V, figura 5.5.

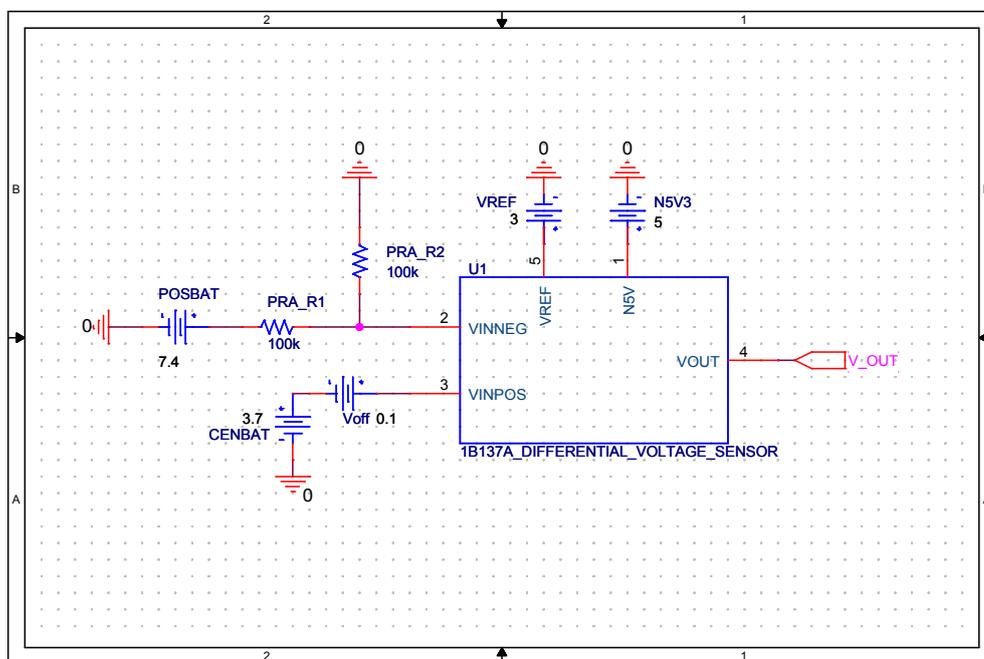


Figura 5.5. Schematic simulazione con partitore su V_{INNEG} (Cadence)

Il grafico della tensione in uscita V_{OUT} rispetto alla tensione V_{OFF} è riportato in figura 5.6.

In questo caso la tensione in uscita non segue l'andamento richiesto, in particolare si ha:

$$V_{OUT} = \begin{cases} 1.250 \text{ V} & \text{con } V_{OFF} = -100 \text{ mV} \\ 1.947 \text{ V} & \text{con } V_{OFF} = 0 \text{ V} \\ 2.644 \text{ V} & \text{con } V_{OFF} = 100 \text{ mV} \end{cases} \quad (5.27)$$

Con un'attenta analisi del circuito è possibile scovare il problema: idealmente la tensione V_{INNEG} , ottenuta a partire dal partitore sulla tensione POS_{BAT} vale:

$$V_{INNEG_{ideale}} = POS_{BAT} \frac{PRA_{R2}}{PRA_{R2} + PRA_{R1}} = \frac{POS_{BAT}}{2} \quad (5.28)$$

Nella realtà sul morsetto V_{INNEG} l'amplificatore differenziale, a causa della retroazione, ha una impedenza in ingresso relativamente bassa ed allora la tensione V_{INNEG} reale vale:

$$V_{INNEG_{reale}} = POS_{BAT} \frac{PRA_{R2} \parallel Z_{in,eq}}{PRA_{R2} \parallel Z_{in,eq} + PRA_{R1}} \quad (5.29)$$

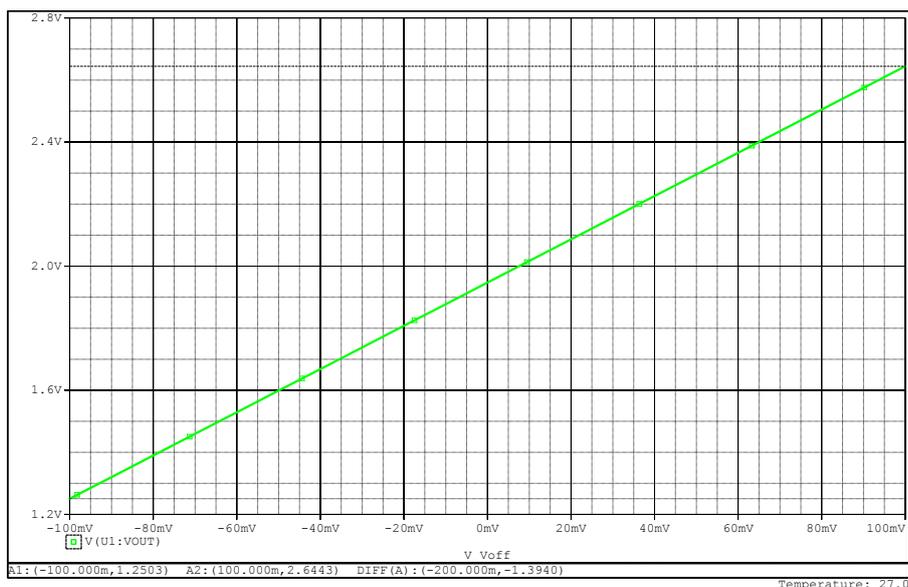
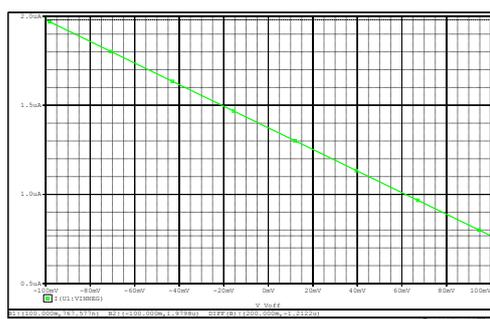


Figura 5.6. V_{OUT} al variare di V_{OFF} (SPICE)

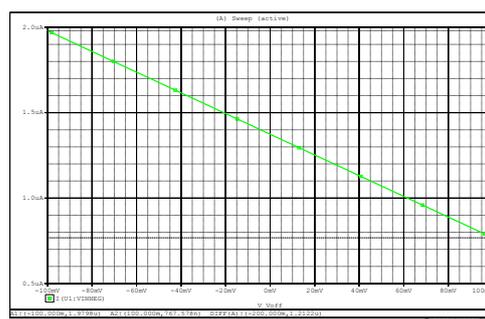
Dove $Z_{in,eq}$ è un'impedenza equivalente che si vede verso il pin V_{INNEG} dell'operazione, è variabile e dipende dal valore di tensione sugli ingressi dell'operazionale.

Attraverso le simulazioni si può calcolare il valore del parallelo $PRA_{R2} \parallel Z_{in,eq}$, procedendo nel seguente modo.

Prima di tutto si misura la tensione V_{INNEG} e la corrente I_{VINNEG} al variare di V_{OFF} , figura 5.7.



(a) V_{INNEG}



(b) I_{VINNEG}

Figura 5.7. V_{INNEG} e I_{VINNEG} al variare di V_{OFF} (SPICE)

In seguito, con la “calcolatrice” di SPICE, si calcola l'impedenza equivalente:

$$Z_{in,eq} = \frac{V_{INNEG}}{I_{VINNEG}} \quad (5.30)$$

Ed infine finalmente si ricava il grafico riportato in figura 5.8, in cui è chiaro che $PRA_{R2} \parallel Z_{in,eq} < PRA_{R1} = 100 \text{ k}\Omega$ e quindi il partitore è leggermente sbilanciato.

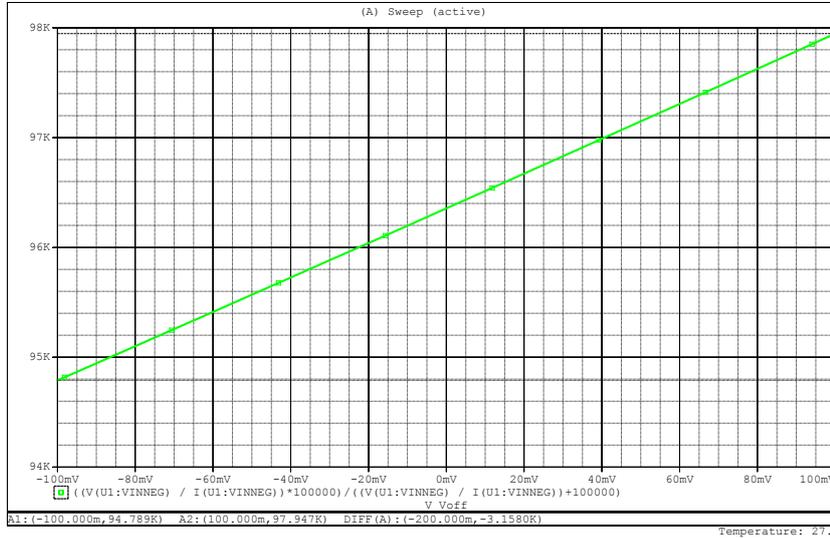


Figura 5.8. $PRA_{R2} \parallel Z_{in,eq}$ al variare di V_{OFF} (SPICE)

Il partitore di tensione quindi non dividendo perfettamente di un fattore 2 la tensione $POSBAT$, introduce una differenza $\epsilon = VINNEG_{ideale} - VINNEG_{reale}$ che viene in seguito moltiplicata del fattore $G = 10$; in uscita quindi si ha un errore che non è più trascurabile, tanto da richiedere il progetto di un altro *Differential_Voltage_Sensor*.

5.4 Bk1B137E_Differential_Voltage_Sensor

Il prototipo definitivo per misurare la tensione di sbilanciamento tra le celle è il *Bk1B137E_Differential_Voltage_Sensor*, riportato in figura 5.9.

Il problema del primo prototipo di sensore *Differential_Voltage_Sensor* è l'impedenza di ingresso non abbastanza elevata dell'amplificatore in configurazione differenziale. In elettronica il circuito che permette di superare questi problemi riguardanti l'impedenza in ingresso dell'amplificatore differenziale è l'amplificatore da strumentazione, figura 5.10.

Con questo schema la tensione in uscita V_{out} vale:

$$V_{out} = -V_{in} \left(1 + \frac{2R_1}{R_{gain}} \right) \left(\frac{R_3}{R_2} \right) \quad (5.31)$$

Inoltre la presenza dei due buffer in ingresso rende l'impedenza in ingresso molto elevata.

Fortunatamente in commercio esistono moltissimi amplificatori da strumentazione

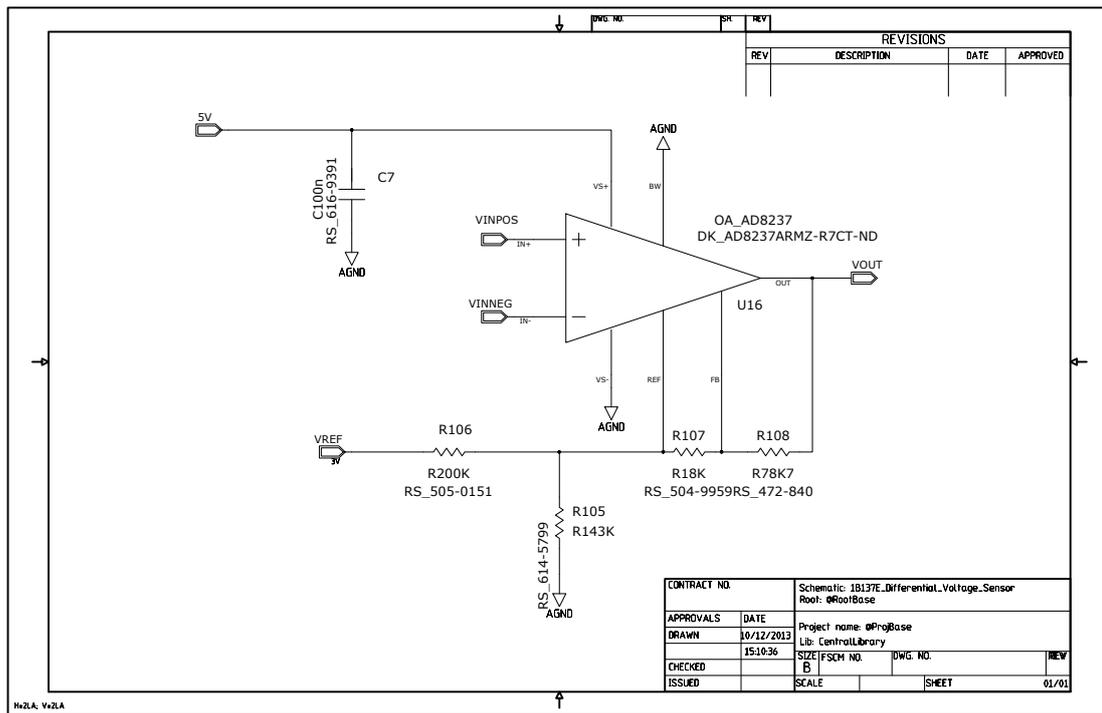


Figura 5.9. Schematic *Bk1B137E_Differential_Voltage_Sensor* (Mentor)

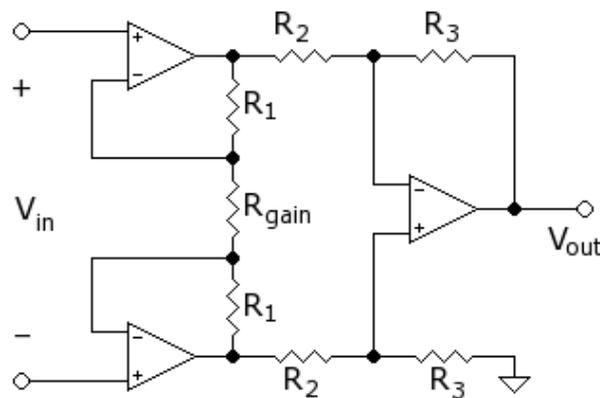


Figura 5.10. Schema generico di un amplificatore da strumentazione

integrati.

Nel sistema ne serve uno che abbia le seguenti specifiche:

- Dinamica ingresso ed uscita *Rail to Rail*;
- Tensione di alimentazione singola con $V_{DD} = 5\text{ V}$;
- *Input Bias Current* bassa, nell'ordine del nA;

- Corrente di alimentazione *Supply Current* bassa, nell'ordine dei μA ;
- Tensione di Offset in ingresso non troppo elevata, nell'ordine delle decine di μV ;
- Impedenza ingresso differenziale alta;

Caratteristica	Valore
Input Bias Current	1 nA
Supply Current	115 μA
Maximum Offset Voltage	75 μV
Typical Differential Input Impedance	100 M Ω

Tabella 5.4. Caratteristiche *AD8237*

Impostando queste caratteristiche nel motore di ricerca di *RS*[8] sono usciti alcuni risultati, tra cui l'amplificatore da strumentazione *AD8237*, prodotto dalla *Analog Devices*, con le caratteristiche salienti riportate in tabella 5.4.

5.4.1 Segnali e Netlist SPICE

I componenti utilizzati sono riportati nella tabella 5.5.

La *Netlist SPICE* è la seguente(5.4.1):

```

1 .SUBCKT Bk1B137E-Differential.Voltage.Sensor N5V VINNEG VINPOS VOUT
2 + VREF
3 CXCMP1 N5V 0 100n
4 RXCMP2 XSIG010003 0 RES01 143K
5 RXCMP3 XSIG010003 VREF RES1 200K
6 XXCMP4 0 VINPOS VINNEG 0 N5V XSIG010003 XSIG010013 VOUT
7 + AD8237
8 RXCMP5 XSIG010003 XSIG010013 RES1 18K
9 RXCMP6 XSIG010013 VOUT RES01 78.7K
10 .ENDS

```

5.4.2 AD8237

L'amplificatore da strumentazione *AD8237*[9] ha un guadagno programmabile utilizzando due resistori esterni.

Il package è di tipo *MSOP* con 8 pin, figura 5.11.

Uno schema semplificato è riportato in figura 5.12.

La tensione di uscita generica V_{OUT} dell'*AD8237* vale:

$$V_{OUT} = G(V_{+IN} - V_{-IN}) + V_{REF} \quad (5.32)$$

Con:

$$G = 1 + \frac{R_2}{R_1} \quad (5.33)$$

Ref Designator	Part Name	Part Number	Type	Description
C7	C100n	RS_616-9391	CAPACITOR	100 nF – 25V
U10	AD8237	DK_AD8237ARMZ	Op-Amp	Op-Amp <i>AD8237</i>
R106	R200K	RS_505-0151	RESISTOR	200 k Ω \pm 11 %
R105	R143K	RS_614-5799	RESISTOR	143 k Ω \pm 0.1 %
R107	R18K	RS_504-9959	RESISTOR	18 k Ω \pm 1 %
R108	R78K7	RS_472-840	RESISTOR	78.7 k Ω \pm 0.1 %

Tabella 5.5. Componenti utilizzati *Bk1B137E_Differential_Voltage_Sensor*

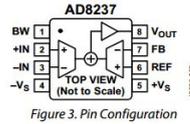


Figure 3. Pin Configuration

Table 6. Pin Function Descriptions		
Pin No.	Mnemonic	Description
1	BW	For high bandwidth mode, connect this pin to +V _S , or for low bandwidth mode, connect this pin to -V _S . Do not leave this pin floating.
2	+IN	Positive Input.
3	-IN	Negative Input.
4	-V _S	Negative Supply.
5	+V _S	Positive Supply.
6	REF	Reference Input.
7	FB	Feedback Input.
8	V _{OUT}	Output.

Figura 5.11. Configurazione Pin e Descrizione Pin AD8237

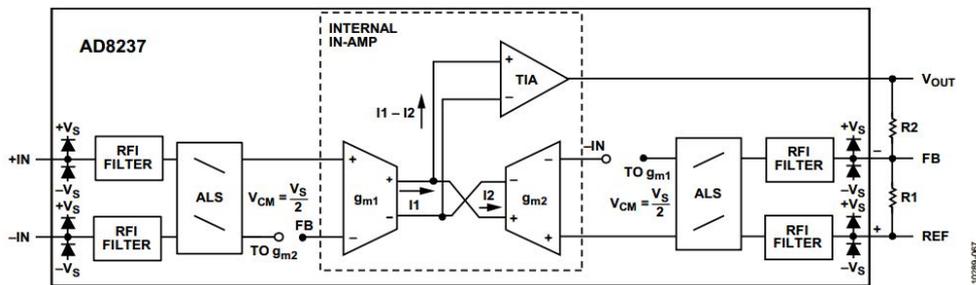


Figura 5.12. Configurazione Pin e Descrizione Pin AD8237

Quindi il guadagno è selezionato dal rapporto R_2 su R_1 , mentre spetta al progettista scegliere i valori assoluti dei resistori: larghi valori di resistenza diminuiscono il consumo di potenza, ma aumentano il rumore. Inoltre il datasheet riporta che se il parallelo di R_2 ed R_1 è maggiore di circa 30 kΩ allora le resistenze cominciano a contribuire al rumore; mentre per ottenere la migliore dinamica in uscita, lineare, deve valere $(R_1 + R_2) \parallel R_{LOAD} \geq 10 \text{ k}\Omega$.

Con il pin di riferimento REF si può traslare la dinamica della tensione di uscita; in figura 5.13 è riportato un tipico esempio di applicazione del pin REF di $AD8237$.

Con i resistori R_3 ed R_4 si divide la tensione V_S per impostare il riferimento voluto. In queste condizioni il guadagno G vale:

$$G = 1 + \frac{R_2 + R_3 \parallel R_4}{R_1} \quad (5.34)$$

Mentre la tensione di uscita V_{OUT} :

$$V_{OUT} = G(V_{+IN} - V_{-IN}) + V_{REF} \frac{R_4}{R_4 + R_3} \quad (5.35)$$

La configurazione dell' $AD8237$ appena illustrata è quella utilizzata nel dispositivo $Bk1B137E_Differential_Voltage_Sensor$.

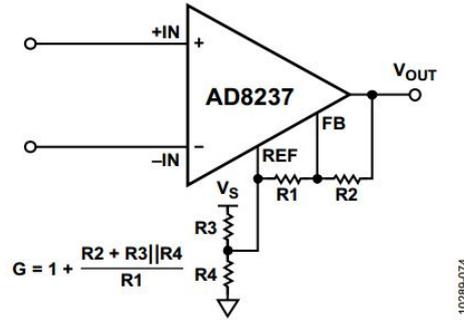


Figure 72. Using Voltage Divider to Set Reference Voltage

Figura 5.13. Configurazione *AD8237* usando il pin *REF*

5.4.3 Descrizione

Il *Bk1B137E_Differential_Voltage_Sensor*, figura 5.9, è quindi composto semplicemente dall'amplificatore da strumentazione *AD8237* e dai relativi resistori, dimensionati in modo da settare il guadagno $G = 10$ e l'offset $V_{OFFSET} = 1.25$ V.

Dalle precedenti equazioni 5.34 e 5.35 risulta:

$$\begin{cases} V_{OFFSET} = 1.25 \text{ V} = V_{REF} \frac{R105}{R105 + R106} \\ G = 10 = 1 + \frac{R108 + R105 \parallel R106}{R107} \\ V_{OUT} = G(VIN_{POS} - VIN_{NEG}) + V_{OFFSET} \end{cases} \quad (5.36)$$

Con queste uguaglianze è possibile dimensionare il valore delle resistenze $R105$, $R106$, $R107$ ed $R108$.

Nel progetto *AraMiS* è a disposizione un numero limitato di resistori, per questo è stato sviluppato uno script *MATLAB*, riportato in appendice B.2, che tra i resistori a disposizione, data una precisione, trova il set la cui combinazione si avvicina di più alle richieste.

Si procede nel seguente modo: per prima cosa, data una precisione η_1 , si ricava il valore delle resistenze che soddisfano l'uguaglianza:

$$V_{OFFSET} = 1.25 \text{ V} = V_{REF} \frac{R105}{R105 + R106} \quad (5.37)$$

Quindi avendo scelto $R105$ ed $R106$, dalla relazione:

$$G = 10 = 1 + \frac{R108 + R105 \parallel R106}{R107} \quad (5.38)$$

Si trova il valore delle resistenze $R107$ ed $R108$, con precisione η_2 .

Dopo alcuni tentativi si è trovato il set di quattro resistori con la massima precisione possibile, $\eta_1 = \eta_2 = 1/1000$. Di seguito sono riportati i resistori selezionati e le relative tolleranze:

$$\begin{cases} R105 = 143 \text{ k}\Omega \pm 0.1 \% \\ R106 = 200 \text{ k}\Omega \pm 1 \% \\ R107 = 18 \text{ k}\Omega \pm 1 \% \\ R108 = 78.7 \text{ k}\Omega \pm 0.1 \% \end{cases} \quad (5.39)$$

Dati questi valori l'offset V_{OFFSET} ed il guadagno G valgono:

$$\begin{cases} V_{OFFSET} = 1.251 \text{ V} \\ G = 10.004 \end{cases} \quad (5.40)$$

Inoltre, ipotizzando una resistenza di carico $R_{LOAD} = 30 \text{ k}\Omega$, si ha:

$$\begin{cases} R_{107} \parallel (R_{108} + R_{105} \parallel R_{106}) \approx 16.20 \text{ k}\Omega < 30 \text{ k}\Omega \\ (R_{107} + (R_{108} + R_{105} \parallel R_{106})) \parallel R_{LOAD} \approx 25.71 \text{ k}\Omega > 10 \text{ k}\Omega \end{cases} \quad (5.41)$$

Le avvertenze espresse nel datasheet risultano soddisfatte.

Sempre attraverso lo stesso script *MATLAB*, avendo a disposizione i dati relativi alle tolleranze, si può calcolare l'ipotetico errore che si commette sul guadagno e di conseguenza sull'uscita a causa delle incertezze sui resistori ¹.

Considerando gli errori si hanno le seguenti relazioni:

$$\begin{cases} G = G_{NOM} \pm \delta G \\ V_{OUT} = V_{OUT,NOM} \pm \delta V_{OUT} \end{cases} \quad (5.42)$$

In cui l'errore sul guadagno δG ha quattro diversi contributi dovuti ai quattro resistori R_{105} , R_{106} , R_{107} ed R_{108} :

$$\delta G = \delta G|_{R_{105}} + \delta G|_{R_{106}} + \delta G|_{R_{107}} + \delta G|_{R_{108}} \quad (5.43)$$

Con i resistori scelti si ha $\delta G = 0.155$, quindi:

$$G = G_{NOM} \pm \delta G = 10.004 + 0.155 \quad (5.44)$$

Mentre per quanto riguarda l'errore che si commette sulla tensione in uscita δV_{OUT} si ha:

$$\delta V_{OUT} = \delta V_{OUT}|_G \pm \delta V_{OUT}|_{R_{105}} + \delta V_{OUT}|_{R_{106}} \quad (5.45)$$

Quindi svolgendo un pò di calcoli la tensione in uscita vale:

$$V_{OUT} = V_{OUT,NOM} + \delta V_{OUT} = \begin{cases} 0.250 \text{ V} \pm 7.5 \text{ mV} & \text{con } V_{OFF} = -100 \text{ mV} \\ 1.251 \text{ V} \pm 8.0 \text{ mV} & \text{con } V_{OFF} = 0 \text{ V} \\ 2.251 \text{ V} \pm 23.6 \text{ mV} & \text{con } V_{OFF} = 100 \text{ mV} \end{cases} \quad (5.46)$$

Con questi errori, relativamente bassi rispetto ai valori nominali, si possono ritenere soddisfacenti i risultati ottenuti utilizzando questo set di 4 resistori.

¹Alcuni cenni sulla propagazione degli errori ed i calcoli analitici sono riportati in appendice *Misura*.

5.4.4 Simulazioni

La prima simulazione effettuata riguarda la variazione della tensione in uscita V_{OUT} rispetto allo sbilanciamento delle celle V_{OFF} . Il circuito simulato è riportato in figura 5.14.

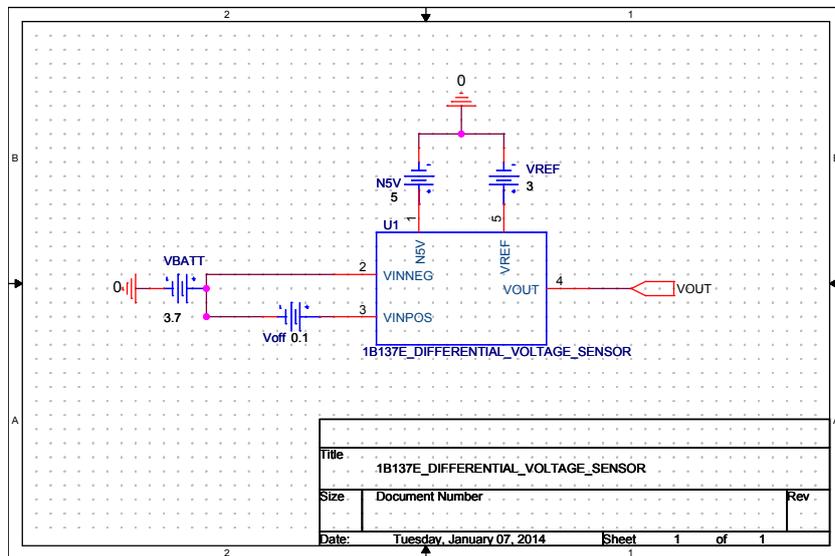


Figura 5.14. Schematic simulazione *Bk1B137E* (Cadence)

I risultati ottenuti sono in figura 5.15 ed in particolare:

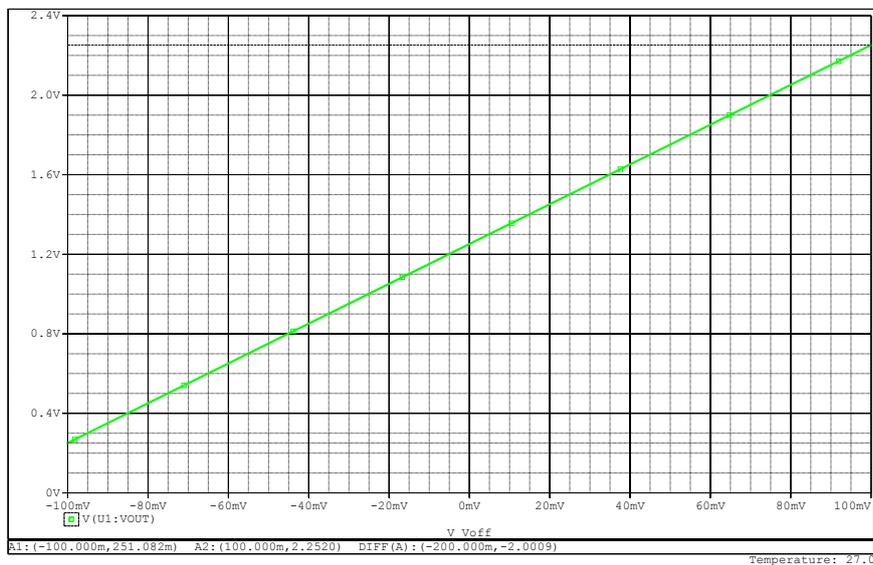


Figura 5.15. V_{OUT} al variare di V_{OFF} (SPICE)

$$V_{OUT} = \begin{cases} 0.251 \text{ V} & \text{con } V_{OFF} = -100 \text{ mV} \\ 1.251 \text{ V} & \text{con } V_{OFF} = 0 \text{ V} \\ 2.252 \text{ V} & \text{con } V_{OFF} = 100 \text{ mV} \end{cases} \quad (5.47)$$

Quindi la relazione tra V_{OUT} e V_{OFF} è quella desiderata.

La seconda simulazione riguarda la situazione reale in cui è presente il partitore resistivo su V_{INNEG} per scalare la tensione $POSBAT$ da 7.4 V a 3.7 V, figura 5.16.

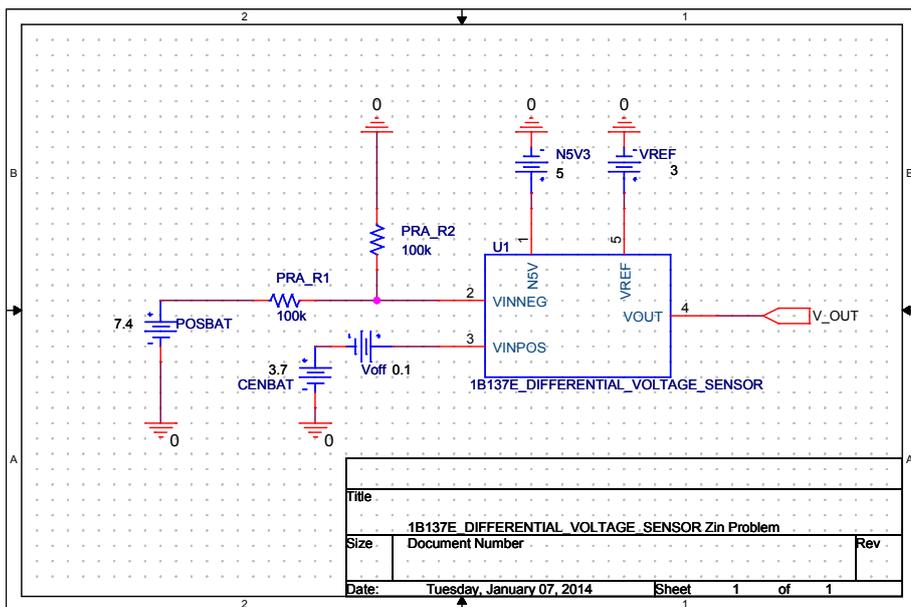


Figura 5.16. Schematic simulazione con partitore su V_{INNEG} (Cadence)

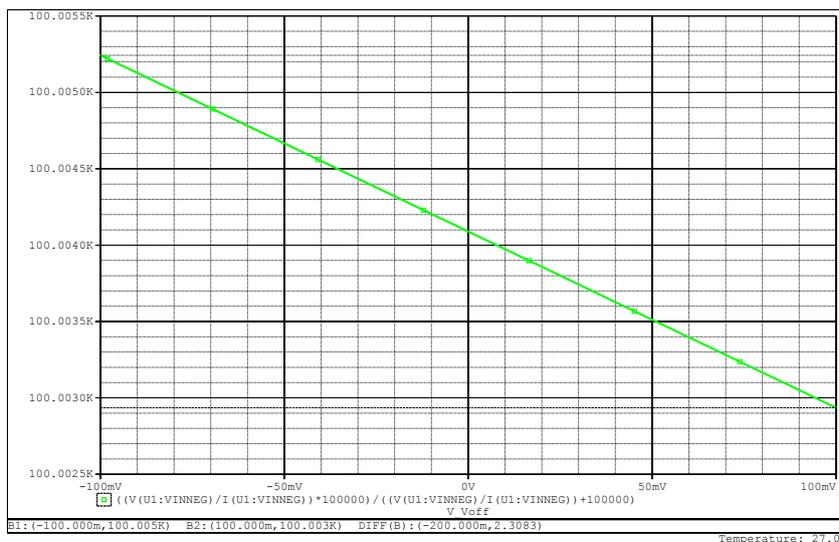
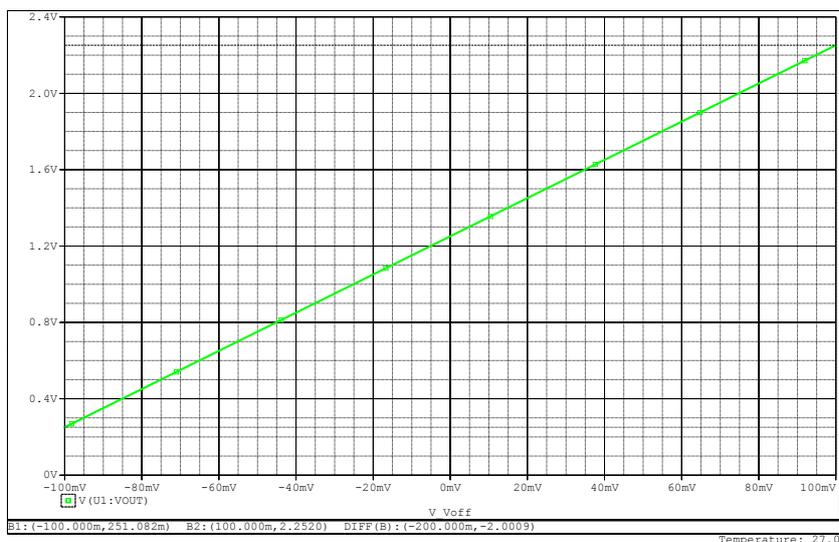
Con l'amplificatore da strumentazione $AD8237$ si presume che l'impedenza in ingresso equivalente $Z_{in,eq}$ dell'amplificatore non influenzi in maniera significativa il partitore resistivo ed il grafico in figura 5.17 indica che ciò è verificato: il valore di $PRA_{R2} \parallel Z_{in,eq}$ è prossimo a $100 \text{ k}\Omega$ su tutta la dinamica di V_{OFF} e di conseguenza il partitore divide la tensione $POSBAT$ per un valore molto prossimo a 2.

La correttezza del funzionamento del dispositivo con il partitore in ingresso è infine giustificata dal grafico della tensione in uscita V_{OUT} rispetto alla tensione V_{OFF} , riportato in figura 5.18.

Con i seguenti risultati:

$$V_{OUT} = \begin{cases} 0.251 \text{ V} & \text{con } V_{OFF} = -100 \text{ mV} \\ 1.251 \text{ V} & \text{con } V_{OFF} = 0 \text{ V} \\ 2.252 \text{ V} & \text{con } V_{OFF} = 100 \text{ mV} \end{cases} \quad (5.48)$$

Il fatto che questi valori siano assolutamente identici al caso senza il partitore indica che l'impedenza equivalente in ingresso dell' $AD8237$ non influenza il funzionamento.

Figura 5.17. $PRA_{R2} \parallel Z_{in,eq}$ al variare di V_{OFF} (SPICE)Figura 5.18. V_{OUT} al variare di V_{OFF} (SPICE)

Infine un'ulteriore prova è fatta variando la tensione della cella V_{BATT} nel range di tensioni possibili per una cella agli ioni di Litio, $V_{BATT} = [2.3 \div 4.2]V$, mantenendo uno sbilanciamento fisso $V_{OFF} = 100\text{ mV}$.
Si ottiene quindi il grafico in figura 5.19, che mostra come la tensione in uscita

non risenta delle variazioni della tensione della cella V_{BATT} , rimanendo pressochè costante ad un valore di 2.52 V.

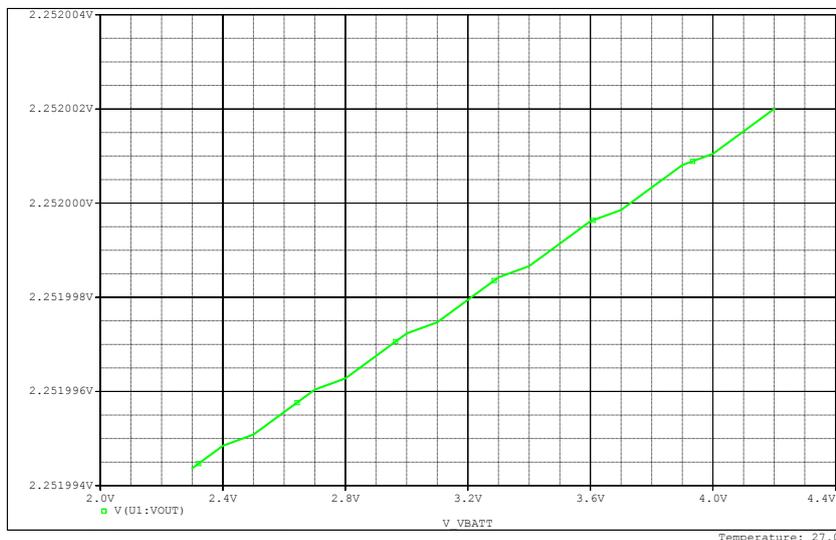


Figura 5.19. V_{OUT} al variare di V_{BATT} con $V_{OFF} = 100$ mV (SPICE)

5.5 Simulazioni

In questa sezione sono effettuate le simulazioni per il *1B1142_Battery_Equalizer*. Il dispositivo prevede due possibili modalità di funzionamento, con il segnale $ENABLE = ON$ e con il segnale $ENABLE = OFF$. In entrambi i casi viene misurato lo sbilanciamento e nel primo caso viene anche effettuata l'equalizzazione delle celle con una corrente $I_{CENBAT} \neq 0$ A.

Il segnale di $ENABLE$, attivo alto, è generato da un controllore con uscita *TTL*.

5.5.1 ENABLE=ON

Quando il segnale $ENABLE$ è alto, il dispositivo *1B1142_Battery_Equalizer* misura l'eventuale sbilanciamento e se necessario provvede alla correzione di quest'ultimo.

La simulazione *SPICE* è effettuata con il circuito in figura 5.20.

In cui i valori delle tensioni in ingresso sono i seguenti:

$$\begin{cases} V_{BATT1} = 3.7 \text{ V} \\ V_{BATT2} = 3.7 \text{ V} \\ V_{REF} = 3 \text{ V} \\ ENABLE = 3 \text{ V} \\ N5V = 5 \text{ V} \end{cases} \quad (5.49)$$

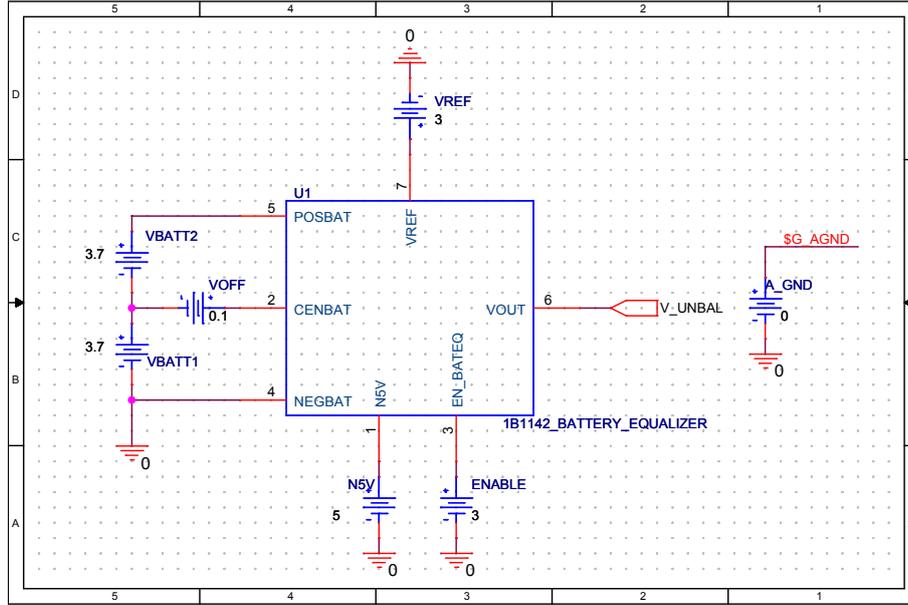


Figura 5.20. Schematic simulazione 1B1142_Battery_Equalizer, $ENABLE = ON$ (Cadence)

V_{UNBAL}

Con il generatore di tensione V_{OFF} si modella quindi l'eventuale sbilanciamento ed inserendolo nell'equazione 5.3 la tensione di uscita diventa:

$$V_{UNBAL} = 1.25 \text{ V} + 5(V_{BATT1} + V_{OFF} - (V_{BATT2} - V_{OFF})) \quad (5.50)$$

In figura 5.21 è riportato il grafico della tensione V_{UNBAL} al variare della tensione $V_{OFF} = [-100; 100] \text{ mV}$, con i seguenti risultati:

$$V_{UNBAL} = \begin{cases} 0.264 \text{ V} & \text{con } V_{OFF} = -100 \text{ mV} \\ 1.251 \text{ V} & \text{con } V_{OFF} = 0 \text{ V} \\ 2.236 \text{ V} & \text{con } V_{OFF} = 100 \text{ mV} \end{cases} \quad (5.51)$$

Con $V_{OFF} = -100 \text{ mV}$ e $V_{OFF} = 100 \text{ mV}$ la tensione di uscita misurata differisce di circa una decina di mV da quella voluta; il motivo si può spiegare facilmente partendo dall'equazione 5.5: maggiore è lo sbilanciamento, maggiore è anche la corrente I_{CENBAT} e di conseguenza sull' n -MOS M9, un *IRLML2803*, c'è una caduta di tensione proporzionale alla corrente I_{CENBAT} . Al contrario con $V_{OFF} = 0 \text{ V}$ la corrente di bilanciamento è circa nulla e quindi non c'è caduta sul transistor M9. Inoltre dalle simulazioni risulta che con lo sbilanciamento $V_{OFF} = \pm 100 \text{ mV}$ scorre una corrente $I_{CENBAT} \approx \pm 3.55 \text{ mA}$ e sull' n -MOS cade una tensione V_{DS} di circa $\pm 1.5 \text{ mV}$; tale caduta di tensione corrisponde ad una $R_{DSn} = V_{DS}/I_{CENBAT} \approx 0.4 \Omega$, un valore in linea con quello riportato sul datasheet dell'*IRLML2803*[10]. Trascurando questo errore di qualche mV, il circuito misura come richiesto lo sbilanciamento su tutta la dinamica di V_{OFF} .

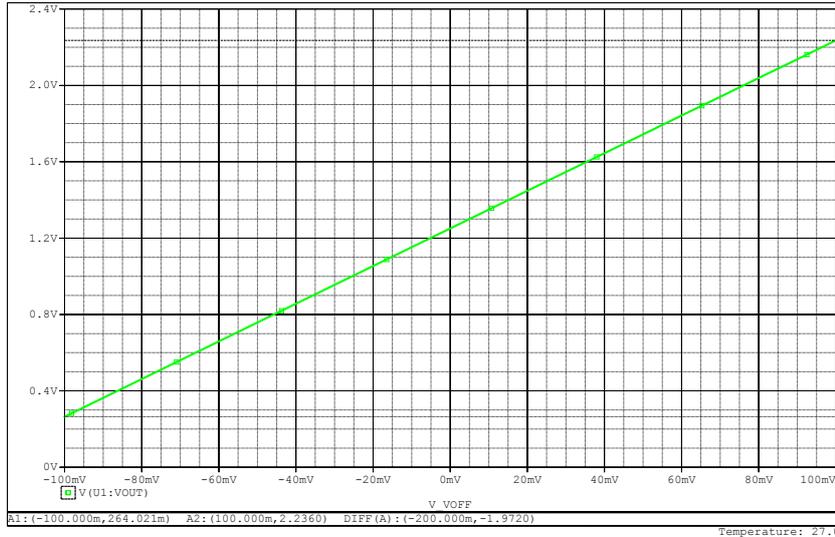


Figura 5.21. V_{UNBAL} al variare di V_{OFF} , $ENABLE = ON$ (SPICE)

I_{CENBAT}

Per quanto il bilanciamento l'equalizzazione è ottenuta smaltendo la carica in eccesso tra le celle attraverso la corrente I_{CENBAT} ; il cui valore seleziona la velocità con cui è effettuata questa operazione.

Dal progetto si è imposta una relazione che lega I_{CENBAT} allo sbilanciamento V_{OFF} di tipo lineare. Inoltre con i resistori scelti R_{133} ed R_{78} , si dovrebbe idealmente ottenere:

$$\begin{cases} I_{CENBAT,MIN} \approx -3.70 \text{ mA} \\ I_{CENBAT,MAX} \approx 3.70 \text{ mA} \end{cases} \quad (5.52)$$

Dalle simulazioni effettuate, figura 5.22, si vede come la corrente abbia un andamento completamente lineare per tutta la dinamica dello sbilanciamento; inoltre:

$$I_{CENBAT,REALE} = \begin{cases} -3.55 \text{ mA} & \text{con } V_{OFF} = -100 \text{ mV} \\ -31.66 \mu\text{A} & \text{con } V_{OFF} = 0 \text{ V} \\ 3.55 \text{ mA} & \text{con } V_{OFF} = 100 \text{ mV} \end{cases} \quad (5.53)$$

È presente una piccola differenza, di 15 mA, tra i valori massimi cercati e quelli effettivamente ottenuti. Questa differenza ha due contributi:

- La caduta di tensione tra *Drain-Source* sulla resistenza R_{DSn} del transistor M9 influenza la corrente I_{CENBAT} , equazione 5.6.
- L'operazionale U15, un *LM6142*, pur essendo *Rail to Rail* presenta in uscita una piccola caduta di tensione; in particolare si è misurato $V_{AMP_H} = 7.25 \text{ V}$ e $V_{AMP_L} = 0.14 \text{ V}$.

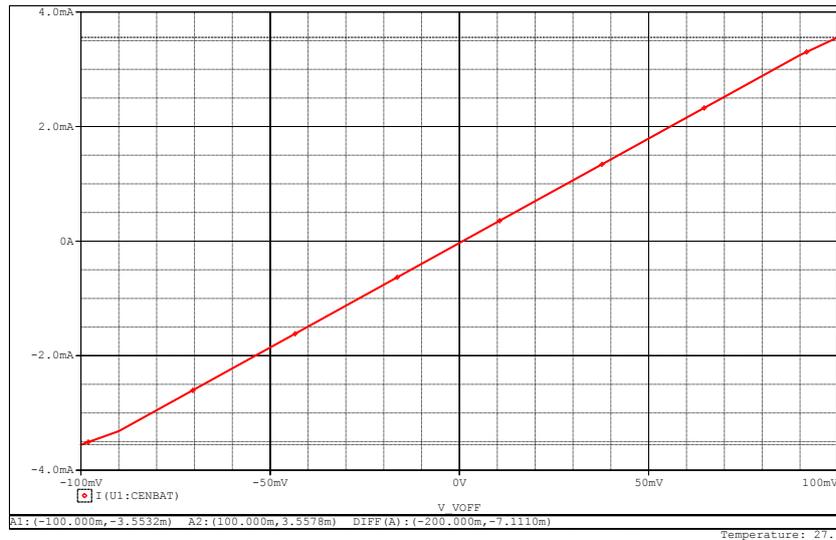


Figura 5.22. I_{CENBAT} al variare di V_{OFF} , $ENABLE = ON$ (SPICE)

Infatti con $V_{OFF} = -100$ mV e con le precedenti precisazioni si ha $I_{CENBAT,min} = (3.6\text{ V} - 7.25\text{ V}) / (1027\text{ k}\Omega) \approx -3.55\text{ mA}$, che è esattamente il valore ottenuto nelle simulazioni.

Infine quando lo sbilanciamento è nullo, si ha una corrente di bilanciamento molto piccola di circa $-31\text{ }\mu\text{A}$, un valore ritenuto accettabile.

Temperatura

Un'ulteriore simulazione utile per questo dispositivo è l'analisi del comportamento al variare della temperatura.

Purtroppo gli effetti dalla temperatura non sono modellizzati nelle *Netlist SPICE* di tutti i dispositivi utilizzati; in particolare questa feature è assente nel modello *SPICE* dell'*AD8237* fornito dalla *Analog Devices*.

Nelle simulazioni precedenti la temperatura è $T = 27\text{ }^\circ\text{C}$; mentre in questa analisi il dispositivo è simulato con le seguenti temperature $T = [-40; 0; 25; 45; 65; 70]\text{ }^\circ\text{C}$. I grafici della tensione di uscita V_{UNBAL} e della corrente I_{CENBAT} al variare della temperatura, sono riportati rispettivamente in figura 5.23 e figura 5.24.

Per quanto riguarda la tensione di uscita non si notano notevoli cambiamenti con la temperatura. Bisogna comunque considerare che gli effetti della temperatura non sono modellizzati nell'*AD8237*, che svolge il ruolo principale nel generare la tensione V_{UNBAL} .

Per la corrente I_{CENBAT} il discorso è diverso: fino a $T = 40\text{ }^\circ\text{C}$ il circuito si comporta come dovrebbe; mentre quando $T = 65\text{ }^\circ\text{C}$ e $T = 70\text{ }^\circ\text{C}$ il circuito non funziona più correttamente. Analizzando dettagliatamente la tensione su alcuni nodi del circuito emerge che a queste temperature la tensione di uscita dell'operazionale *LM6142* non ha più una dinamica *Rail to Rail* e di conseguenza ad un certo punto

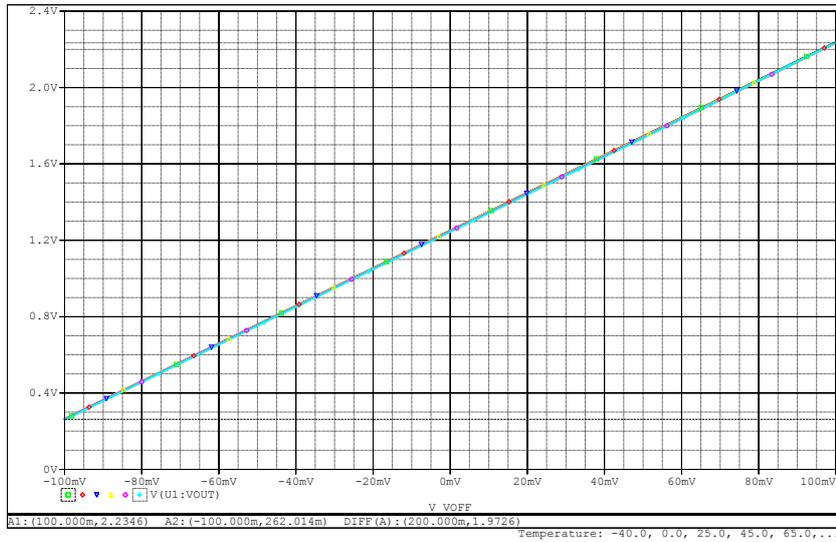


Figura 5.23. V_{UNBAL} al variare di V_{OFF} e della temperatura, $ENABLE = ON$ (SPICE)

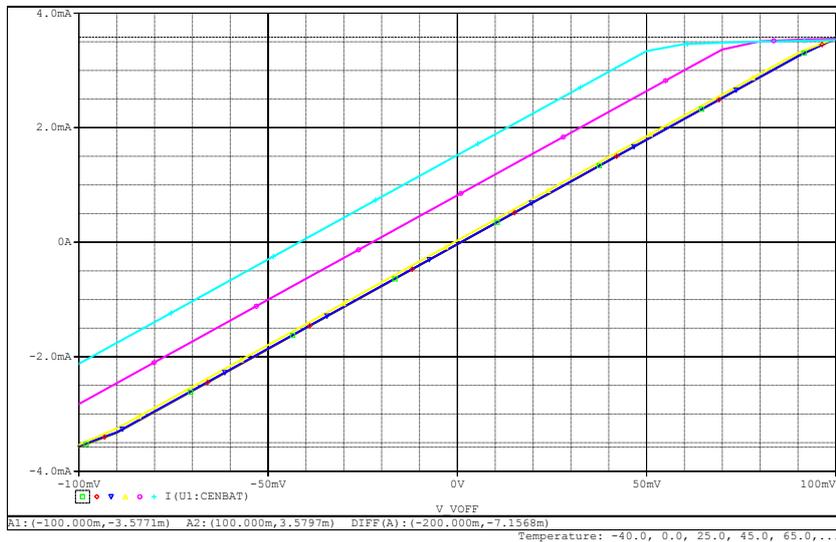


Figura 5.24. I_{CENBAT} al variare di V_{OFF} e della temperatura, $ENABLE = ON$ (SPICE)

l'amplificatore satura. Si crede che questo comportamento sia dovuto semplicemente ad un'impresione del modello *SPICE* fornito dalla *Texas Instruments* ed è quindi considerato poco preoccupante.

Monte Carlo

In tutte le simulazioni effettuate finora il valore utilizzato delle resistenze è quello nominale, nelle seguenti simulazioni invece si considera anche la tolleranza delle resistenze. In particolare con il simulatore *SPICE* si effettua l'analisi di tipo *Monte Carlo*, in cui il circuito viene simulato un numero desiderato di volte (*runs*), assegnando di volta in volta alle resistenze, seguendo una statistica desiderata, un valore compreso nel range di tolleranza.

Il numero di *runs* della simulazione è di 1000 ed i valori assegnati seguono una statistica di tipo uniforme.

Dai risultati in figura 5.25 si nota come la tolleranza dei resistori non influisce in maniera significativa sulla tensione di uscita e sulla corrente di sbilanciamento.

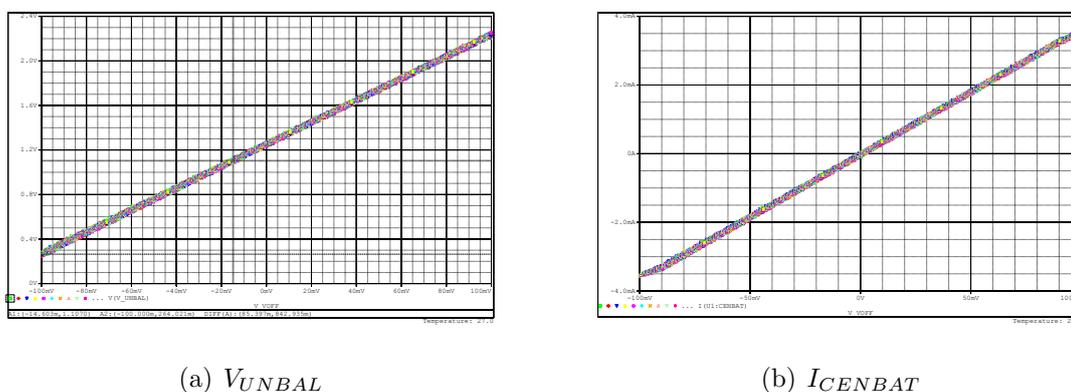


Figura 5.25. Analisi *Monte Carlo* V_{UNBAL} e I_{CENBAT} al variare di V_{OFF} , $ENABLE = ON$ (*SPICE*)

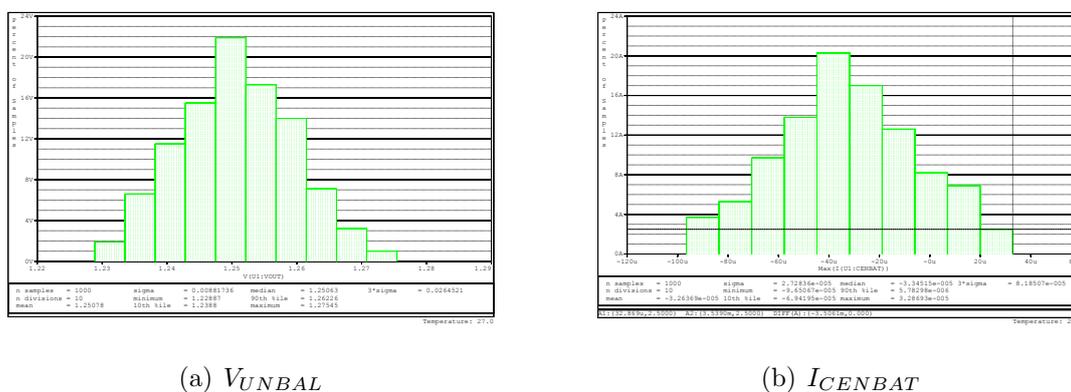


Figura 5.26. Analisi *Monte Carlo* istogrammi di V_{UNBAL} e I_{CENBAT} con $V_{OFF} = 0V$, $ENABLE = ON$ (*SPICE*)

Ad esempio quando $V_{OFF} = 0V$ si ha una deviazione standard σ di circa 8.8mV

su V_{UNBAL} e di soli $27\ \mu\text{A}$ su I_{CENBAT} , istogrammi in figura 5.26. Esportando i dati ottenuti su *MATLAB*, con lo script B.3 creato appositamente, è possibile avere un grafico della deviazione standard σ al variare della tensione di sbilanciamento, figura 5.27.

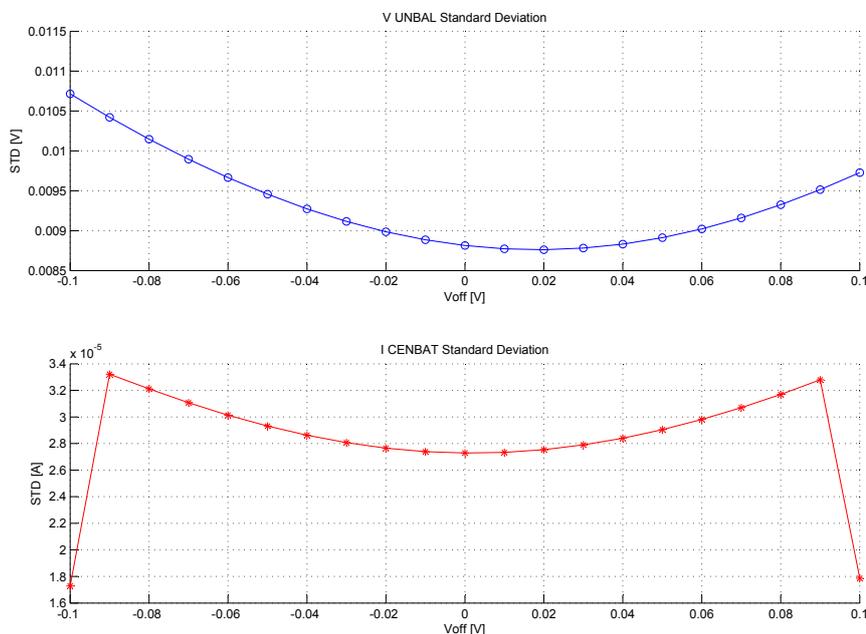


Figura 5.27. Deviazione standard σ al variare di V_{OFF} , $ENABLE = ON$ (*MATLAB*)

Quando $V_{OFF} = 0\text{V}$ i risultati ottenuti con *MATLAB* sono identici a quelli ricavati dal simulatore *SPICE*. Inoltre sono soddisfacenti, in quanto la tensione di uscita e la corrente, per tutto lo sbilanciamento, sono comprese in un intervallo rispettivamente di pochi mV e poche decine μA .

5.5.2 $ENABLE=OFF$

Quando il segnale $ENABLE$ è OFF , sebbene il dispositivo *Battery_Equalizer* sia disattivato, si continua a misurare la tensione di sbilanciamento delle celle; al contrario la corrente di bilanciamento deve essere nulla, in modo da non scaricare inutilmente la batteria. Con il circuito in figura 5.28 sono fatte le stesse simulazioni *SPICE* del precedente caso con $ENABLE = ON$.

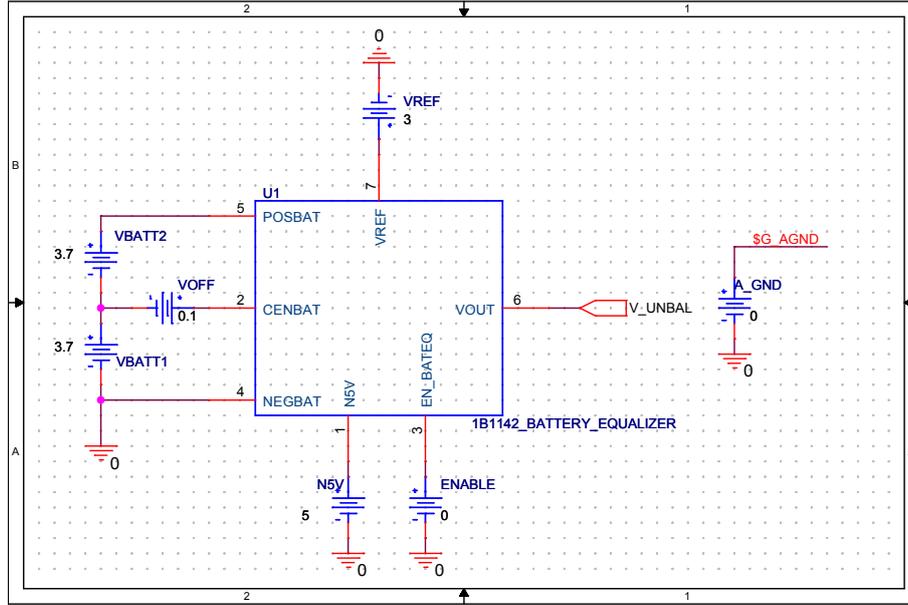


Figura 5.28. Schematic simulazione 1B1142_Battery_Equalizer, $ENABLE = OFF$ (SPICE)

V_{UNBAL}

La tensione di uscita V_{UNBAL} , figura 5.29, ha lo stesso andamento del caso precedente. Inoltre essendo la corrente di bilanciamento quasi nulla, non c'è l'errore dovuto alla caduta di tensione sul transistor M9:

$$V_{UNBAL} = \begin{cases} 0.249 \text{ V} & \text{con } V_{OFF} = -100 \text{ mV} \\ 1.250 \text{ V} & \text{con } V_{OFF} = 0 \text{ mV} \\ 2.225 \text{ V} & \text{con } V_{OFF} = 100 \text{ mV} \end{cases} \quad (5.54)$$

I_{CENBAT}

Al contrario la corrente I_{CENBAT} , quando il dispositivo è disabilitato, deve essere pressocchè nulla. L'andamento riportato figura 5.30 mostra che la corrente assume, su tutta la dinamica di V_{OFF} , un valore medio di circa $40 \mu\text{A}$. Considerando la capacità nominale delle celle di 2200 mA h , allora per scaricare completamente una cella con questa corrente di circa $40 \mu\text{A}$ servono:

$$tempo = \frac{2200 \text{ mA h}}{40 \mu\text{A}} = 55000\text{h} \approx 2290\text{d} \quad (5.55)$$

Circa 6.27 anni, un valore superiore al tempo di vita del satellite.

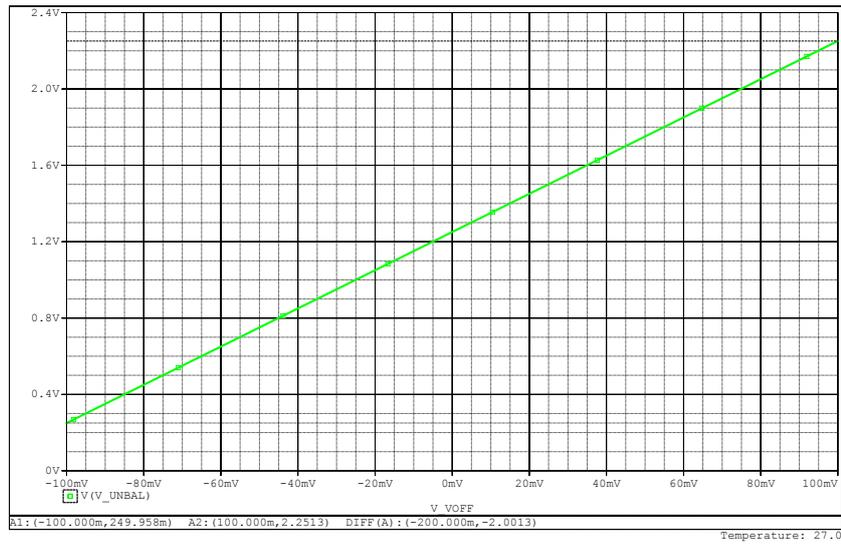


Figura 5.29. V_{UNBAL} al variare di V_{OFF} , $ENABLE = OFF$ (SPICE)

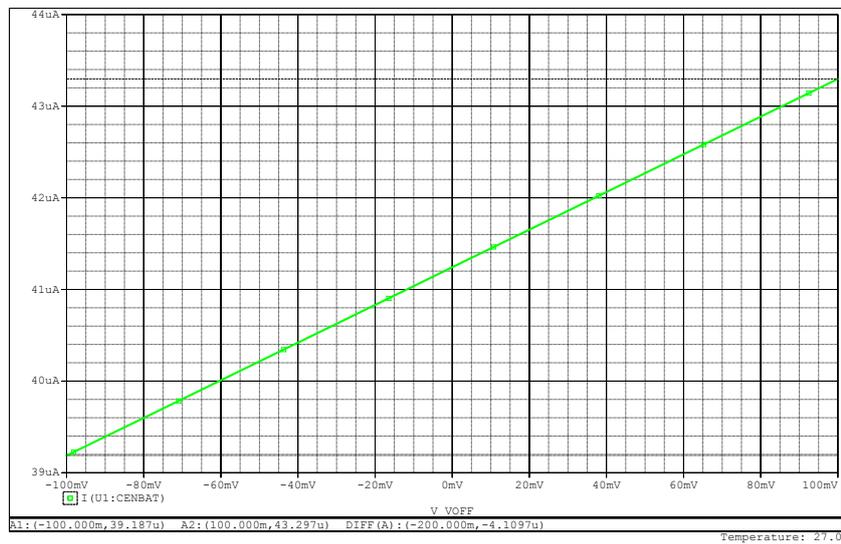


Figura 5.30. I_{CENBAT} al variare di V_{OFF} , $ENABLE = OFF$ (SPICE)

5.5.3 Temperatura

I grafici della tensione di uscita V_{UNBAL} e della corrente I_{CENBAT} , al variare della temperatura, sono riportati rispettivamente in figura 5.31 e figura 5.32. Con la

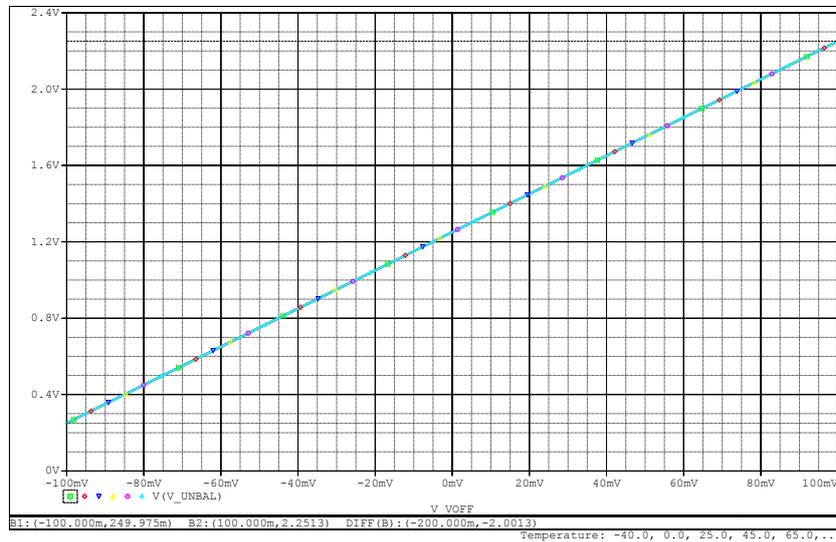


Figura 5.31. V_{UNBAL} al variare di V_{OFF} e della temperatura, $ENABLE = OFF$ (SPICE)

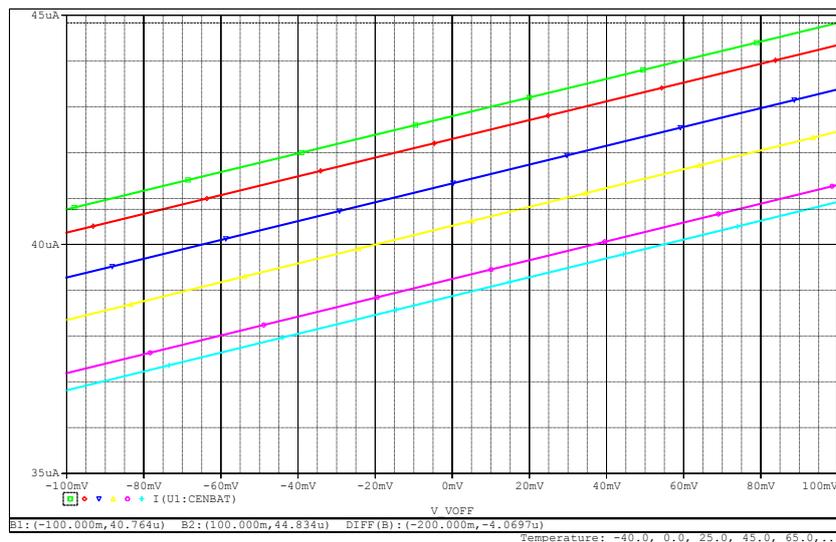


Figura 5.32. I_{CENBAT} al variare di V_{OFF} e della temperatura, $ENABLE = OFF$ (SPICE)

temperatura non si apprezzano notevoli cambiamenti e di conseguenza i risultati sono considerati positivi.

Monte Carlo

Infine è presentata anche per il caso $ENABLE = OFF$ l'analisi *SPICE* di tipo *Monte Carlo* con 1000 prove e distribuzione uniforme sui valori delle resistenze. I risultati in figura 5.33 mostrano come la tolleranza dei resistori non influisce in maniera significativa sulla tensione di uscita e sulla corrente di sbilanciamento.

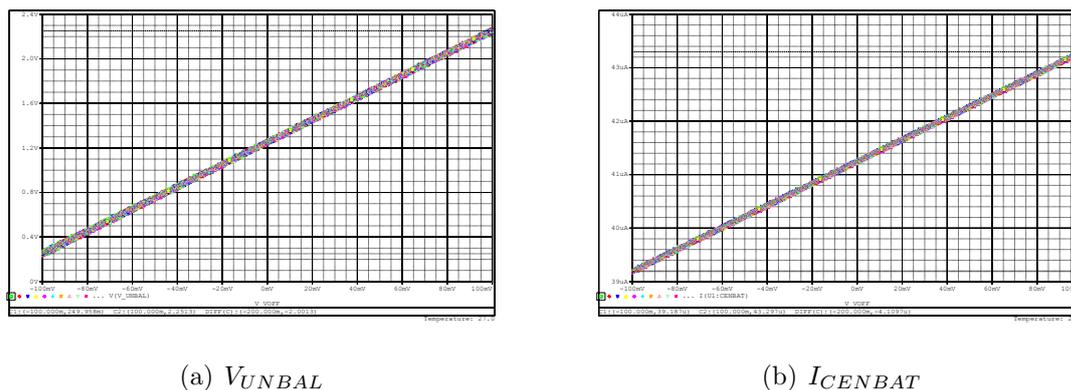


Figura 5.33. Analisi *Monte Carlo* V_{UNBAL} e I_{CENBAT} al variare di V_{OFF} , $ENABLE = OFF$ (*SPICE*)

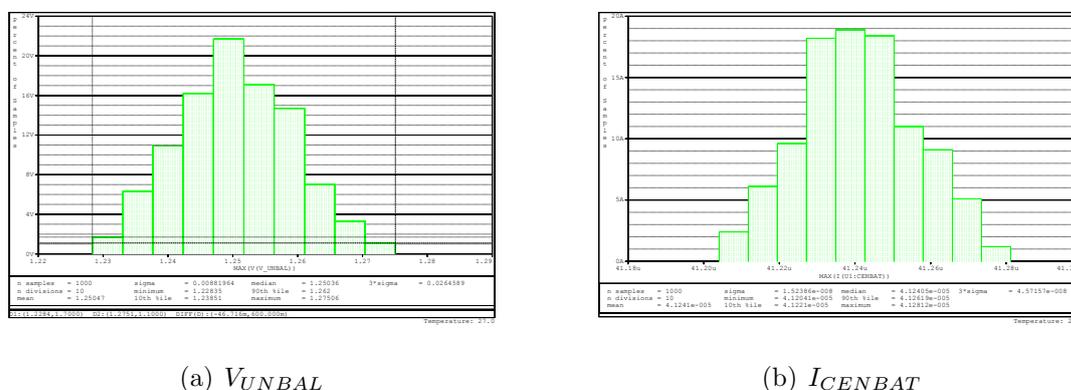


Figura 5.34. Analisi *Monte Carlo* istogrammi di V_{UNBAL} e I_{CENBAT} con $V_{OFF} = 0V$, $ENABLE = OFF$ (*SPICE*)

Inoltre quando $V_{OFF} = 0V$ si ha una deviazione standard σ di circa $8.8mV$ su V_{UNBAL} e $15nA$ su I_{CENBAT} , istogrammi in figura 5.34.

Esportando i dati ottenuti con lo script *MATLAB* già usato in precedenza si ottiene il grafico della deviazione standard σ al variare della tensione di sbilanciamento, figura 5.35.

I risultati sono ritenuti soddisfacenti in quanto la tensione di uscita e la corrente di bilanciamento, in tutte le prove, sono comprese in un intervallo rispettivamente di pochi mV e poche decine nA.

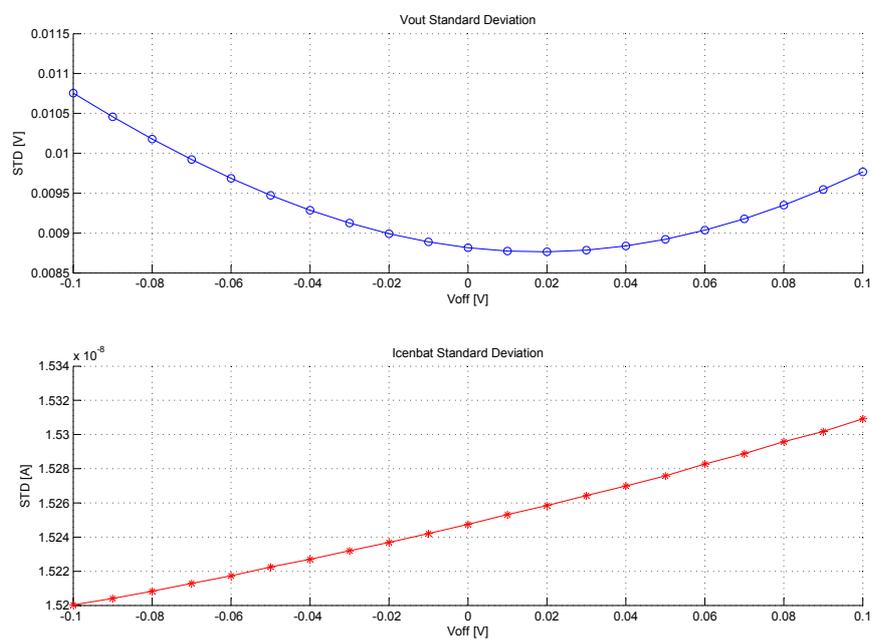


Figura 5.35. Deviazione standard σ al variare di V_{OFF} , $ENABLE = OFF$ (MATLAB)

5.6 UML Diagram

In questa sezione sono riassunte le specifiche finali del dispositivo e sono riportati i diagrammi *UML* di *Visual Paradigm*.

5.6.1 Specifiche

Nella tabella 5.6 sono indicate le specifiche per il dispositivo *1B1142_Battery_Equalizer* ed in particolare i valori della corrente I_{CENBAT} e della tensione V_{UNBAL} quando è abilitato oppure disattivo.

<i>ENABLE</i>	Nome	$V_{OFF} = -100 \text{ mV}$	$V_{OFF} = 0 \text{ V}$	$V_{OFF} = 100 \text{ mV}$
<i>ENABLE = ON</i>	V_{UNBAL}	0.264 V	1.251 V	2.236 V
	$\sigma_{V_{UNBAL}}$	10.7 mV	8.8 mV	9.7 mV
	I_{CENBAT}	-3.55 mA	-31.66 μA	3.55 mA
	$\sigma_{I_{CENBAT}}$	17.5 μA	27 μA	18 μA
<i>ENABLE = OFF</i>	V_{UNBAL}	0.249 V	1.250 V	2.225 V
	$\sigma_{V_{UNBAL}}$	10.7 mV	8.8 mV	9.7 mV
	I_{CENBAT}	39.2 μA	41.2 μA	43.3 μA
	$\sigma_{I_{CENBAT}}$	15.2 nA	15.25 nA	15.3 nA

Tabella 5.6. Specifiche finali per *1B1142_Battery_Equalizer*

5.6.2 Class Diagram

In figura 5.36 è riportato il *Class Diagram* di *1B1142_Battery_Equalizer* ottenuto con *Visual Paradigm*.

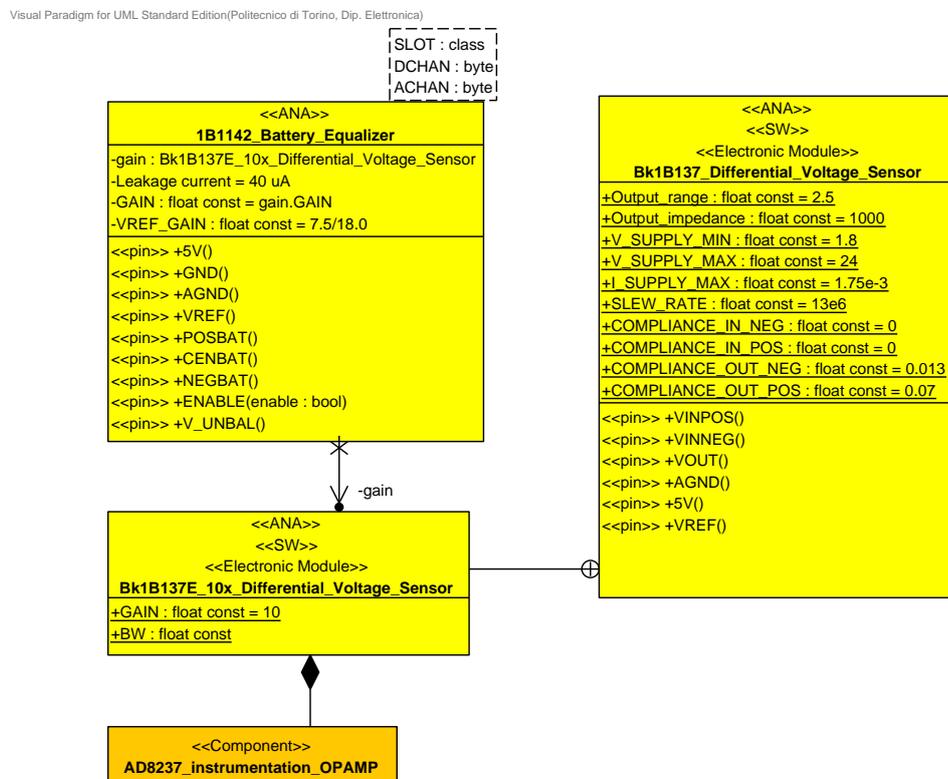


Figura 5.36. *Class Diagram 1B1142_Battery_Equalizer (Visual Paradigm)*

Capitolo 6

1B115A_ Shunt_Overvoltage_Protection

In questo capitolo è descritto in maniera approfondita il progetto del circuito per il dispositivo *1B115A_Shunt_Overvoltage_Protection*, riportandone la descrizione e le simulazioni.

Il dispositivo *1B115A_Shunt_Overvoltage_Protection* ha una duplice funzione: deve dissipare in calore (*Active Shunt*), attraverso resistori di shunt, l'energia in eccesso prodotta dai pannelli solari e deve limitare (*Overvoltage Protection*) la tensione sul *Power Distribution Bus (PDB)* quando questa supera una determinata soglia.

In particolare lavora come *Active Shunt* quando con tensioni sul bus comprese tra 16.5 V e 17.5 V assorbe una corrente con caratteristica *I-V* lineare; per valori minori di 16.5 V la corrente è circa nulla e per tensioni maggiori di 17.5 V è circa costante. Al contrario si comporta da *Overvoltage Protector* se presenta per tensioni sul bus comprese tra 17.5 V e 18.5 V una caratteristica corrente-tensione lineare; mentre per valori minori di 17.5 V la corrente è circa nulla e per tensioni maggiori di 18.5 V è circa costante.

Nella tabella 6.1 è riportata una breve descrizione dei pin di *I/O* del dispositivo.

Nome	Tipo	Descrizione
<i>PDB</i>	POWER	Bus <i>PDB</i> .
<i>ENABLE_SHUNT</i>	IN	Seleziona la modalità: <i>ON</i> per <i>Active Shunt</i> , <i>OFF</i> per <i>Overvoltage Protection</i> . Logica <i>TTL</i> .
<i>CURRENT</i>	OUT	Misura della corrente assorbita da <i>1B115A</i> .
<i>GND</i>	POWER	Riferimento 0 V.

Tabella 6.1. Segnali I/O *1B115A_Shunt_Overvoltage_Protection*

6.1.1 Descrizione

Il circuito è composto da i seguenti elementi fondamentali:

- Un amplificatore operazionale *LM4250* U17 a cui è connesso sul pin *Quiescent Current Set* un resistore da $3.3\text{ M}\Omega$;
- Otto transistori bipolari *BJT npn ZXTN2031*, collegati in parallelo;
- Otto resistori di shunt da $33\ \Omega$, collegati sugli emettitori dei rispettivi transistor;
- Otto resistori di shunt da $270\ \Omega$, collegati sui collettori dei rispettivi transistor;
- Quattro resistori da $4.7\text{ M}\Omega$, collegati ognuno in parallelo ad un emettitore;
- Un resistore da $25\text{ k}\Omega$ R44 collegato in serie al parallelo dei quattro resistori da $4.7\text{ M}\Omega$;
- Quattro resistori da $10\text{ k}\Omega$, collegati ognuno in parallelo agli emettitori rimanenti;
- Un transistor *n-MOS RTF015N03* Q9;
- Un diodo Zener *MMBZ5222BLT1G* D3.

Il circuito è quindi composto da otto rami collegati in parallelo, ognuno dei quali formato da un transistor *npn*, un resistore di collettore da $270\ \Omega$ ed un resistore di emettitore da $33\ \Omega$. In parallelo a quattro di questi otto rami è presente un resistore da $4.7\text{ M}\Omega$. L'uscita *CURRENT* è una media della corrente che passa nei resistori da $10\text{ k}\Omega$ collegati ognuno ad uno dei quattro rami rimanenti ed è misurata dal convertitore analogico digitale (*ADC*) del processore.

Questa particolare configurazione, di tipo ridondante, è scelta in quanto permette di usare componenti con specifiche più rilassate, infatti la corrente di shunt che scorre su ogni ramo è $1/8$ di quella totale I_{shunt} .

Da quanto detto sopra, dunque, si può ipotizzare che gli otto rami del circuito siano assimilabili ad un solo ramo complessivo composto da un grande transistor *BJT npn* con una resistenza equivalente di collettore da $270/8\ \Omega$, una di emettitore da $33/8\ \Omega$ ed in parallelo una resistenza equivalente di valore $4.7/4\text{ M}\Omega$.

Il sistema è inoltre retroazionato: l'amplificatore operazionale confronta una tensione prelevata dall'uscita, proporzionale alla corrente di shunt, con una tensione V_X di valore $PDB - V_{Zener}$ e pilota il transistor bipolare *npn*. Si noti che con il resistore $R37 = 100\text{ k}\Omega$ il diodo Zener risulta polarizzato inversamente.

A seconda dello stato del transistor *BJT* il circuito retroazionato lavora in tre fasi distinte; in particolare quando è in:

1. **Interdizione**, il transistor è spento e la corrente è nulla; non viene quindi assorbita corrente dal bus *PDB*.

2. **Regione Attiva Diretta (RAD)**, il transistor è un amplificatore e dal bus *PDB* viene assorbita una corrente I_{shunt} positiva¹, proporzionale alla corrente di base.
3. **Saturazione (SAT)**, il transistor è un interruttore chiuso e dal bus *PDB* viene assorbita una corrente I_{MAX} in prima approssimazione costante ed uguale alla massima corrente del caso precedente.

Ricordando le definizioni date nel capitolo riguardante il *Power Distribution Bus* ed in particolare figura 3.9, la prima fase corrisponde allo stato **DISABLED**, la seconda fase imposta la caratteristica I - V lineare, mentre l'ultima fase corrisponde alla zona con corrente massima.

Per comprendere il modo con cui il dispositivo seleziona la modalità *Overvoltage Protection* o la modalità *Active Shunt*, si ridisegna il circuito, figura 6.2, facendo delle ulteriori semplificazioni:

- Per comodità la tensione e la corrente del bus, *PDB* e I_{shunt} , sono chiamate rispettivamente V_B ed I_B . Mentre la tensione V_{Zener} bloccata dal diodo Zener è abbreviata con V_Z .
- La resistenza di collettore vale $R_c = 270/8 \Omega$;
- Si ipotizza che sulla resistenza di emettitore $R_e = 33/8 \Omega$ scorra tutta la corrente I_B ;
- La resistenza $R_2 = 1.2 \text{ M}\Omega$ è la somma dei resistori $4.7/4 \text{ M}\Omega + 25 \text{ k}\Omega$;
- I resistori connessi tra il nodo dell'emettitore e l'uscita *CURRENT* sono trascurati;
- La tensione sul morsetto positivo dell'operazionale U17 è $V_B - V_Z$ e deve essere uguale alla tensione sul nodo X .

Si noti che il transistor Q9 quando è abilitato è un corto circuito, mentre quando è disabilitato assorbe una piccola corrente di perdita, I_{leak} che in questa sezione è trascurata.

Applicando a questo circuito semplificato il teorema di Millman sul nodo X ed ipotizzando che il transistor bipolare lavori in RAD; quando il segnale *ENABLE_SHUNT* è basso il dispositivo è in *Overvoltage Protection* e si ha la seguente relazione:

$$\frac{\frac{R_e/8 I_{B,over}}{R_2} + \frac{V_{B,over}}{R_4}}{\frac{1}{R_2} + \frac{1}{R_3} + \frac{1}{R_4}} = V_X = V_{B,over} - V_Z \quad (6.1)$$

Che riscritta diventa:

$$I_{B,over} = \frac{R_2}{R_e/8} \left(V_{B,over} \left(\frac{1}{R_2} + \frac{1}{R_3} \right) - V_Z \left(\frac{1}{R_2} + \frac{1}{R_3} + \frac{1}{R_4} \right) \right) \quad (6.2)$$

¹Si ricorda che la corrente è considerata positiva quando è entrante.

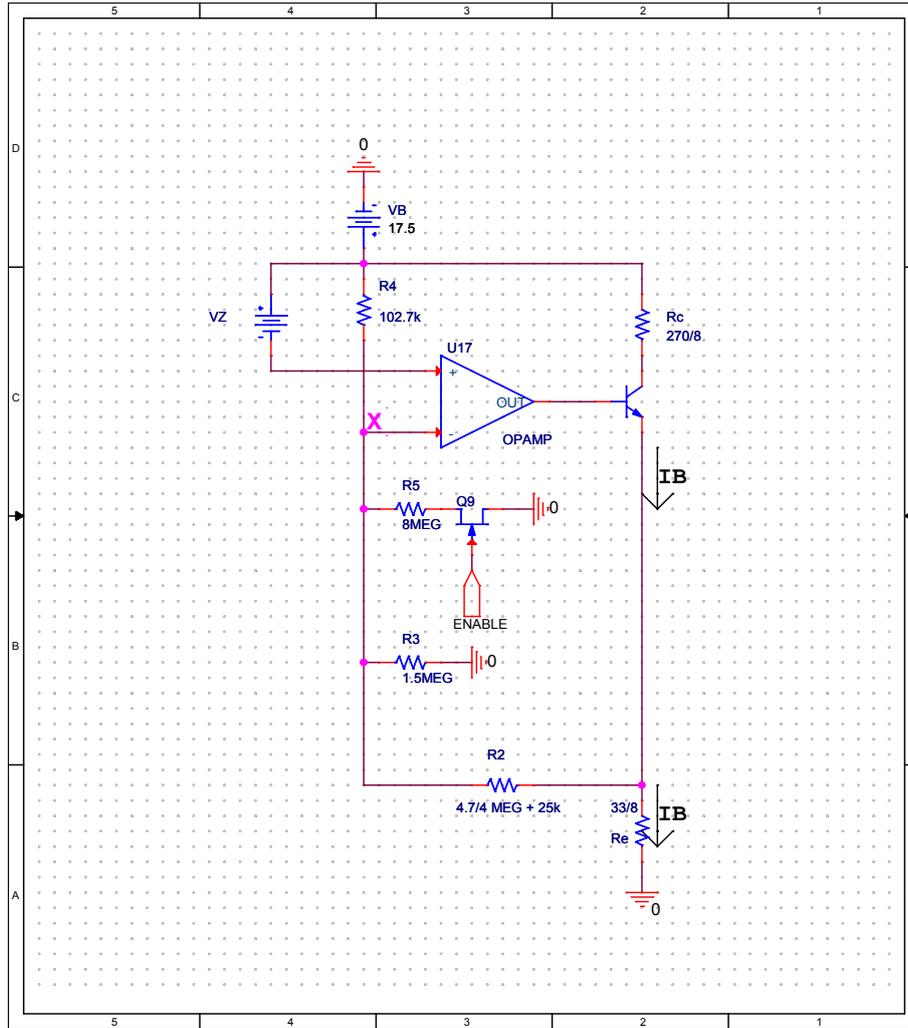


Figura 6.2. Circuito Semplificato Primo Prototipo (Cadence)

Al contrario quando l'*n*-MOS Q9 è acceso, il circuito è in modalità *Active Shunt* ed applicando il teorema di Millman si ottiene:

$$\frac{\frac{R_c/8I_{B,shunt}}{R_2} + \frac{V_{B,shunt}}{R_4}}{\frac{1}{R_2} + \frac{1}{R_3 \parallel R_5} + \frac{1}{R_4}} = V_X = V_{B,shunt} - V_Z \quad (6.3)$$

Che diventa:

$$I_{B,shunt} = \frac{R_2}{R_c/8} \left(V_{B,shunt} \left(\frac{1}{R_2} + \frac{1}{R_3 \parallel R_5} \right) - V_Z \left(\frac{1}{R_2} + \frac{1}{R_3 \parallel R_5} + \frac{1}{R_4} \right) \right) \quad (6.4)$$

In pratica modificando il valore della resistenza complessiva connessa tra X e GND, la caratteristica *I-V* pur rimanendo lineare, viene traslata rispetto alla tensione del bus V_B a seconda della modalità corrispondente.

In entrambe le modalità il transistor complessivo *npn* passando dalla regione attiva diretta alla regione di saturazione diventa un corto circuito e sul bus scorre la massima corrente I_{MAX} . In questa situazione la relazione che lega la tensione del bus alla corrente assorbita vale:

$$I_{MAX} = \frac{V_B - V_{ce,sat}}{R_e/8 + R_c/8} \quad (6.5)$$

Dove $V_{ce,sat}$ è la caduta di tensione tra il collettore e l'emettitore del transistor quando è in saturazione; si presuppone sia bassa ed infatti nel datasheet dello *ZXTN2031* [11] è riportato un valore di circa 40 mV.

Si noti che quando il transistor lavora in saturazione la corrente assorbita non è costante, ma assume un valore proporzionale alla tensione del bus con pendenza $1/(R_e + R_c)$.

Infine uguagliando l'equazione 6.2 o 6.4 con l'equazione 6.5 è possibile ricavare il valore approssimato di tensione $V_{B,MAX}$, una specifica del progetto, in cui il *BJT* passa dalla zona RAD alla zona SAT. Ad esempio dall'equazione:

$$\frac{V_{B,MAX} - V_{ce,sat}}{R_e/8 + R_c/8} = \frac{R_2}{R_e/8} \left(V_{B,MAX} \left(\frac{1}{R_2} + \frac{1}{R_3} \right) - V_Z \left(\frac{1}{R_2} + \frac{1}{R_3} + \frac{1}{R_4} \right) \right) \quad (6.6)$$

È possibile calcolare il valore di $V_{B,MAX}$ per la modalità *Overvoltage Protection*, che da specifica deve valere circa 18.5 V.

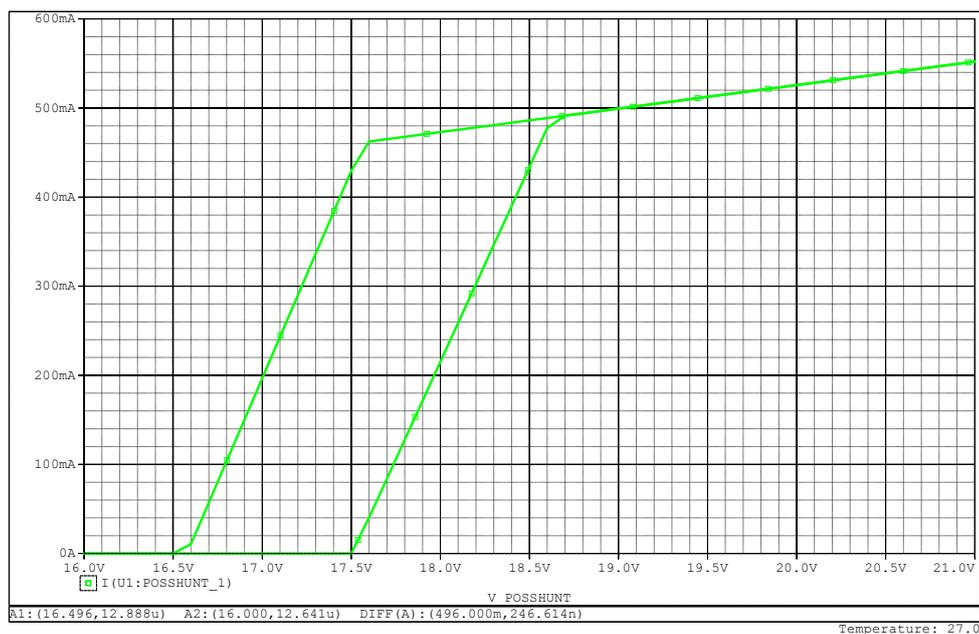
6.1.2 Simulazioni

In questa sezione si riporta una simulazione *SPICE* in cui si effettua un'analisi di tipo *SWEEP* annidato: la tensione *PDB* varia da 16 V a 21 V e contemporaneamente il segnale di *ENABLE_SHUNT* una volta "ON" ed un'altra "OFF". Si ottiene quindi il grafico in figura 6.3.

In modalità *Overvoltage Protection* la corrente di shunt comincia a crescere linearmente con la tensione a partire da 17.5 V ed arriva a 18.5 V con un valore di $I_{MAX,over} \approx 430$ mA. Oltre 18.5 V, come anticipato, la corrente continua a salire oltre il valore I_{MAX} ma con pendenza molto minore; in ogni caso per le specifiche finali il valore corretto è quello che assume a 18.5 V.

In modalità *Active Shunt* quando la tensione vale 16.5 V la corrente è ancora nulla; sale linearmente a partire da circa 16.6 V ed a 17.5 V raggiunge il valore $I_{MAX,shunt} \approx 430$ mA.

Da questa analisi sembrerebbe che il circuito rispetti le specifiche richieste; inoltre risulta che la tensione bloccata dallo Zener vale $V_{Zener} = 2.375$ V e che quando disabilitato l'*n-MOS* Q9 assorbe una corrente di leakage I_{leak} di circa 400 nA.

Figura 6.3. Caratteristica I - V Primo Prototipo ($SPICE$)

6.1.3 Problematiche

Sebbene la caratteristica I - V a primo impatto sembri corretta, nella realtà ci sono almeno due grossi problemi con questa configurazione: la prima riguarda il diodo Zener e la seconda la corrente di perdita dell' n -MOS Q9.

Diodo Zener

Il diodo Zener è usato come un regolatore di tensione e quando è polarizzato inversamente blocca ai suoi capi una tensione V_Z .

Il modello scelto è un *MMBZ5222BLT1G* che, dai parametri presenti nel datasheet[12], risulta avere una tensione inversa nominale $V_{Z,nom} = 2.5$ V, con valore minimo possibile $V_{Z,min} = 2.37$ V e valore massimo $V_{Z,MAX} = 2.63$ V, quando assorbe una corrente di 20 mA.

La tensione bloccata dallo Zener può quindi assumere qualsiasi valore V_Z nell'intervallo $[V_{Z,min}, V_{Z,MAX}]$ ed allora il circuito progettato deve funzionare correttamente con qualsiasi tra queste possibili V_Z .

Sostituendo nell'equazione 6.6 i valori delle resistenze e lasciando V_Z come parametro, si ottiene la relazione che lega la tensione V_Z alla tensione approssimata $V_{B,MAX}$, una specifica di progetto:

$$V_{B,MAX} \approx 7.97V_Z - 0.28 \text{ V} \quad (6.7)$$

Come mostrato in figura 6.4, quando V_Z è compresa nell'intervallo $[V_{Z,min}, V_{Z,MAX}]$, la tensione $V_{B,MAX}$, che da specifica dovrebbe valere circa 18.5 V, è in realtà compresa nell'intervallo $[18.5 \text{ V}, 20.75 \text{ V}]$.

Questo indica che il corretto funzionamento del circuito è fortemente influenzato dalla tolleranza della tensione V_Z bloccata dal diodo Zener.

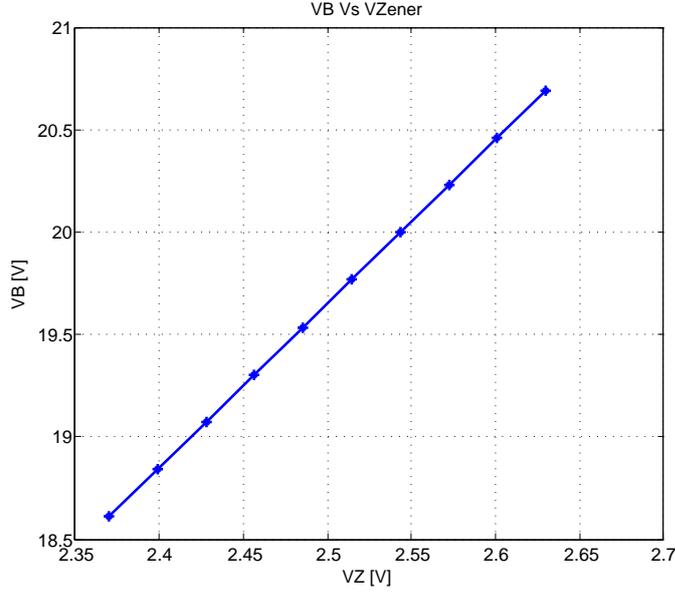


Figura 6.4. $V_{B,MAX}$ Vs V_{Zener} Primo Prototipo (MATLAB)

Per ovviare a questo problema nel prototipo finale è utilizzato un regolatore di tensione di precisione.

***n*-MOS Q9**

Idealmente nella modalità *Overvoltage Protection* l'interruttore Q9, un *n*-MOS *RTF015N03*, è un circuito aperto e la resistenza complessiva tra il nodo *X* e *GND* vale $R_3 = 1.5 \text{ M}\Omega$. Nella realtà l'*n*-MOS Q9 assorbe una corrente di perdita I_{leak} , diretta dal *Drain* verso il *Source*, che altera le prestazioni del sistema. Aggiungendo questo contributo le equazioni 6.1 ed 6.2 diventano:

$$\frac{\frac{R_e I_{B,over}}{R_2} + \frac{V_{B,over}}{R_4} - I_{leak}}{\frac{1}{R_2} + \frac{1}{R_3} + \frac{1}{R_4}} = V_X = V_{B,over} - V_Z \quad (6.8)$$

$$I_{B,over} = \frac{R_2}{R_e} \left(V_{B,over} \left(\frac{1}{R_2} + \frac{1}{R_3} \right) - V_Z \left(\frac{1}{R_2} + \frac{1}{R_3} + \frac{1}{R_4} \right) + I_{leak} \right) \quad (6.9)$$

Mentre l'equazione 6.7, quando $V_Z = 2.375 \text{ V}$, diventa:

$$V_{B,MAX} \approx 18.93 \text{ V} - 709.6 \text{ k}\Omega I_{leak} \quad (6.10)$$

Differenziando rispettivamente le equazioni 6.9 e 6.10 rispetto ad I_{leak} si ottengono le sensitivity:

$$\begin{cases} \frac{\partial I_B}{\partial I_{leak}} = \frac{R_2}{R_e} \approx 290 \times 10^3 \\ \frac{\partial V_{B,MAX}}{\partial I_{leak}} \approx 709 \text{ k}\Omega \end{cases} \quad (6.11)$$

Di cui la prima equazione indica quanto è sensibile la corrente assorbita alle variazioni della corrente di leakage del transistor; mentre la seconda rappresenta la sensibilità della tensione $V_{B,MAX}$ alle variazioni della corrente I_{leak} .

Sul datasheet del *MOS RTF015N03* [13], alla voce *Zero gate voltage drain current* I_{DSS} , è riportato un valore massimo di $1\ \mu\text{A}$, quando la tensione tra *Drain-Source* vale $V_{DS} = 30\ \text{V}$. Ad esempio ipotizzando che la corrente di leakage possa assumere qualsiasi valore tra 0 e $1\ \mu\text{A}^2$, allora la corrente di shunt I_B può variare di un fattore Δ_I compreso tra $0\ \text{A}$ e $290\ \text{mA}$, mentre la tensione $V_{B,MAX}$ di un fattore Δ_V compreso tra $0\ \text{V}$ e $790\ \text{mV}$, valori molto elevati che porterebbero il dispositivo a lavorare fuori specifica.

Da questa analisi quindi emerge che, per come è strutturato, il circuito è troppo sensibile alla corrente di perdita del *MOS Q9*; va quindi cercata una soluzione alternativa, tenendo presente che la principale causa di questa elevata sensibilità è la presenza di resistori dal valore molto elevato.

6.2 Definitivo

In figura 6.5 è riportato lo schema del prototipo definitivo per il sistema *1B115 -Shunt_Overvoltage_Protection*.

Le principali modifiche sono le seguenti:

- Il diodo *MMBZ5222BLT1G* è sostituito dal dispositivo *MAX6138A*, un *band-gap voltage reference* di precisione, con valore nominale di $2.5\ \text{V}$ [14] e tolleranza 0.1% ; di conseguenza la tensione bloccata ai suoi capi è compresa nell'intervallo $2.4975\ \text{V}$ e $2.5025\ \text{V}$. Inoltre per funzionare correttamente il *MAX6138A* ha bisogno di una corrente di polarizzazione compresa tra $60\ \mu\text{A}$ e $15\ \text{mA}$ ed il resistore R16 da $100\ \text{k}\Omega$ connesso tra il *MAX6138A* e *GND* è utilizzato per questo scopo;
- Il transistor Q9, ora diventato M7, è sempre il solito *RTF015N03* ma collegato in maniera differente: è in parallelo ad una resistenza complessiva da $233\ \text{k}\Omega$ ed entrambi sono in serie ad una resistenza complessiva da $1.38\ \text{M}\Omega$;
- La resistenza complessiva connessa tra il morsetto negativo dell'operazionale e *PDB* vale $113\ \text{k}\Omega$;
- Sul collettore di ogni *BJT* c'è un resistore da $270\ \Omega$;
- Sull'emettitore di ogni *BJT* c'è un resistore da $33\ \Omega$;
- Il resistore da $25\ \text{k}\Omega$ non è più presente.

²La corrente di perdita di un transistor *MOS* dipende da numerosi fattori tra cui la tensione V_{GS} , la tensione V_{DS} , la temperatura. È molto probabile quindi che la corrente I_{leak} appartenga a questo intervallo.

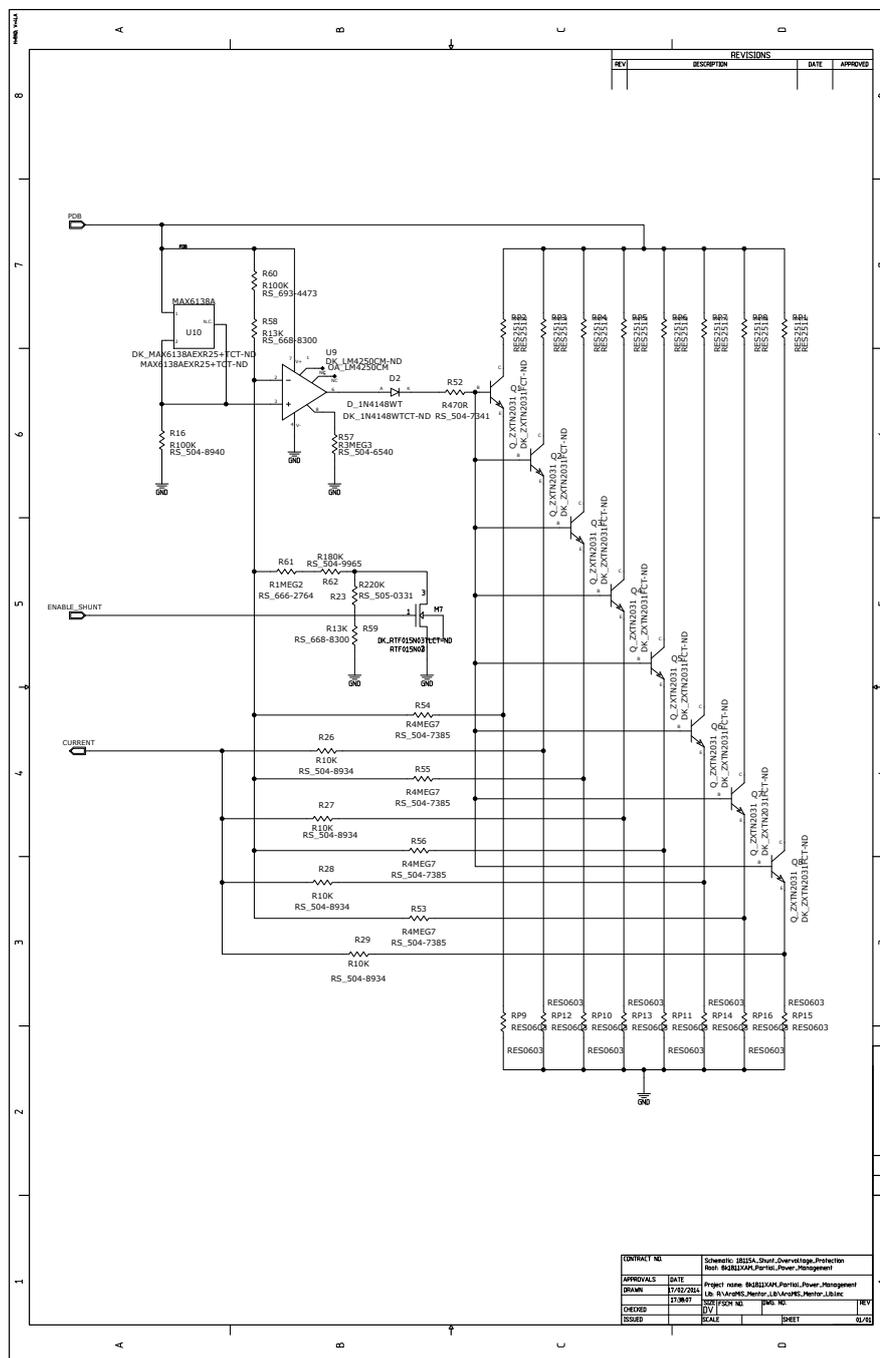


Figura 6.5. Schematic Definitivo 1B115A_Shunt_Overtoltage_Protection (Mentor)

6.2.1 Netlist SPICE

Di seguito è riportata la Netlist *SPICE* (6.2.1):

```

1 .SUBCKT 1B115A-Shunt_Overvoltage_Protection CURRENT ENABLE_SHUNT PDB
2 RXCMP2 XSIG010105 XSIG010033 RES1 470
3 RXCMP11 PDB C1 RES5 270
4 RXCMP12 PDB C2 RES5 270
5 RXCMP13 PDB C3 RES5 270
6 RXCMP14 PDB C4 RES5 270
7 RXCMP15 PDB C5 RES5 270
8 RXCMP16 PDB C6 RES5 270
9 RXCMP17 PDB C7 RES5 270
10 RXCMP18 PDB C8 RES5 270
11 QXCMP27 C1 XSIG010033 E1 ZXTN2031
12 QXCMP28 C2 XSIG010033 E2 ZXTN2031
13 QXCMP29 C3 XSIG010033 E3 ZXTN2031
14 QXCMP31 C5 XSIG010033 E5 ZXTN2031
15 QXCMP32 C6 XSIG010033 E6 ZXTN2031
16 QXCMP33 C7 XSIG010033 E7 ZXTN2031
17 QXCMP34 C8 XSIG010033 E8 ZXTN2031
18 RXCMP70 E6 CURRENT RES1 10K
19 RXCMP71 E4 CURRENT RES1 10K
20 RXCMP72 E2 CURRENT RES1 10K
21 RXCMP73 E8 CURRENT RES1 10K
22 RXCMP74 E1 0 RES1 33
23 RXCMP75 E2 0 RES1 33
24 RXCMP76 E3 0 RES1 33
25 RXCMP77 E4 0 RES1 33
26 RXCMP78 E5 0 RES1 33
27 RXCMP79 E6 0 RES1 33
28 RXCMP80 E7 0 RES1 33
29 RXCMP81 E8 0 RES1 33
30 RXCMP82 XSIG010136 E1 RES1 4.7MEG
31 RXCMP83 XSIG010136 E3 RES1 4.7MEG
32 RXCMP84 XSIG010136 E5 RES1 4.7MEG
33 RXCMP85 XSIG010136 E7 RES1 4.7MEG
34 RXCMP87 XSIG010160 0 RES1 100K
35 RXCMP91 XSIG010103 0 RES1 3.3MEG
36 IISRC1 0 NISRC1 0
37 IISRC2 0 NISRC2 0
38 XXCMP100 NISRC1 XSIG010136 XSIG010160 0 NISRC2 XSIG010104 PDB
39 + XSIG010103 LM4250
40 XXCMP101 XSIG010164 ENABLE_SHUNT 0 RTF015N03
41 DXCMP103 XSIG010104 XSIG010105 1n4148
42 RXCMP105 XSIG010141 XSIG010136 RES01 13K
43 RXCMP111 PDB XSIG010141 RES01 100K
44 XXCMP112 PDB XSIG010160 XSIG010160 MAX6138A
45 RXCMP113 XSIG010136 XSIG010163 RES01 1.2MEG
46 RXCMP114 XSIG010163 XSIG010164 RES1 180K
47 RXCMP115 XSIG010164 XSIG010166 RES1 220K
48 RXCMP116 XSIG010166 0 RES01 13K
49 XXCMP117 XSIG010160
50 XXCMP118 PDB
51 QXCMP120 C4 XSIG010033 E4 ZXTN2031
52 .ENDS

```

6.2.2 Descrizione

Da un'analisi *SPICE* è emerso che, quando spento (modalità *Overvoltage Protection*), l'*n*-MOS *RTF015N03* M7 assorbe una corrente di perdita I_{leak} direttamente proporzionale alla tensione *Drain-Source* applicata, figura 6.6; di conseguenza si può modellizzare il transistor attraverso una resistenza R_{off} di valore $30\text{ V}/1\text{ }\mu\text{A} = 30\text{ M}\Omega$.

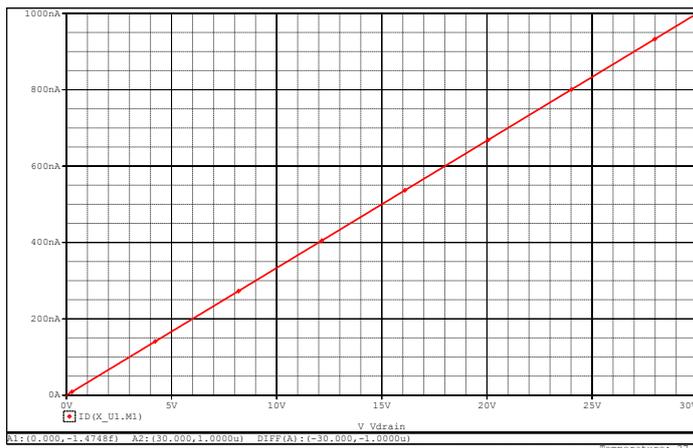


Figura 6.6. I_{leak} Vs V_{DS} *RTF015N03* (*SPICE*)

Ridisegnando il circuito come nel caso del primo prototipo e semplificandolo, si ottiene il circuito in figura 6.7.

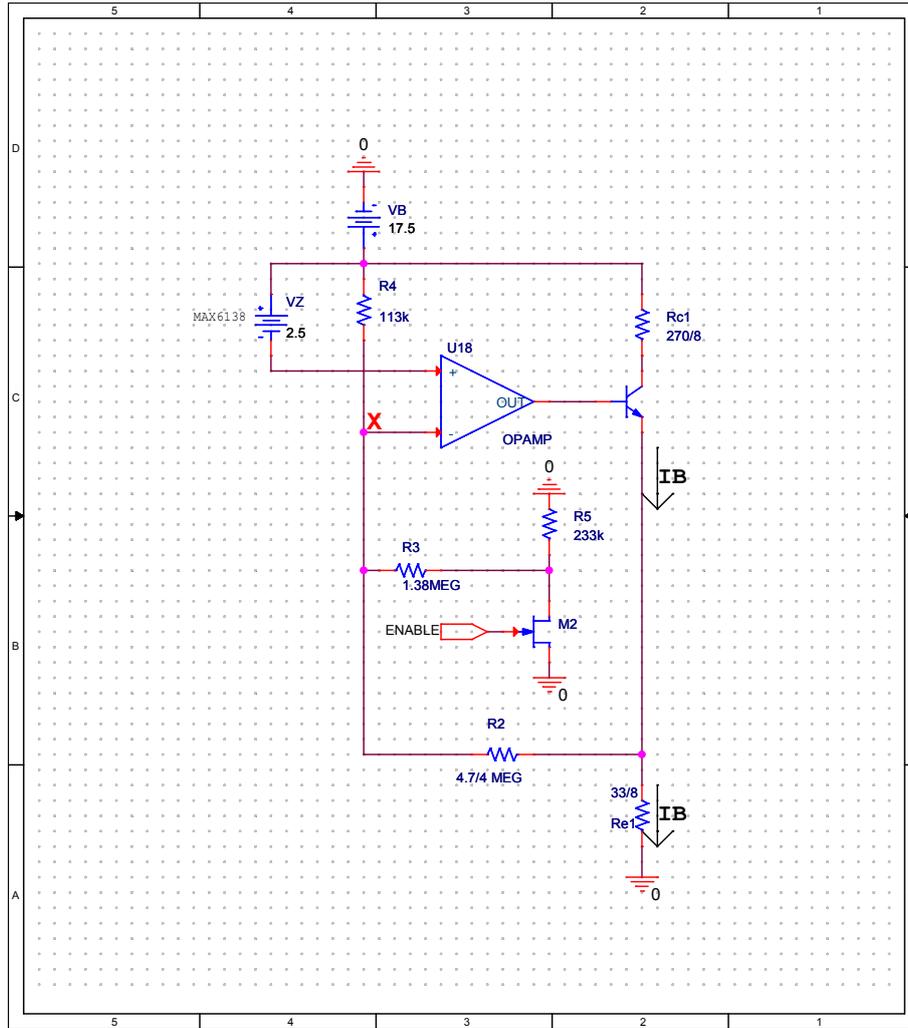
Applicando poi il teorema di Millman sul nodo *X* ed ipotizzando che il transistor *BJT* complessivo sia in RAD, per la modalità *Overvoltage Protection* si ottiene la seguente uguaglianza:

$$\frac{\frac{R_e/8I_B}{R_2} + \frac{V_B}{R_4}}{\frac{1}{R_2} + \frac{1}{R_3 + R_5 \parallel R_{off}} + \frac{1}{R_4}} = V_X = V_B - V_Z \quad (6.12)$$

Che riscritta diventa:

$$I_B = \frac{R_2}{R_e/8} \left(V_B \left(\frac{1}{R_2} + \frac{1}{R_3 + R_5 \parallel R_{off}} \right) - V_Z \left(\frac{1}{R_2} + \frac{1}{R_3 + R_5 \parallel R_{off}} + \frac{1}{R_4} \right) \right) \quad (6.13)$$

Al contrario in modalità *Active Shunt* il transistor M7 è un corto circuito ed

Figura 6.7. Circuito Semplificato Definitivo (*Cadence*)

applicando il teorema di Millman si ottiene la seguente equazione:

$$\frac{\frac{R_e/8 I_B}{R_2} + \frac{V_B}{R_4}}{\frac{1}{R_2} + \frac{1}{R_3} + \frac{1}{R_4}} = V_X = V_B - V_Z \quad (6.14)$$

Che riscritta diventa:

$$I_B = \frac{R_2}{R_e/8} \left(V_B \left(\frac{1}{R_2} + \frac{1}{R_3} \right) - V_Z \left(\frac{1}{R_2} + \frac{1}{R_3} + \frac{1}{R_4} \right) \right) \quad (6.15)$$

Infine la corrente massima di shunt che può assorbire il circuito si ha quando il *BJT* è in saturazione, come nel caso precedente, vale:

$$I_{MAX} = \frac{V_B - V_{ce,sat}}{R_e/8 + R_c/8} \quad (6.16)$$

6.2.3 Dimensionamento

Grazie alle equazioni ricavate nel precedente paragrafo è possibile dimensionare le resistenze R_c , R_e , R_2 , R_3 , R_4 ed R_5 .

R_c ed R_e

La corrente massima I_{MAX} teorica assorbita dal circuito si ottiene dall'equazione 6.16.

Ritenendo opportuno un valore di corrente di circa 500 mA e ricordando che in ogni ramo ne scorre 1/8, allora in modalità *Overvoltage Protection* si ha:

$$R_e + R_c = \frac{18.5 \text{ V}}{62.5 \text{ mA}} \approx 296 \Omega \quad (6.17)$$

Riguardo la potenza entrambi i resistori R_e ed R_c devono quindi poter dissipare, senza danneggiarsi, una potenza massima $P_i = RI^2$ con $I = 62.5 \text{ mA}$. Tra i vari resistori disponibili nel progetto *AraMiS* gli unici che soddisfano questi requisiti sono proprio quelli usati nel primo prototipo:

$$\begin{cases} R_e = 33 \Omega \pm 1 \% \\ R_c = 270 \Omega \pm 5 \% \end{cases} \quad (6.18)$$

Con questa scelta la potenza massima che i resistori devono dissipare vale:

$$\begin{cases} P_{R_e} \approx 0.13 \text{ W} \\ P_{R_c} \approx 1.05 \text{ W} \end{cases} \quad (6.19)$$

Mentre la massima corrente che viene assorbita in modalità *Overvoltage Protection* teoricamente vale $I_{MAX,over} \approx 488 \text{ mA}$.

R_2 , R_3 , R_4 ed R_5 .

A questo punto sono rimaste le altre quattro resistenze da dimensionare. Per quanto riguarda R_2 si sceglie di utilizzare la configurazione utilizzata nel primo prototipo: quattro resistori da $4.7 \text{ M}\Omega$ in parallelo, che corrispondono ad un valore di $R_2 = 1.175 \text{ M}\Omega$.

I valori di R_3 , R_4 ed R_5 sono ricavati impostando un sistema con tre equazioni e tre incognite:

1. In modalità *Active Shunt*, con la tensione del bus $V_B = 16.5 \text{ V}$ la corrente assorbita I_B è nulla;
2. In modalità *Active Shunt*, con la tensione del bus $V_B = 17.5 \text{ V}$ la corrente assorbita I_B è massima e vale $I_{MAX,shunt}$;
3. In modalità *Overvoltage Protection*, con la tensione del bus $V_B = 17.5 \text{ V}$ la corrente assorbita I_B è nulla.

Il valore di $I_{MAX,shunt}$, quando $V_B = 17.5 \text{ V}$, si ricava dall'equazione 6.16. Idealmente dovrebbe valere circa 462 mA, nella pratica si sceglie $I_{MAX,shunt} = 450 \text{ mA}$

per avere un pò di margine.

Dalle equazioni ricavate precedentemente con il teorema Millman si ottiene il seguente sistema:

$$\begin{cases} 0 = 16.5 \text{ V} \left(\frac{1}{R_2} + \frac{1}{R_3} \right) - 2.5 \text{ V} \left(\frac{1}{R_2} + \frac{1}{R_3} + \frac{1}{R_4} \right) \\ 0.45 = \frac{8R_2}{R_e} \left(17.5 \text{ V} \left(\frac{1}{R_2} + \frac{1}{R_3} \right) - 2.5 \text{ V} \left(\frac{1}{R_2} + \frac{1}{R_3} + \frac{1}{R_4} \right) \right) \\ 0 = \frac{8R_2}{R_e} \left(17.5 \text{ V} \left(\frac{1}{R_2} + \frac{1}{R_3 + R_5 \parallel R_{off}} \right) - 2.5 \text{ V} \left(\frac{1}{R_2} + \frac{1}{R_3 + R_5 \parallel R_{off}} + \frac{1}{R_4} \right) \right) \end{cases} \quad (6.20)$$

La cui unica soluzione è:

$$\begin{cases} R_3 \approx 1.372 \text{ M}\Omega \\ R_4 \approx 113 \text{ k}\Omega \\ R_5 \approx 233 \text{ k}\Omega \end{cases} \quad (6.21)$$

Dati questi valori teorici, con lo script *MATLAB* presente in appendice B.1, si sceglie la combinazione di resistori, tra quelli disponibili in *AraMiS*, che più si avvicina. Il risultato è il seguente:

$$\begin{cases} R_3 = 1.2 \text{ M}\Omega \pm 0.1 \% + 180 \text{ k}\Omega \pm 1 \% \\ R_4 = 100 \text{ k}\Omega \pm 0.1 \% + 13 \text{ k}\Omega \pm 0.1 \% \\ R_5 = 220 \text{ k}\Omega \pm 1 \% + 13 \text{ k}\Omega \pm 0.1 \% \end{cases} \quad (6.22)$$

6.2.4 Prestazioni

Nel primo prototipo i maggiori problemi sono causati dalla tolleranza della tensione bloccata dal diodo Zener e dall'effetto della corrente di leakage del transistor di abilitazione; per questi motivi nella versione definitiva il diodo Zener è sostituito da un *MAX6138A*, un *voltage reference* di precisione, con tolleranza 0.1 % ed il transistor M7 è piazzato in un altro modo.

MAX6138A

Il *voltage reference* *MAX6138A*, se polarizzato con una corrente compresa tra 60 μA e 15 mA, blocca ad i suoi capi una tensione $V_Z = 2.5 \text{ V} \pm 0.1 \%$, compresa nell'intervallo [2.4975 V; 2.5025 V].

Come nel caso precedente uguagliando l'equazione 6.12 con la 6.13 e l'equazione 6.14 con la 6.15, si ottiene il valore approssimato $V_{B,MAX}$, ossia la tensione per cui il dispositivo assorbe la massima corrente I_{MAX} .

Con i resistori scelti per la modalità *Active Shunt* si ha:

$$V_{B,MAX_{shunt}} \approx 7.03V_Z \quad (6.23)$$

Mentre per la modalità *Overvoltage Protection*:

$$V_{B,MAX_{over}} \approx 7.48V_Z \quad (6.24)$$

In figura 6.8 è riportato l'andamento di $V_{B,MAX}$ per entrambe le modalità, rispetto a V_Z . Si noti che l'aspetto più importante non è tanto il valore assoluto che assume

la tensione $V_{B,MAX}$, in quanto è ottenuto con delle approssimazioni; al contrario il dato significativo è che alla totale variazione della tensione V_Z corrisponde una piccola variazione della tensione $V_{B,MAX}$, rispettivamente di circa 35 mV per la modalità *Active Shunt* e di circa 37 mV per la modalità *Overvoltage Protection*.

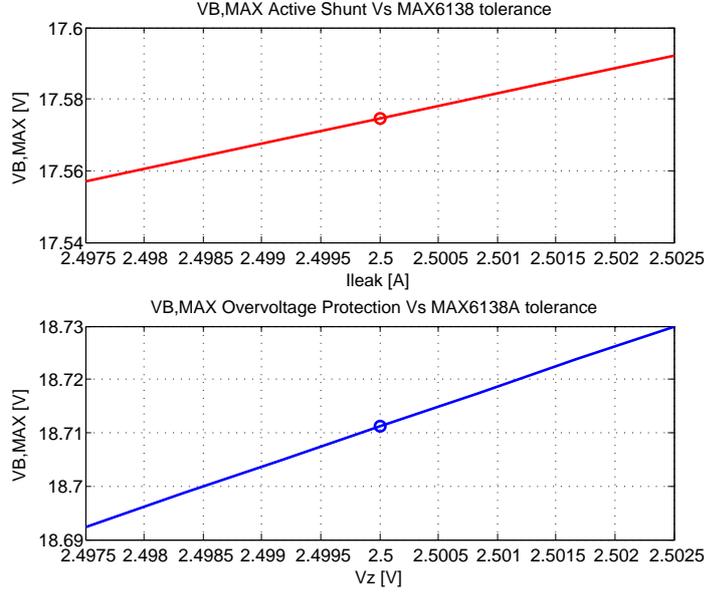


Figura 6.8. $V_{B,MAX}$ Vs V_{Zener} (MATLAB)

I risultati appena illustrati sono quindi ritenuti soddisfacenti.

n-MOS M7

Anche per quanto riguarda la corrente di leakage del transistor M7, il circuito risulta più robusto, come dimostrato di seguito.

Applicando in modalità *Overvoltage Protection* il teorema di Millman sul nodo X e lasciando il parametro I_{leak} al posto della resistenza R_{off} , si ottiene:

$$\frac{\frac{R_e/8I_B}{R_2} + \frac{V_B}{R_4} - \frac{R_5I_{leak}}{R_3 + R_5}}{\frac{1}{R_2} + \frac{1}{R_3 + R_5} + \frac{1}{R_4}} = V_B - V_Z \quad (6.25)$$

Riscrivendo la precedente uguaglianza si ottiene l'equazione per la corrente assorbita dal circuito:

$$I_B = \frac{R_2}{R_e/8} \left(V_B \left(\frac{1}{R_2} + \frac{1}{R_3 + R_5} \right) - V_Z \left(\frac{1}{R_2} + \frac{1}{R_3 + R_5} + \frac{1}{R_4} \right) + \frac{R_5I_{leak}}{R_3 + R_5} \right) \quad (6.26)$$

Con i resistori scelti quando $V_B = V_{B,MAX}$ allora $I_B = I_{MAX,shunt} = 0.45$ A e con $V_Z = 2.375$ V si ha:

$$V_{B,MAX} \approx 18.72 \text{ V} - 104.8 \text{ k}\Omega I_{leak} \quad (6.27)$$

Infine differenziando come nel caso precedente le equazioni 6.26 e 6.27 rispetto ad I_{leak} si ottengono le sensitivity della corrente assorbita I_B e della tensione $V_{B,MAX}$:

$$\begin{cases} \frac{\partial I_B}{\partial I_{leak}} = \frac{R_2}{R_e} \frac{R_5}{R_3 + R_5} \approx 41 \times 10^3 \\ \frac{\partial V_{B,MAX}}{\partial I_{leak}} \approx 104 \text{ k}\Omega \end{cases} \quad (6.28)$$

I valori ottenuti sono rispettivamente 7.07 e 6.81 volte più piccoli rispetto al primo prototipo.

Ad esempio ipotizzando, come nel caso precedente, che la corrente di leakage possa assumere qualsiasi valore tra 0 e 1 μA , allora la corrente assorbita I_B può variare di un fattore al massimo $\Delta = 41 \text{ mA}$, mentre la tensione $V_{B,MAX}$ di un fattore di circa $\Delta = 100 \text{ mV}$, che rientra nella specifica di tolleranza di 250 mV richiesta.

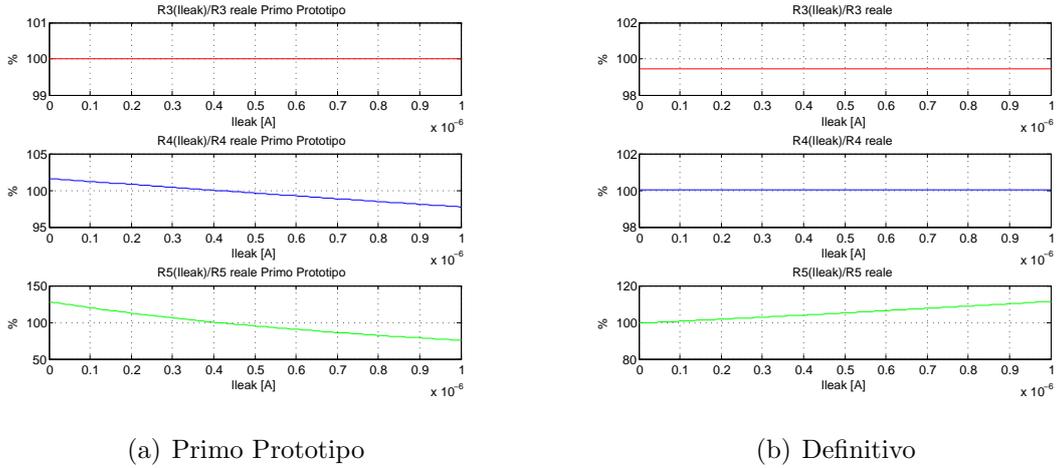


Figura 6.9. Valori normalizzati di R_3, R_4 ed R_5 al variare di I_{leak} (*MATLAB*)

Infine un ulteriore grande vantaggio dato da questa nuova configurazione riguarda i valori ideali di resistenza R_3 ed R_4 , che non dipendono più dalla corrente di perdita dell' n -MOS, mentre il valore di R_5 mostra ancora una dipendenza. In figura 6.9 è riportato un grafico che illustra i valori che dovrebbero teoricamente assumere i resistori R_3 , R_4 ed R_5 , normalizzati rispetto ai valori scelti, per bilanciare l'effetto di una possibile corrente di perdita che varia da 0 A a 1 μA , sia per il primo prototipo che per la versione definitiva.

6.3 Simulazioni

In questa sezione sono riportate le simulazioni *SPICE*.

A tal proposito si ricordano i valori dei resistori scelti con le relative tolleranze:

$$\begin{cases} R_e = 33 \Omega \pm 1 \% \\ R_c = 270 \Omega \pm 5 \% \\ R_3 = 1.2 \text{ M}\Omega \pm 0.1 \% + 180 \text{ k}\Omega \pm 1 \% \\ R_4 = 100 \text{ k}\Omega \pm 0.1 \% + 13 \text{ k}\Omega \pm 0.1 \% \\ R_5 = 220 \text{ k}\Omega \pm 1 \% + 13 \text{ k}\Omega \pm 0.1 \% \end{cases} \quad (6.29)$$

Nel circuito simulato, riportato in figura 6.10, la tensione sul bus *PDB* varia in un intervallo compreso tra 16 V e 20 V; mentre il segnale *ENABLE_SHUNT* vale 0 V per la modalità *Active Shunt* e 3.3 V per la modalità *Overvoltage Protection*. La resistenza da 2.5 k Ω sul pin *CURRENT* modella il convertitore *ADC* del processore.

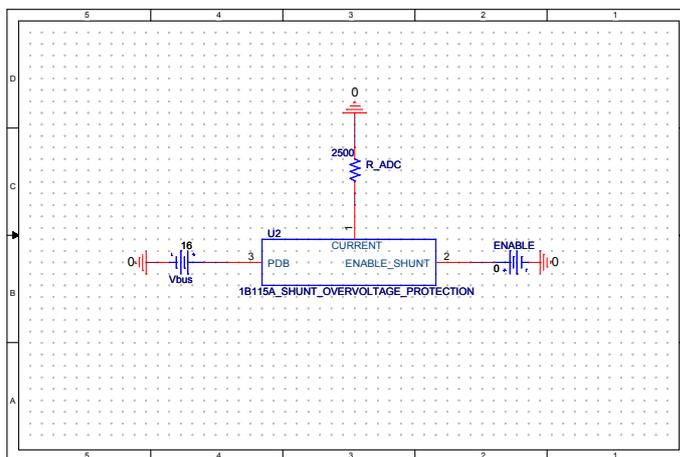


Figura 6.10. Circuito Simulazione Definitivo (*Cadence*)

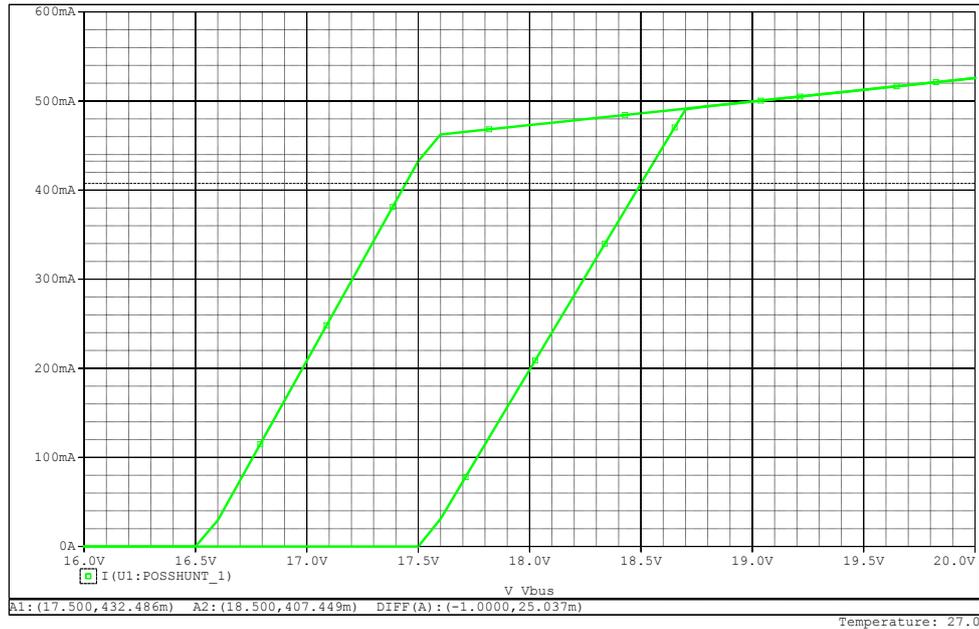
Caratteristica *I-V*

Per misurare la corrente assorbita dal dispositivo *1B115* si effettua un'analisi *SPICE* di tipo *DC* usando uno *SWEEP* annidato: si fa variare la tensione sul bus e contemporaneamente si simula il circuito con il segnale *ENABLE_SHUNT* una volta alto e una volta basso. In questo modo è possibile disegnare sul grafico l'andamento della corrente assorbita per entrambe le modalità.

In figura 6.11 sono riportati i risultati ottenuti.

Innanzitutto si nota che le caratteristiche *I-V* sono completamente lineari su tutta la dinamica richiesta ed oltre i valori di $V_{B,MAX}$ la corrente assorbita continua a crescere, come anticipato, ma con una pendenza di molto inferiore a quella della zona lineare.

In modalità *Active Shunt*, quando la tensione sul bus è $V_{B,MAX_{shunt}} = 17.5 \text{ V}$, la

Figura 6.11. Caratteristica I - V SPICE

corrente massima assorbita è $I_{MAX,shunt} = 432$ mA, che corrisponde ad una resistenza $R_{r,shunt} = \frac{1V}{I_{MAX}} \approx 2.30\Omega$; mentre in modalità *Overvoltage Protection*, quando la tensione sul bus è $V_{B,MAX_{over}} = 18.5$ V, la corrente massima assorbita è $I_{MAX,over} = 407$ mA, che corrisponde ad una resistenza $R_{r,over} = \frac{1V}{I_{MAX}} \approx 2.45\Omega$. I valori di corrente massima appena riportati rappresentano quindi una specifica del sistema *1B115A_Shunt_Overvoltage_Protection* progettato.

Infine per tensioni minori di 16.5 V per la modalità *Active Shunt* e 17.5 V per la modalità *Overvoltage Protection*, la corrente assorbita dal bus è di circa 13 μ A; abbondantemente minore del valore 100 μ A richiesto dalle specifiche.

Caratteristica I - V Monte Carlo

Con l'analisi di tipo *Monte Carlo* è possibile ripetere la simulazione precedente tenendo conto delle tolleranze sui resistori; inoltre è possibile stabilire se il circuito rispetta la specifica di tolleranza $\Delta V = \pm 250$ mV.

Il numero di *runs* della simulazione è 300 ed i valori assegnati ai resistori seguono una statistica di tipo uniforme.

In figura 6.12 è riportato il grafico ottenuto.

Per la modalità *Active Shunt*, il valore massimo nominale di corrente assorbita $I_{MAX,shunt} = 432$ mA è raggiunto in un intervallo di tensioni compreso tra 17.44 V e 17.56 V; allora $\Delta V = 60$ mV < 250 mV.

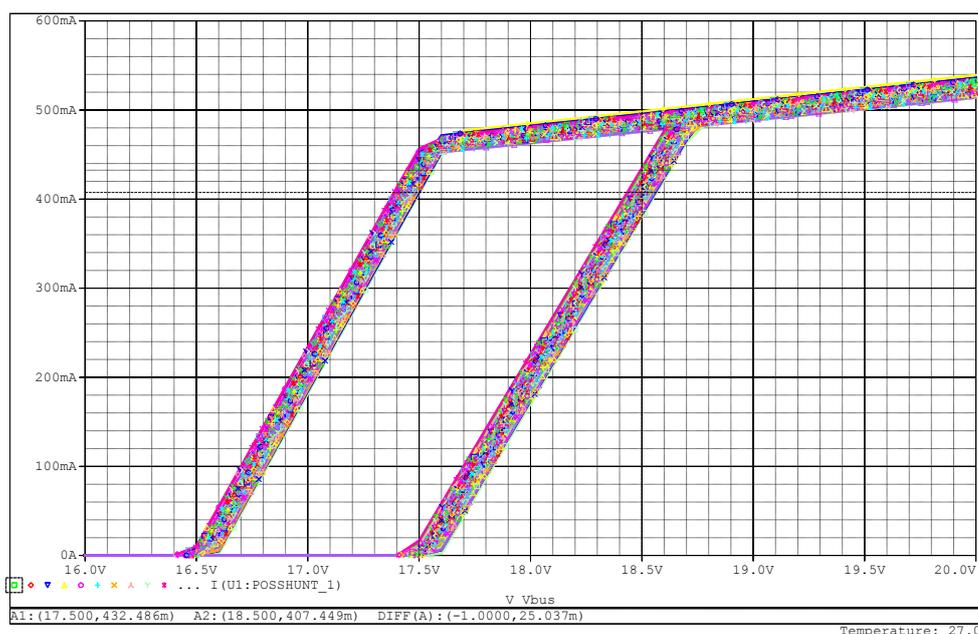


Figura 6.12. Analisi Monte Carlo Caratteristica I-V (SPICE)

Per la modalità *Overvoltage Protection*, il valore massimo nominale di corrente assorbita $I_{MAX,over} = 407 \text{ mA}$ è raggiunto in un intervallo di tensioni compreso tra 18.43 V e 18.57 V ; allora $\Delta V = 70 \text{ mV} < 250 \text{ mV}$.

Inoltre per entrambe le modalità la corrente assorbita è nulla per un intervallo di tensioni di circa $\Delta V = 100 \text{ mV} < 250 \text{ mV}$.

Infine si ripete la simulazione precedente ipotizzando che il dispositivo *MAX6138A* operi commettendo il massimo errore: $2.5 \text{ V} \pm 0.1 \%$; i risultati sono riportati in figura 6.13.

Anche in questo caso si intuisce che il sistema rispetta le specifiche di tolleranza. In conclusione essendo tutti i valori ΔV misurati minori di 250 mV si può affermare che in questa analisi il circuito rispetta le specifiche richieste.

Caratteristica I-V *Worst Case*

Il simulatore di *Cadence* permette anche di effettuare una analisi di tipo *Worst Case* in cui il valore di tutti componenti con tolleranza è impostato nel caso peggiore. Inoltre è possibile scegliere la direzione, *HIGH* o *LOW*, del *Worst Case*. Ad esempio dato un resistore con valore nominale $10 \text{ k}\Omega$ e tolleranza 1% , nel caso peggiore di tipo *HIGH* ha un valore di $10.1 \text{ k}\Omega$ mentre nel caso *LOW* ha un valore di $9.9 \text{ k}\Omega$.

Sebbene sia altamente improbabile che contemporaneamente tutti i dispositivi assumano il valore peggiore di tolleranza e che non sia necessariamente vero che il

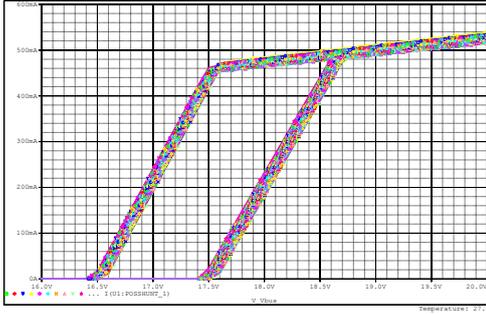
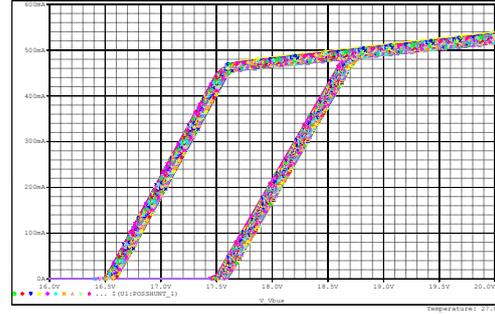
(a) $V_{Z,min} = 2.4975 \text{ V}$ (b) $V_{Z,MAX} = 2.5025 \text{ V}$

Figura 6.13. Analisi *Monte Carlo* Caratteristica *I-V* con $V_{Z,min}$ e $V_{Z,MAX}$ (SPICE)

massimo errore venga commesso quando questi dispositivi lavorano nel caso peggiore, in ogni caso il corretto funzionamento del circuito in questa situazione estrema è sicuramente indice di un sistema robusto.

Per entrambe le modalità i valori misurati della tensione $V_{B,MAX}$ nell'analisi *Worst Case*, riportati in tabella 6.2, rispettano le specifiche richieste sulla tolleranza.

$V_Z[V]$	Direzione	Active Shunt @0.432 A[V]	Overvoltage Protection @0.407 A[V]
2.5	HIGH	17.63	18.63
	LOW	17.38	18.36
2.4975	HIGH	17.59	18.61
	LOW	17.37	18.35
2.5025	HIGH	17.65	18.64
	LOW	17.40	18.38

Tabella 6.2. Valore di $V_{B,MAX}$ per entrambe le modalità

Caratteristica *I-V* Temperatura

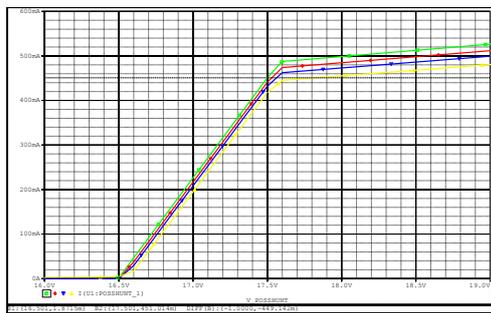
In questa analisi è simulato il funzionamento del dispositivo con le seguenti temperature $T = [-30; 0; 27; 70]^\circ\text{C}$.

Dai grafici riportati in figura 6.14 risulta che per la modalità *Active Shunt* la massima corrente $I_{MAX} = 0.432 \text{ A}$ si ha per un intervallo compreso tra 17.45 V e 17.55 V; mentre per la modalità *Overvoltage Protection* la massima corrente $I_{MAX} = 0.407 \text{ A}$ si ha per un intervallo compreso tra 18.45 V e 18.54 V.

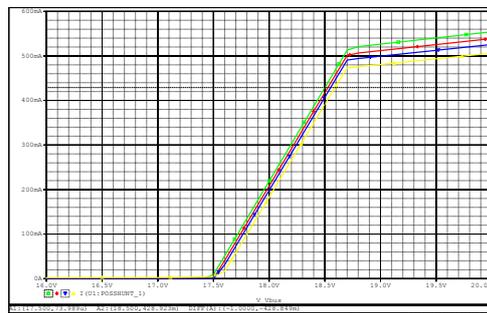
Il circuito dunque rispetta le specifiche richieste per un ampio range di temperature.

Corrente di polarizzazione *MAX6138A*

Come anticipato in precedenza il dispositivo *MAX6138A* per funzionare correttamente deve assorbire una corrente di polarizzazione I_{bias} compresa tra 60 μA e 15 mA. Dai risultati riportati in figura 6.15 emerge che ciò è sempre verificato.



(a) Active Shunt



(b) Overvoltage Protection

Figura 6.14. Caratteristica I - V al variare della Temperatura (SPICE)

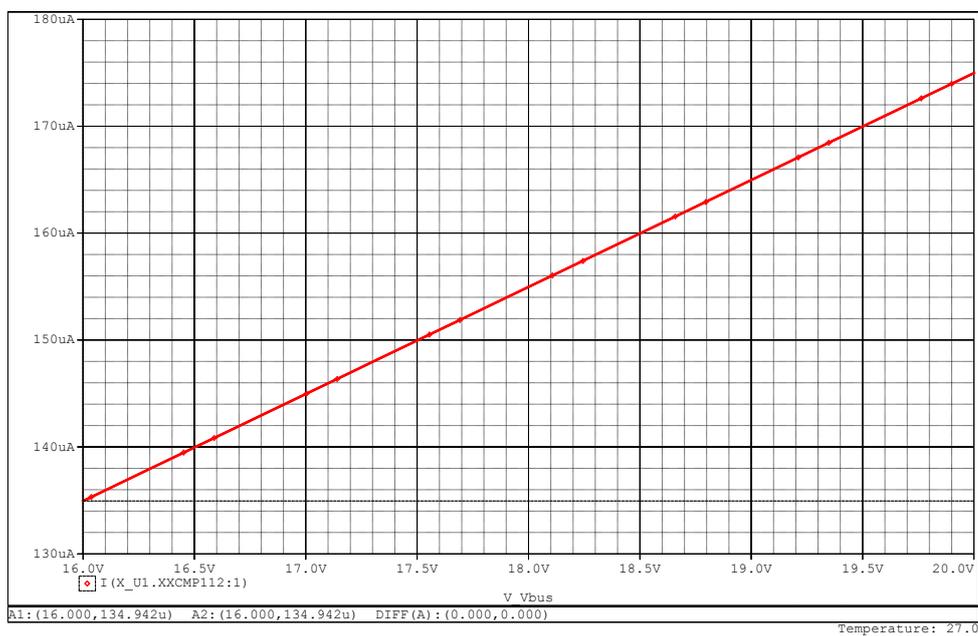


Figura 6.15. I_{bias} MAX6138A (SPICE)

6.4 UML Diagram

In questa sezione sono riassunte le specifiche finali del dispositivo *1B115_Shunt_Overvoltage_Protection* e sono riportati i diagrammi *UML* di *Visual Paradigm*.

6.4.1 Specifiche

Le specifiche finali del dispositivo *1B115A_Shunt_Overvoltage_Protection* sono elencate di seguito.

Active Shunt

Con il segnale *ENABLE_SHUNT* alto il dispositivo *1B115* lavora in modalità *Active Shunt*, con la seguente caratteristica lineare *I-V*:

$$I = \frac{V - V_r}{R_r} \quad (6.30)$$

In cui:

$$\begin{cases} 16.5 \text{ V} \leq V \leq 17.5 \text{ V} \\ 0 \leq I \leq 1.07 I_{MAX} \\ V_r = 16.5 \text{ V} \pm \Delta_{nom} \\ R_r = \frac{0.93 \text{ V}}{I_{MAX}} \approx 2.30 \Omega \end{cases} \quad (6.31)$$

Dove $I_{MAX} = I_{MAX,over} = 407 \text{ mA}$ e $\Delta_{nom} = \pm 60 \text{ mV}$.

Overvoltage Protection

Con il segnale *ENABLE_SHUNT* basso il dispositivo *1B115* lavora in modalità *Overvoltage Protection*, con la seguente caratteristica lineare *I-V*:

$$I = \frac{V - V_r}{R_r} \quad (6.32)$$

In cui:

$$\begin{cases} 17.5 \text{ V} \leq V \leq 18.5 \text{ V} \\ 0 \leq I \leq I_{MAX} \\ V_r = 17.5 \text{ V} \pm \Delta_{nom} \\ R_r = \frac{1 \text{ V}}{I_{MAX}} \approx 2.45 \Omega \end{cases} \quad (6.33)$$

Dove $I_{MAX} = I_{MAX,over} = 407 \text{ mA}$ e $\Delta_{nom} = \pm 70 \text{ mV}$.

6.4.2 Class Diagram

Nella seguente figura, 6.16, è riportato il *Class Diagram* di *1B115A_Shunt_Overvoltage_Protection*.

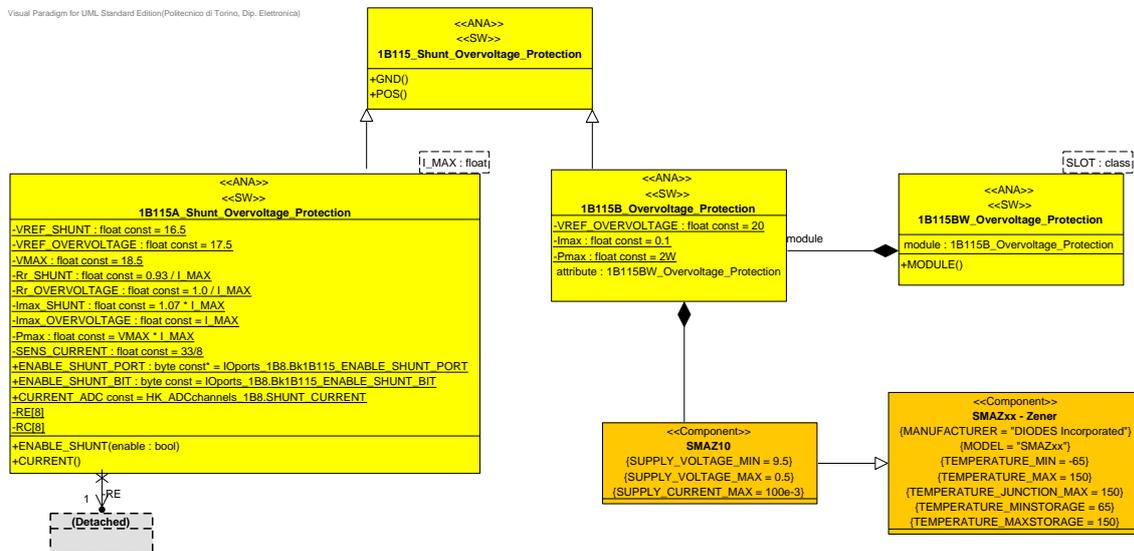


Figura 6.16. *Class Diagram 1B115_Shunt_Overvoltage_Protection (Visual Paradigm)*

Capitolo 7

Bk1B11XAM_ Partial_Power_Management

Bk1B11XAM_Partial_Power_Management è il sistema che raggruppa i dispositivi per la gestione delle batterie ad eccezione del caricatore¹. Lo schema circuitale è riportato in figura 7.1.

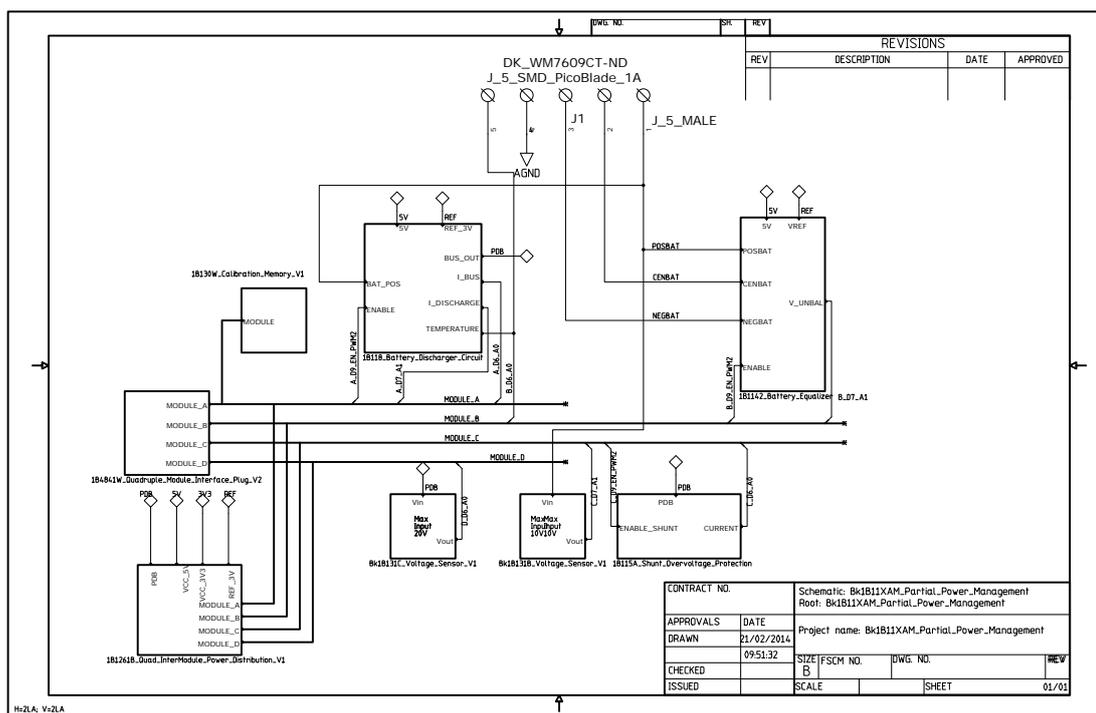


Figura 7.1. *Bk1B11XAM_Partial_Power_Management* Schematic (Mentor)

¹Il dispositivo carica-batteria, assente in questo sistema, è sviluppato nell'*1B113_Batter_Charger_Circuit*.

Il **Bk1B11XAM.Partial.Power.Management** è composto dai dispositivi già descritti, *1B1142* e *1B115A*, più altri sotto-sistemi. È strutturato come segue:

- **1B115A.Shunt.Overvoltage.Protection**, il dispositivo che lavora in modalità *Active Shunt* o *Overvoltage Protection*.
- **Bk1B131C.Voltage.Sensor.V1**, un semplice sensore di tensione con $V_{IN,MAX} = 20\text{ V}$.
- **Bk1B131B.Voltage.Sensor.V1**, un semplice sensore di tensione con $V_{IN,MAX} = 10\text{ V}$.
- **1B130W.Calibration.Memory.V1**, una memoria *one-wire* per calibrare le batterie.
- **1B4841W.Quadruple.Module.Interface.Plug.V2**, un connettore quadruplo da 20x4 pin.
- **1B1261B.Quad.InterModule.Power.Distribution.V1**, dei fili che collegano tra loro i pin di potenza dei quattro connettori in modo da distribuire equamente la corrente.
- **J.5.SMD.PicoBlade.1A**, un connettore *MOLEX* da 5 pin.
- **1B1142.Battery.Equalizer**, il dispositivo che corregge lo sbilanciamento delle celle, al cui interno è presente:
 - **Bk1B137E.Differential.Voltage.Sensor**, un sensore di tensione differenziale.
- **1B118.Battery.Discharger.Circuit**, un convertitore *DC-DC* di tipo *BOOST*, composto da:
 - **1B133A.Temperature.Sensor.V1**, un semplice sensore di temperatura.
 - **1B118.PWM.Driver**, un driver *PWM* per pilotare l'interruttore del *BOOST*.
 - **1B121C.Load.Switch.V1**, un interruttore per abilitare il *BOOST*.
 - **1B132C.Current.Sensor**, un sensore di corrente con $I_{MAX} = 2.5\text{ A}$.
 - **1B132B.Current.Sensor**, un sensore di corrente con $I_{MAX} = 1.25\text{ A}$.

7.0.3 Segnali e Netlist SPICE

Il connettore quadruplo utilizzato è composto da 4 distinti *moduli A,B,C* e *D* e per ogni modulo sono a disposizione solo due pin a cui connettere i segnali analogici di *I/O*. Nella tabella 7.1 sono riportati i segnali di *I/O* del dispositivo.

Nome	Tipo	Descrizione
<i>POSBAT</i>	IN	Tensione positiva batteria.
<i>CENBAT</i>	IN	Tensione centrale batteria.
<i>NEGBAT</i>	IN	Tensione negativa batteria.
<i>D8_ID</i>	DIGITAL IN	Segnale per memoria <i>one wire</i> .
<i>A_Ref</i>	POWER	Riferimento 3 V.
<i>A_5V</i>	POWER	Alimentazione 5 V.
<i>A_D9_EN_PWM2</i>	DIGITAL IN	Abilita <i>1B118</i> .
<i>A_D7_A1</i>	ANALOG OUT	Misura corrente della batteria.
<i>A_D6_A0</i>	ANALOG OUT	Misura corrente del <i>PDB</i> .
<i>A_PDB</i>	POWER	Bus <i>PDB</i> .
<i>B_D6_A0</i>	ANALOG OUT	Temperatura <i>1B118</i> .
<i>B_Ref</i>	POWER	Riferimento 3 V.
<i>B_5V</i>	POWER	Tensione alimentazione 5 V.
<i>B_D9_EN_PWM2</i>	DIGITAL IN	Abilita <i>1B1142</i> .
<i>B_D7_A1</i>	ANALOG OUT	Tensione di uscita <i>1B1142</i> .
<i>C_D9_EN_PWM2</i>	DIGITAL IN	Seleziona modalità <i>1B115A</i> .
<i>C_D7_A1</i>	ANALOG OUT	Tensione di uscita <i>Bk1B131B</i> .
<i>C_D6_A0</i>	ANALOG OUT	Misura corrente <i>1B115A</i> .
<i>C_PDB</i>	POWER	Bus <i>PDB</i> .
<i>D_D6_A0</i>	ANALOG OUT	Misura corrente <i>Bk1B131C</i> .

Tabella 7.1. Segnali I/O *Bk1B11XAM-Partial-Power-Management*

La *Netlist SPICE* è la seguente (7.0.3):

```

1 *
2 * Top-level circuit
3 *
4 *
5 X1B118.Battery_Disch1 N5V POSBAT PDB A_D9.EN.PWM2 A_D6.A0 A_D7.A1 REF
6 +   B.D6.A0 1B118.Battery_Discharger.Circuit
7 X1B1142.Battery_Equa2 N5V CENBAT B_D9.EN.PWM2 NEGBAT POSBAT B_D7.A1
8 +   REF 1B1142.Battery_Equalizer
9 X1B4841W.Quadruple_M1 A.PDB A.5V A.3V3 A.REF A_D0.RX.SOMI
10 +   A.D1.TX.SIMO A.D2.SCL.SOMI A.D3.SDA.SIMO A.D4.CLK A.D5.PWM
11 +   A.D6.A0 A.D7.A1 A.D8.ID A.D9.EN.PWM2 A.EXT1 A.EXT2 B.PDB B.5V
12 +   B.3V3 B.REF B.D0.RX.SOMI B.D1.TX.SIMO B.D2.SCL.SOMI
13 +   B.D3.SDA.SIMO B.D4.CLK B.D5.PWM B.D6.A0 B.D7.A1 B.D8.ID
14 +   B.D9.EN.PWM2 B.EXT1 B.EXT2 C.PDB C.5V C.3V3 C.REF C_D0.RX.SOMI
15 +   C.D1.TX.SIMO C.D2.SCL.SOMI C.D3.SDA.SIMO C.D4.CLK C.D5.PWM
16 +   C.D6.A0 C.D7.A1 C.D8.ID C.D9.EN.PWM2 C.EXT1 C.EXT2 D.PDB D.5V
17 +   D.3V3 D.REF D.D0.RX.SOMI D.D1.TX.SIMO D.D2.SCL.SOMI
18 +   D.D3.SDA.SIMO D.D4.CLK D.D5.PWM D.D6.A0 D.D7.A1 D.D8.ID
19 +   D.D9.EN.PWM2 D.EXT1 D.EXT2
20 +   1B4841W.Quadruple_Module_Interface_Plug_V2
21 X1B130W.Calibrat1 A.PDB A.5V A.3V3 A.REF A_D0.RX.SOMI A.D1.TX.SIMO
22 +   A.D2.SCL.SOMI A.D3.SDA.SIMO A.D4.CLK A.D5.PWM A.D6.A0 A.D7.A1
23 +   A.D8.ID A.D9.EN.PWM2 A.EXT1 A.EXT2 1B130W.Calibration_Memory_V1
24 XBk1B131B.Voltag2 POSBAT C_D7.A1 Bk1B131B.Voltage_Sensor_V1
25 XBk1B131C.Voltag2 PDB D.D6.A0 Bk1B131C.Voltage_Sensor_V1
26 XXCMP4 POSBAT CENBAT NEGBAT $G.AGND B.D6.A0 NO MODEL
27 X1B115A.Shunt_Overvo2 C.D6.A0 C.D9.EN.PWM2 PDB
28 +   1B115A.Shunt_Overvoltage_Protection
29 X1B1261B.Quad_InterM3 A.PDB A.5V A.3V3 A.REF A_D0.RX.SOMI
30 +   A.D1.TX.SIMO A.D2.SCL.SOMI A.D3.SDA.SIMO A.D4.CLK A.D5.PWM
31 +   A.D6.A0 A.D7.A1 A.D8.ID A.D9.EN.PWM2 A.EXT1 A.EXT2 B.PDB B.5V
32 +   B.3V3 B.REF B.D0.RX.SOMI B.D1.TX.SIMO B.D2.SCL.SOMI
33 +   B.D3.SDA.SIMO B.D4.CLK B.D5.PWM B.D6.A0 B.D7.A1 B.D8.ID
34 +   B.D9.EN.PWM2 B.EXT1 B.EXT2 C.PDB C.5V C.3V3 C.REF C_D0.RX.SOMI
35 +   C.D1.TX.SIMO C.D2.SCL.SOMI C.D3.SDA.SIMO C.D4.CLK C.D5.PWM
36 +   C.D6.A0 C.D7.A1 C.D8.ID C.D9.EN.PWM2 C.EXT1 C.EXT2 D.PDB D.5V
37 +   D.3V3 D.REF D.D0.RX.SOMI D.D1.TX.SIMO D.D2.SCL.SOMI
38 +   D.D3.SDA.SIMO D.D4.CLK D.D5.PWM D.D6.A0 D.D7.A1 D.D8.ID
39 +   D.D9.EN.PWM2 D.EXT1 D.EXT2 PDB REF N3V3 N5V
40 +   1B1261B.Quad_InterModule_Power_Distribution_V1
41 *
42 .END

```

7.0.4 UML Diagram

In figura 7.2 è riportato il *Class Diagram* del sistema *Bk1B11XAM*.

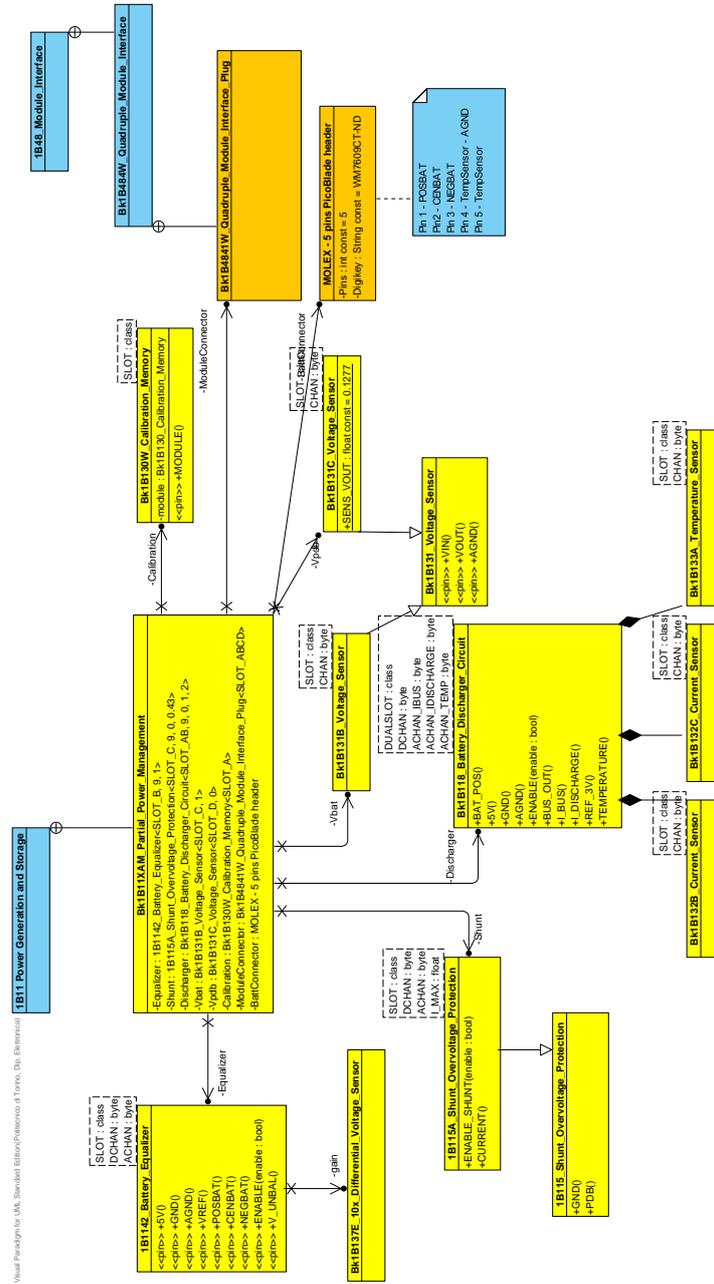


Figura 7.2. *Class Diagram Bk1B11XAM (Visual Paradigm)*

7.1 1B118_Battery_Discharger_Circuit

1B118_Battery_Discharger_Circuit, figura 7.3, è un convertitore switching *DC-DC* di tipo *BOOST*, utilizzato per collegare la batteria al bus *PDB*.

Si utilizza la tipologia *BOOST*, anche nota come *STEP-UP*, perchè la batteria, che ha una tensione nominale di circa 7.4 V, quando abilitata a generare potenza (*Battery Source*), deve fornire sul bus *PDB* una tensione di compresa tra circa 12.5 V e 13.5 V, maggiore quindi di quella nominale. Inoltre deve presentare una caratteristica *I-V* di tipo lineare, come riportato in figura 3.5.

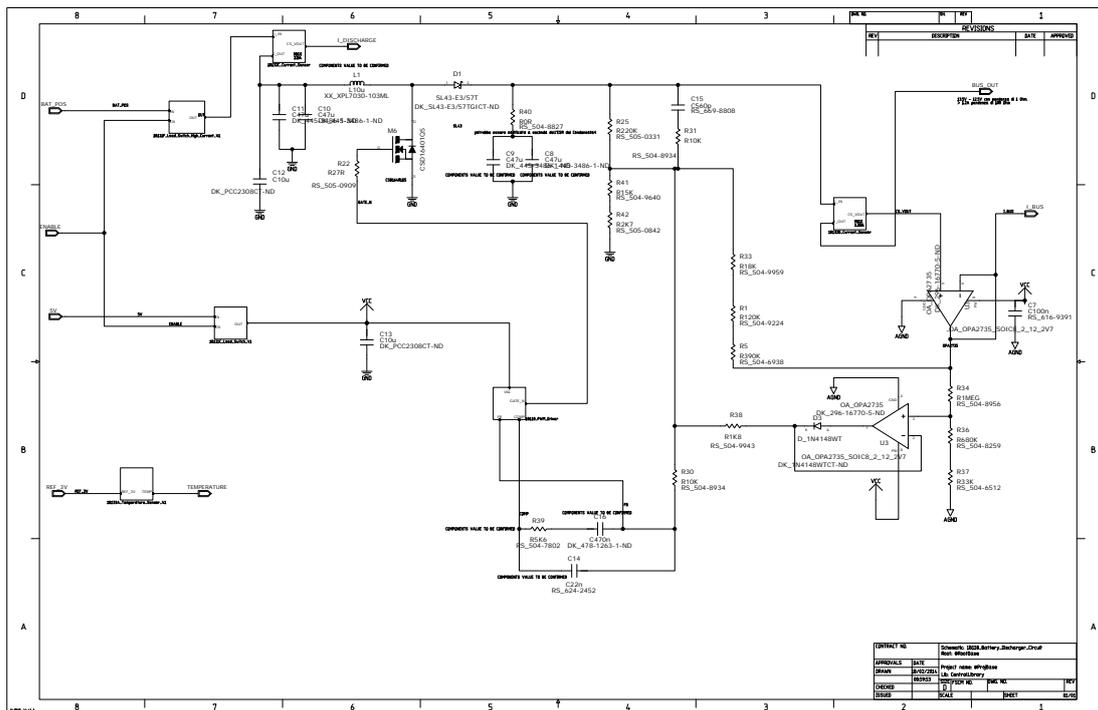


Figura 7.3. *1B118_Battery_Discharger_Circuit* Schematic (Mentor)

Il dispositivo *1B118* è un circuito retroazionato composto sostanzialmente da una parte di potenza e da una di controllo.

La prima è per lo più formata dall'induttore *L*, il *MOS* a canale *n*, il diodo ed il condensatore di uscita. Mentre con l'anello di controllo si preleva una campione della corrente di uscita tramite un *1B132X_Current_Sensor* ed un campione della tensione in uscita e si genera con il dispositivo *1B118_Pwm_Driver* un segnale ad onda quadra che pilota l'*n-MOS*.

Purtroppo per questo convertitore *BOOST 1B118*, già presente nel progetto *Ara-MiS*, non è possibile effettuare alcuna simulazione significativa e di conseguenza non sono apportate modifiche. Le cause principale sono la mancanza di modelli *SPICE* accurati dei dispositivi utilizzati nel *1B1181_Pwm_Driver* ed alcuni gravi problemi di convergenza numerica del simulatore.

7.1.1 1B132X_Current_Sensor

Il sensore di corrente *1B132X*, figura 7.4, è composto dal dispositivo *INA138* che genera sull'uscita *CS_VOUT* una tensione proporzionale alla corrente I_S che scorre sulla resistenza R_{50} .

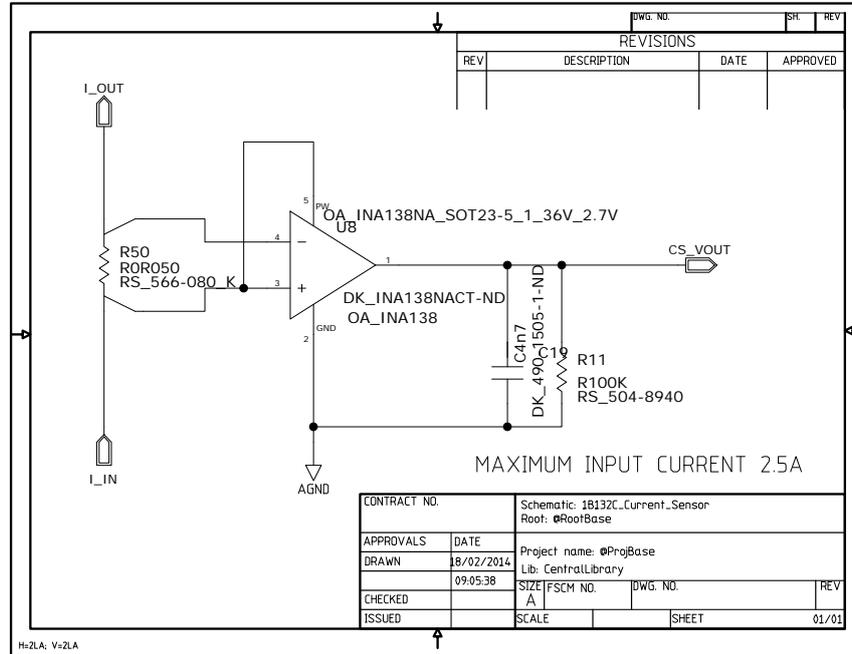


Figura 7.4. *1B132C_Current_Sensor* Schematic (Mentor)

In particolare la tensione di uscita vale:

$$CS_VOUT = (I_S)(R_{50})(g_m)(R_{11}) \quad (7.1)$$

Dove $g_m = 200 \mu\text{A V}^{-1}$ è la transconduttanza dell'*INA138* riportata sul datasheet[15]. Per la versione *1B132C* si ha $R_{50} = 50 \text{ m}\Omega$ ed $R_{11} = 100 \text{ k}\Omega$; mentre per la versione *1B132B* si ha $R_{50} = 100 \text{ m}\Omega$ ed $R_{11} = 100 \text{ k}\Omega$.

7.1.2 1B118_Pwm_Driver

1B118_Pwm_Driver, figura 7.5, è il dispositivo che genera il segnale per pilotare l'interruttore del *DC-DC BOOST 1B118*. È principalmente composto da un regolatore *PWM TL5001A* e da un driver di potenza *TPS2828*.

Il *TL5001A*[16], figura 7.6, è un controllore *PWM* che genera sull'uscita *OUT* un'onda quadra a frequenza f impostata tramite un resistore sul pin *RT*.

In ingresso è presente un amplificatore di errore che confronta dei campioni della tensione di uscita del *DC-DC* riportati sul pin *FB*, con una tensione di riferimento di 1 V. All'uscita di questo amplificatore è connesso il pin *COMP* che è utilizzato nella compensazione dell'anello di controllo per la stabilità del convertitore.

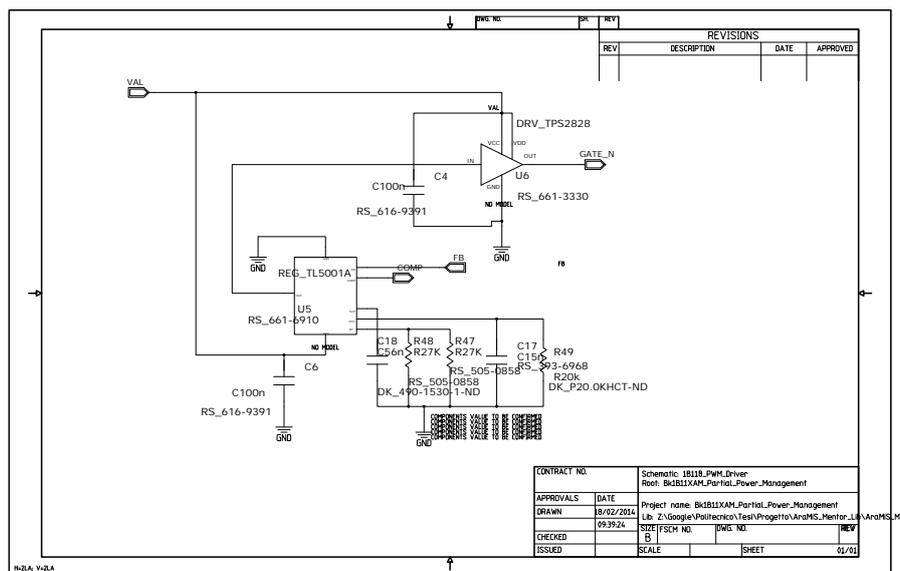


Figura 7.5. 1B118_Pwm_Driver Schematic (Mentor)

functional block diagram

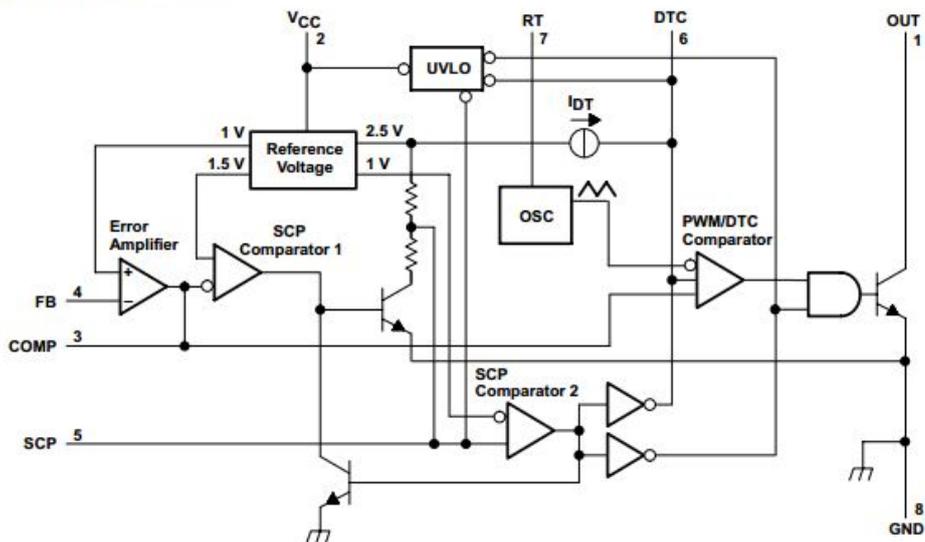


Figura 7.6. Diagramma a blocchi TL5001A

Il *PWM/DTC Comparator* confronta l'uscita dell'amplificatore di errore con un'onda triangolare a frequenza f generata dall'oscillatore *OSC* e spegne il transistor di uscita quando l'onda triangolare è maggiore dell'altro ingresso.

I restanti pin sono usati per la protezione dai corto circuiti (*SCP*), per la protezione da abbassamenti repentini della tensione di alimentazione (*UVLO*) e per limitare il massimo valore di duty cycle (*DTC*) dell'onda quadra in uscita.

7.1.3 1B133A_Temperature_Sensor_V1

Il sensore *1B133A*, figura 7.7, misura la temperatura utilizzando un partitore resistivo, in cui un resistore è un termistore di tipo *Negative Temperature Coefficient (NTC)*, ossia un dispositivo che presenta una resistenza che diminuisce all'aumentare della temperatura.

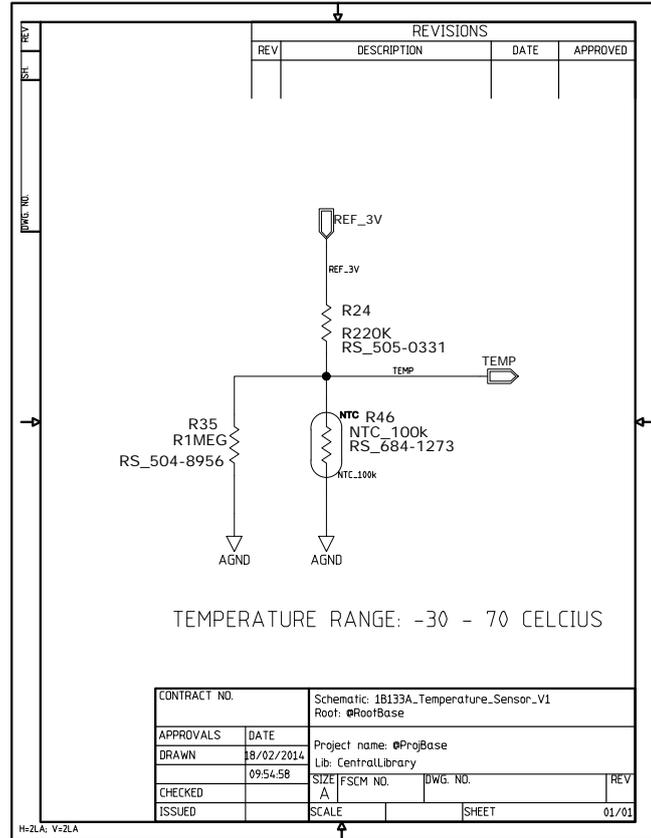


Figura 7.7. *1B133A_Temperature_Sensor_V1* Schematic (Mentor)

La tensione di uscita *TEMP* vale:

$$TEMP = 3V \frac{R_{35} \parallel R(T)}{R_{35} \parallel R(T) + R_{24}} \quad (7.2)$$

In cui $R(T)$ è la resistenza dipendente dalla temperatura del termistore e vale:

$$R(T) = R_{25} e^{\beta_{25}(1/T - 1/T_{25})} \quad (7.3)$$

Dove $T_{25} = 298.15$ K, $R_{25} = 100$ k Ω è la resistenza che il termistore presenta alla temperatura di 25 °C e $\beta = 4100$ K è il coefficiente di temperatura riportato nel datasheet[17].

7.2 Bk1B131X_Voltage_Sensor_V1

Il dispositivo *Bk1B131X*, figura 7.8 è un semplicissimo sensore di tensione composto da un partitore resistivo.

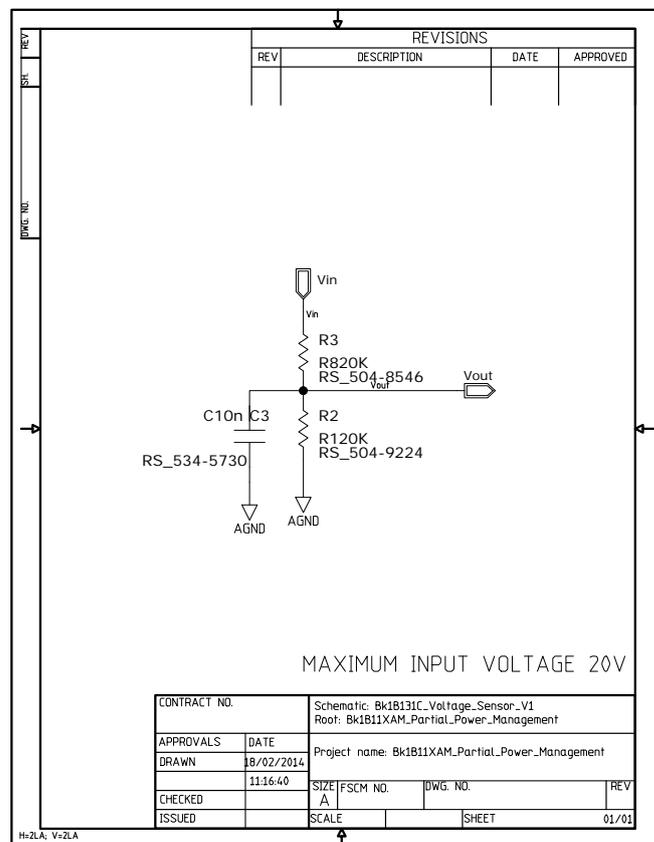


Figura 7.8. *Bk1B131C_Temperature_Sensor_V1* Schematic (Mentor)

La tensione di uscita misurata V_{out} vale:

$$V_{out} = V_{in}K \quad (7.4)$$

Dove $K = R_2 / (R_2 + R_3) \approx 0.12$ per la versione *Bk1B131C*, mentre $K \approx 0.25$ per la versione *Bk1B131B*.

Capitolo 8

PCB

In questa sezione è riportato il *PCB*, circuito stampato, del sistema completo *Bk1B11XAM_Partial_Power_Management*.

La creazione del *PCB* è ottenuta attraverso il tool *Expedition PCB* della suite di *Mentor Graphics 2005*.

8.1 Creazione

Di seguito sono illustrati i principali step da seguire per creare correttamente un *PCB* attraverso *Expedition PCB*:

1. La prima fase consiste nel lanciare la routine **Packager** con la quale viene assegnato il campo *Reference Designator* per ogni componente utilizzato;
2. Dopo aver eseguito il *Packager* si esegue una **Forward Annotation**, che annota i collegamenti dello schema elettrico a quelli del circuito stampato;
3. Si definisce la quantità e la tipologia dei **Layer**, ossia gli strati che formano il *PCB*;
4. Si disegna la **Board Outline**, le dimensioni fisiche della scheda ed il **Route Border**, l'area in cui possono essere piazzati i dispositivi;
5. Si procede al **Placement**, piazzamento di tutti i componenti; partendo dai connettori che in *AraMiS* hanno una posizione fissa;
6. Piazzati i componenti si definiscono le **Constraints**, i vincoli, tra cui la dimensione delle *tracce*, piste e dei *Via*;
7. Si effettua il **Routing**, collegando fisicamente i dispositivi tramite le piste ed i *Via*;
8. Infine si compila e si ottiene il **Gerber File**, il file da mandare al produttore del *PCB*.

8.2 Caratteristiche

Il *PCB* progettato è di tipo multistrato composto da 4 layer, di cui i primi due strati sono per i segnali, il terzo è il piano $\$G_AGND$ e l'ultimo è il piano *GND*. In ogni caso è permesso il *routing* su tutti e quattro gli strati.

8.2.1 Dimensioni

Secondo lo standard *AraMiS* il circuito stampato deve avere una *Board Outline* di forma rettangolare con dimensioni $L \times H$; in cui L è fisso a 74 mm, mentre H deve essere compreso tra 40 mm (minor costo) e 80 mm (maggior spazio). Un buon compromesso tra spazio e costo, dato l'elevato numero di componenti è $H = 60$ mm. Mentre la *Route Border* ha le stesse dimensioni della precedente, a meno di uno spazio di 0.4 mm su tutti e quattro i lati.

8.2.2 Placement e Routing

Per il *Placement* dei componenti non ci sono particolari problemi, tranne che il connettore quadruplo presente deve essere piazzato nella parte inferiore *bottom* esattamente al centro della scheda ed è vincolato da due viti per ogni connettore. Al contrario tutti gli altri dispositivi sono piazzati nella parte superiore *top*. Inoltre devono essere piazzati in maniera tale che deve essere facilmente leggibile sulla scheda il *Ref Designator* di ogni dispositivo.

Per il *routing*, le regole da seguire riguardano il divieto di formare angoli retti con le tracce e di non piazzare i *Via* sotto i componenti.

8.2.3 Constraints

I vincoli utilizzati sono molteplici e per la maggior parte riguardano la dimensione delle piste di rame e la distanza tra di esse.

Per ogni connessione sono dunque definite, a seconda della corrente che scorre, tre possibili tipologie di *tracce*, elencate di seguito.

- **Default**, la pista per i segnali digitali ed analogici a bassa corrente;
- **Power_BATT**, la pista ad alta corrente per collegare il connettore della batteria ai relativi dispositivi;
- **Power_PDB**, la pista ad alta corrente per collegare i dispositivi al *PDB*.

Nella tabella 8.1 sono riportate le caratteristiche delle quattro piste appena definite.

Nome	Spessore Pista [mm]		
	Minima	Tipica	Espansa
<i>Default</i>	0.15	0.2	0.2
<i>Power_IN</i>	0.5	1	2
<i>Power_PDB</i>	0.5	1	2

Tabella 8.1. Tipologie di *Trace*

8.3 Risultati

In figura 8.1 è riportato il *PCB* senza i piani \$A_GND\$ e *GND*, mentre nelle figure 8.2 e 8.3 è riportato il layout con le visioni dei diversi strati.

Il colore blu indica tracce riferite al primo strato, il rosa al secondo, il verde al terzo ed il rosso al quarto.

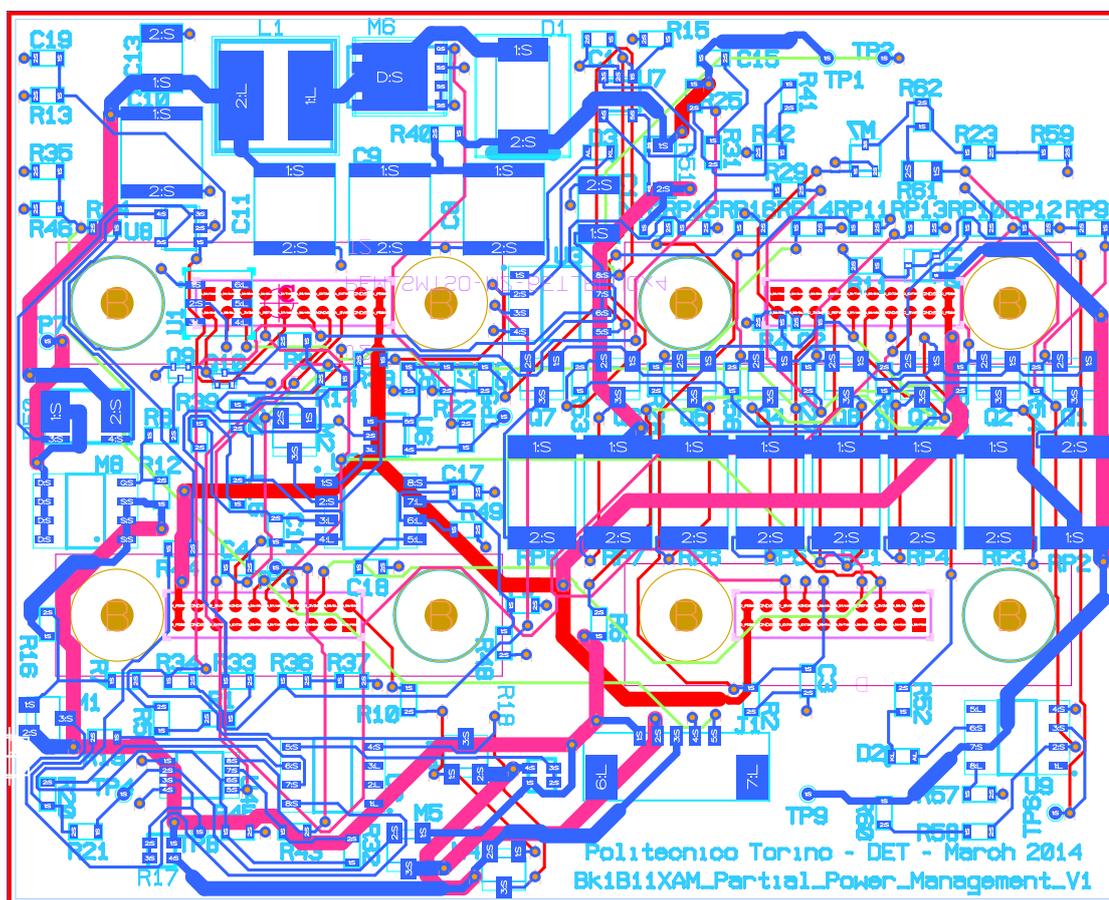
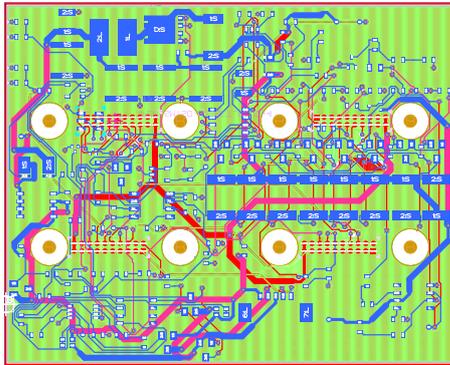
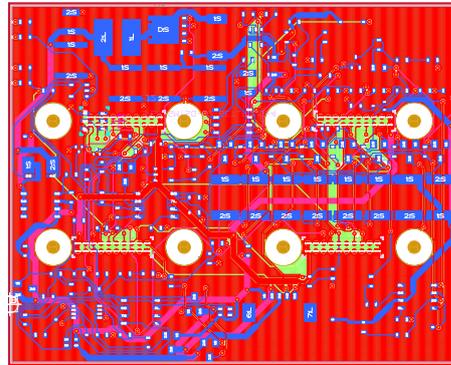


Figura 8.1. *PCB* Sistema *Bk11XAM* senza gli strati \$A_GND\$ e *GND* (*Expedition PCB*)

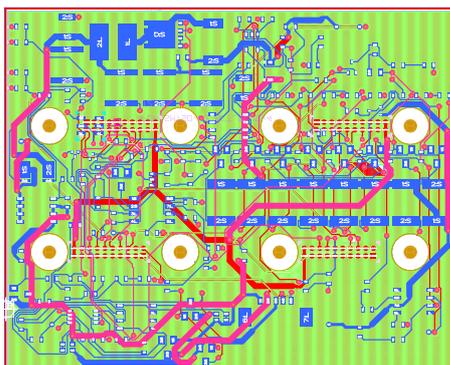


(a) Strato 1-4

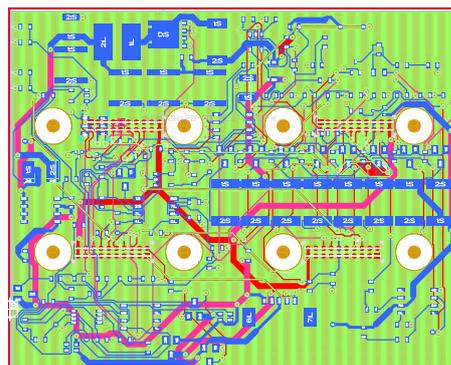


(b) Strato 4-1

Figura 8.2. *PCB(Expedition PCB)*



(a) Strato 2-3



(b) Strato 3-2

Figura 8.3. *PCB(Expedition PCB)*

Appendice A

Listato Spice

In questa sezione sono riportati i principali modelli *SPICE* sviluppati.

A.1 Modelli SPICE sviluppati

Per simulare correttamente un circuito composto da vari componenti, tra cui alcuni non convenzionali come ad esempio un amplificatore operazionale, è necessario che siano presenti i modelli *SPICE* di tutti i dispositivi. Generalmente i produttori mettono a disposizione le proprie *Netlist SPICE* dei loro dispositivi, ci sono però alcuni casi in cui queste non sono disponibili. Di seguito sono illustrati i modelli *SPICE* sviluppati personalmente per quei dispositivi di cui non è presente alcun modello online.

RES

Nel modello *RES* sono definite le tolleranze dei resistori, in questo modo, qualora lo si ritenesse necessario, è possibile effettuare una'analisi di tipo *Monte Carlo*. Queste incertezze sono dichiarate attraverso il parametro *DEV*. Mentre con il parametro *TC* è definito il coefficiente di temperatura delle resistenze.

In tabella A.1 sono riportati i parametri *DEV* e *TC*¹ per i modelli creati.

Nome Modello	Tolleranza <i>DEV</i> [%]	Coefficiente Temperatura <i>TC</i> [PPM°C]
<i>RES10</i>	10	1000
<i>RES5</i>	5	1000
<i>RES1</i>	1	100
<i>RES01</i>	0.1	15
<i>RES005</i>	0.05	15

Tabella A.1. Tabella con tolleranza *DEV* e coefficiente *TC* per ogni modello *RES*

Di seguito è riportata la *Netlist SPICE* dei modelli *RES* sviluppati.

¹ *Resistor Tolerance Spice Model

¹Il parametro *TC* scelto per ogni modello è una media dei valori riportati su alcuni datasheet.

```

2 .model RES10 RES R=1 DEV=10%
3 *
4 .model RES1 RES R=1 DEV=1%
5 *
6 .model RES01 RES R=1 DEV=0.1%
7 *
8 .model RES005 RES R=1 DEV=0.05%
9 *
10 .model RES5 RES R=1 DEV=5%
11 *

```

TP

I *Test Point TP* sono dei connettori piazzati su uno stampato che possono essere utilizzati per misurare i segnali del circuito.

A livello circuitale quando non sono utilizzati, possono essere visti come un nodo ad altissima impedenza, pertanto il modello di simulazione è semplicemente una resistenza di valore elevatissimo tra il nodo di riferimento *1* e *GND*.

Di seguito è riportata la *Netlist SPICE* di un *TP*.

```

1 *
2 .SUBCKT TP 1
3 R_TP 1 0 100000MEG
4 .ENDS
5 *

```

PRA100i2-100KBWNT

Il dispositivo *PRA100i2* è un *Precision Resistor Array (PRA)* composto da due resistenze indipendenti (*i2*) di valore $100\text{ k}\Omega$ (*100K*) con tolleranza assoluta $B = 0.1\%$ e tolleranza del rapporto $W = 0.05\%$ [18]. Si utilizza nelle applicazioni in cui è conveniente avere dei resistori “matchati”.

Il dispositivo, composto da 4 nodi, contiene quindi una coppia di resistori non connessi tra loro.

Il simbolo creato in *Mentor* per la libreria centrale è riportato in figura A.1.

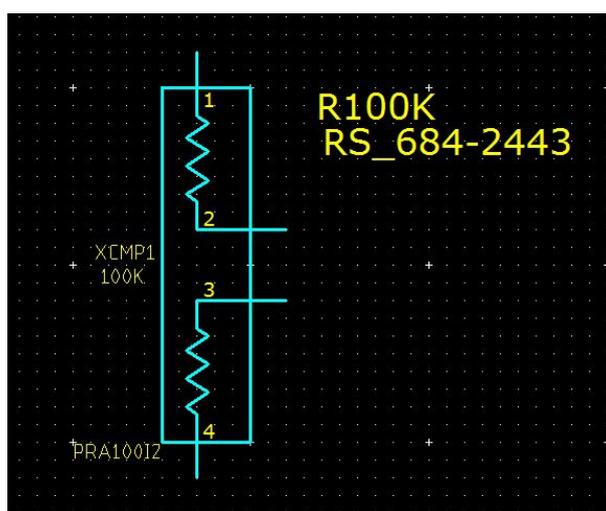


Figura A.1. Simbolo *Mentor* del *PRA100i2*

Nella *Netlist SPICE* è semplicemente descritta questa coppia di resistori, con la relativa tolleranza assoluta ($LOT=B$) e la tolleranza di ogni resistore ($DEV=W$)². Di seguito è riportata la *Netlist SPICE* creata.

```

1 *PrecisionResistorArray 100k-2R (PRA100i2) Spice Model
2 .SUBCKT pra100i2 1 2 3 4
3 R1 1 2 RES_TOL 100K
4 R2 3 4 RES_TOL 100K
5 *
6 .model RES_TOL RES R=1 DEV=0.05% LOT=0.1%
7 *
8 .ENDS pra100i2
9 *
```

SL43

Il diodo *SL43* è un diodo di tipo *Schottky* ad alta velocità di commutazione per circuiti a bassa tensione, figura A.2.

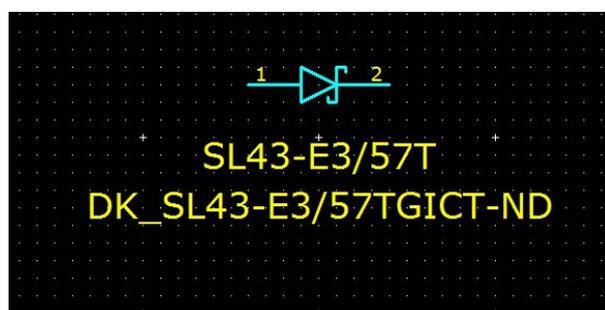


Figura A.2. Simbolo *Mentor* del *SL43*

La descrizione del modello *SPICE* è di tipo parametrico ed in particolare si inseriscono alcuni parametri ricavati dal datasheet come ad esempio la corrente di saturazione I_S , la resistenza equivalente R_S , la *zero-bias* capacità di giunzione C_{J0} più altri parametri che ne descrivono il comportamento sia in continua che in frequenza.

Lo standard *SPICE* prevede che per un diodo sia definito prima l'anodo *A* e poi il catodo *K*.

Di seguito è riportata la *Netlist SPICE*.

```

1 .SUBCKT SL43 A K
2 Ds143 A K DSL43
3 *
4 .MODEL Ds143 d
5 +IS=3.28335e-05 RS=0.0102752 N=1.03316 EG=0.6
6 +XTI=2.15486 BV=40 IBV=0.001 CJO=3.17277e-09
7 +VJ=3 M=0.723186 FC=0.5 TT=1e-09
8 +KF=0 AF=1
9 *
10 .ENDS SL43
```

²Si ipotizza che la tolleranza del singolo resistore sia uguale alla tolleranza del rapporto $W = 0.05\%$ fornita dal datasheet

A.2 Bk1B11XAM Netlist

Di seguito è riportata la *Netlist SPICE* del sistema completo *Bk1B11XAM_Partial_Power_Management*.

```

1 *
2 * Time : Wed Feb 26 09:55:47 2014
3 *
4 * Pspice netlist file
5 *
6 * Subcircuits
7 *
8 .SUBCKT 1B132B.Current_Sensor CS.VOUT I_IN I_OUT
9 CXCMP2 CS.VOUT $G.AGND 10n
10 XXCMP3 XSIG010009 XSIG010008 XSIG010009 $G.AGND CS.VOUT INA138
11 RXCMP6 CS.VOUT $G.AGND RES1 100K
12 XXCMP8 I_IN I_OUT XSIG010009 XSIG010008 RES100M_4W
13 .ENDS
14 *
15 *
16 .SUBCKT 1B132C.Current_Sensor CS.VOUT I_IN I_OUT
17 XXCMP2 XSIG010009 XSIG010008 XSIG010009 $G.AGND CS.VOUT INA138
18 CXCMP6 CS.VOUT $G.AGND 4.7n
19 RXCMP7 CS.VOUT $G.AGND RES1 100K
20 XXCMP8 I_IN I_OUT XSIG010009 XSIG010008 RES50M_4W
21 .ENDS
22 *
23 *
24 .SUBCKT 1B118.PWM_Driver COMP FB GATE.N VAL
25 CXCMP1 VAL 0 100n
26 XXCMP2 XSIG010006 VAL COMP FB XSIG010018 XSIG010010 XSIG010003 0 TL5001A
27 RXCMP3 XSIG010003 0 RES1 27K
28 RXCMP4 XSIG010003 0 RES1 27K
29 RXCMP5 XSIG010010 0 RES1 20K
30 CXCMP6 XSIG010010 0 15n
31 CXCMP7 VAL 0 100n
32 XXCMP8 VAL 0 XSIG010006 GATE.N VAL TPS2828
33 CXCMP9 XSIG010018 0 56n
34 .ENDS
35 *
36 *
37 .SUBCKT 1B133A.Temperature_Sensor.V1 REF_3V TEMP
38 XXCMP2 TEMP $G.AGND NTC_100k
39 RXCMP4 TEMP $G.AGND RES1 1MEG
40 RXCMP5 REF_3V TEMP RES1 220K
41 .ENDS
42 *
43 *
44 .SUBCKT 1B121C.Load_Switch.V1 EN IN OUT
45 XXCMP1 OUT XSIG010002 IN IRLML6402
46 RXCMP2 XSIG010002 XSIG010005 RES1 15
47 RXCMP3 IN XSIG010002 RES1 100K
48 XXCMP5 XSIG010005 EN 0 NTA7002N
49 .ENDS
50 *
51 *

```

```
52 .SUBCKT 1B121F_Load_Switch_High_Current_V1 EN IN OUT
53 RXCMP2 XSIG010002 XSIG010005 RES1 15
54 RXCMP3 IN XSIG010002 RES1 100K
55 XXCMP5 XSIG010005 EN 0 NTA7002N
56 XXCMP6 OUT XSIG010002 IN SI4435DY
57 .ENDS
58 *
59 *
60 .SUBCKT 1B118_Battery_Discharger_Circuit N5V BAT_POS BUS_OUT ENABLE
61 + I_BUS I_DISCHARGE REF_3V TEMPERATURE
62 RXCMP3 GATE_N XSIG010007 RES1 27
63 CXCMP37 $G_VCC $G_AGND 100n
64 XXCMP51 BOOST_LMD I_IN SL43
65 XXCMP52 XSIG010052 XSIG010104 $G_VCC $G_AGND XSIG010103 OPA2735
66 XXCMP59 CS_VOUT I_BUS $G_VCC $G_AGND I_BUS OPA2735
67 DXCMP64 XSIG010103 XSIG010104 1n4148
68 LXCMP67 BOOST_LMD BOOST_IN 10u IC=0.5
69 RXCMP70 I_IN XSIG010268 RES1 220K
70 RXCMP73 XSIG010035 XSIG010268 RES1 10K
71 RXCMP75 XSIG010268 XSIG010120 RES1 18K
72 RXCMP76 XSIG010120 XSIG010121 RES1 120K
73 RXCMP77 XSIG010121 I_BUS RES1 390K
74 RXCMP78 I_BUS XSIG010052 RES1 1MEG
75 RXCMP79 XSIG010052 XSIG010122 RES1 680K
76 RXCMP80 XSIG010122 $G_AGND RES1 33K
77 RXCMP81 XSIG010104 XSIG010268 RES1 1.8K
78 RXCMP82 COMP XSIG010133 RES1 5.6K
79 CXCMP101 BOOST_IN 0 47u IC=7.5
80 CXCMP102 BOOST_IN 0 47u IC=7.5
81 CXCMP103 BOOST_COUT 0 47u IC=14
82 CXCMP104 BOOST_COUT 0 47u IC=14
83 CXCMP123 BOOST_IN 0 10u
84 RXCMP127 I_IN BOOST_COUT RES1 1U
85 RXCMP128 XSIG010268 XSIG010036 RES1 15K
86 RXCMP129 XSIG010036 0 RES1 2.7K
87 CXCMP131 FB COMP 22n
88 CXCMP132 I_IN XSIG010035 560p
89 CXCMP133 XSIG010133 FB 470n
90 XXCMP135 BOOST_LMD XSIG010007 0 CSD16401Q5
91 X1B132B_Current_2 CS_VOUT I_IN BUS_OUT 1B132B_Current_Sensor
92 X1B132C_Current_2 I_DISCHARGE OUT BOOST_IN 1B132C_Current_Sensor
93 CXCMP137 $G_VCC 0 10u IC=5
94 RXCMP143 XSIG010268 FB RES1 10K
95 X1B118_PWM_Driver3 COMP FB GATE_N $G_VCC 1B118_PWM_Driver
96 X1B133A_Temperature_2 REF_3V TEMPERATURE 1B133A_Temperature_Sensor_V1
97 X1B121C_Load_Switch_4 ENABLE N5V $G_VCC 1B121C_Load_Switch_V1
98 X1B121F_Load_Switch_1 ENABLE BAT_POS OUT
99 + 1B121F_Load_Switch_High_Current_V1
100 XXCMP144 I_IN TP
101 XXCMP146 GATE_N TP
102 XXCMP147 $G_VCC TP
103 XXCMP148 OUT TP
104 .ENDS
105 *
106 *
107 .SUBCKT Bk1B137E_Differential_Voltage_Sensor N5V VINNEG VINPOS VOUT
```

```

108 + VREF
109 XXCMP1 $G.AGND VINPOS VINNEG $G.AGND N5V XSIG010003 XSIG010013 VOUT
110 + AD8237
111 RXCMP2 XSIG010003 XSIG010013 RES1 18K
112 RXCMP3 XSIG010013 VOUT RES01 78.7K
113 RXCMP4 XSIG010003 VREF RES1 200K
114 RXCMP5 XSIG010003 $G.AGND RES01 143K
115 CXCMP6 N5V $G.AGND 100n
116 .ENDS
117 *
118 *
119 .SUBCKT 1B1142.Battery.Equalizer N5V CENBAT EN.BATEQ NEGBAT POSBAT
120 + VOUT VREF
121 XXCMP1 XSIG010096 XSIG010065 XSIG010007 XSIG010091 XSIG010055 LM6142
122 XXCMP4 XSIG010007 XSIG010026 POSBAT IRLML6402
123 XXCMP5 XSIG010091 XSIG010034 NEGBAT IRLML2803
124 RXCMP7 XSIG010026 XSIG010035 RES1 15
125 RXCMP9 POSBAT XSIG010026 RES1 100K
126 RXCMP10 EN.BATEQ XSIG010034 RES1 15
127 XXCMP11 XSIG010035 XSIG010034 NEGBAT IRLML2803
128 XXCMP12 POSBAT XSIG010096 XSIG010096 NEGBAT PRA100I2
129 XXCMP14 CENBAT POSBAT VINPOS IRLML2803
130 RXCMP16 XSIG010055 XSIG010060 RES1 1K
131 RXCMP17 XSIG010060 XSIG010065 RES1 49.9K
132 RXCMP18 VINPOS XSIG010060 RES1 27
133 XXCMP22 POSBAT VINNEG VINNEG NEGBAT PRA100I2
134 XBk1B137E.Differenti3 N5V VINNEG VINPOS VOUT VREF
135 + Bk1B137E.Differential.Voltage.Sensor
136 XXCMP24 VOUT TP
137 XXCMP25 VINNEG TP
138 XXCMP26 VINPOS TP
139 .ENDS
140 *
141 *
142 .SUBCKT 1B4841W.Quadruple.Module.Interface.Plug_V2 A.PDB A.5V A.3V3
143 + A.REF A.D0.RX.SOMI A.D1.TX.SIMO A.D2.SCL.SOMI A.D3.SDA.SIMO
144 + A.D4.CLK A.D5.PWM A.D6.A0 A.D7.A1 A.D8.ID A.D9.EN.PWM2 A.EXT1
145 + A.EXT2 B.PDB B.5V B.3V3 B.REF B.D0.RX.SOMI B.D1.TX.SIMO
146 + B.D2.SCL.SOMI B.D3.SDA.SIMO B.D4.CLK B.D5.PWM B.D6.A0 B.D7.A1
147 + B.D8.ID B.D9.EN.PWM2 B.EXT1 B.EXT2 C.PDB C.5V C.3V3 C.REF
148 + C.D0.RX.SOMI C.D1.TX.SIMO C.D2.SCL.SOMI C.D3.SDA.SIMO C.D4.CLK
149 + C.D5.PWM C.D6.A0 C.D7.A1 C.D8.ID C.D9.EN.PWM2 C.EXT1 C.EXT2
150 + D.PDB D.5V D.3V3 D.REF D.D0.RX.SOMI D.D1.TX.SIMO D.D2.SCL.SOMI
151 + D.D3.SDA.SIMO D.D4.CLK D.D5.PWM D.D6.A0 D.D7.A1 D.D8.ID
152 + D.D9.EN.PWM2 D.EXT1 D.EXT2
153 IISRC1 0 NISRC1 0
154 XXCMP5 B.D5.PWM B.D9.EN.PWM2 B.D4.CLK B.D8.ID B.D3.SDA.SIMO B.3V3
155 + B.D2.SCL.SOMI B.REF B.D1.TX.SIMO B.D7.A1 B.D0.RX.SOMI B.D6.A0
156 + B.EXT2 B.EXT1 B.5V B.PDB A.D5.PWM A.D9.EN.PWM2 A.D4.CLK A.D8.ID
157 + A.D3.SDA.SIMO A.3V3 A.D2.SCL.SOMI A.REF A.D1.TX.SIMO A.D7.A1
158 + A.D0.RX.SOMI A.D6.A0 A.EXT2 $G.AGND A.EXT1 A.5V 0 A.PDB D.D5.PWM
159 + D.D9.EN.PWM2 D.D4.CLK D.D8.ID D.D3.SDA.SIMO D.3V3 D.D2.SCL.SOMI
160 + D.REF D.D1.TX.SIMO D.D7.A1 NISRC1 D.D6.A0 D.EXT2 D.EXT1 D.5V
161 + D.PDB C.D5.PWM C.D9.EN.PWM2 C.D4.CLK C.D8.ID C.D3.SDA.SIMO C.3V3
162 + C.D2.SCL.SOMI C.REF C.D1.TX.SIMO C.D7.A1 C.D0.RX.SOMI C.D6.A0
163 + C.EXT2 C.EXT1 C.5V C.PDB NO MODEL

```

```
164 .ENDS
165 *
166 *
167 .SUBCKT 1B130W_CalibrationMemory_V1 PDB N5V N3V3 REF D0_RX_SOMI
168 +   D1_TX_SIMO D2_SCL_SOMI D3_SDA_SIMO D4_CLK D5_PWM D6_A0 D7_A1
169 +   D8_ID D9_EN_PWM2 EXT1 EXT2
170 XXCMP1 D8_ID 0 NO MODEL
171 .ENDS
172 *
173 *
174 .SUBCKT Bk1B131B_Voltage_Sensor_V1 Vin Vout
175 RXCMP3 Vout $G_AGND RES1 133K
176 RXCMP4 Vin Vout RES1 390K
177 CXCMP5 Vout $G_AGND 10n
178 .ENDS
179 *
180 *
181 .SUBCKT Bk1B131C_Voltage_Sensor_V1 Vin Vout
182 RXCMP3 Vout $G_AGND RES1 120K
183 RXCMP4 Vin Vout RES1 820K
184 CXCMP5 Vout $G_AGND 10n
185 .ENDS
186 *
187 *
188 .SUBCKT 1B115A_Shunt_Overvoltage_Protection CURRENT ENABLE_SHUNT PDB
189 RXCMP2 XSIG010105 XSIG010033 RES1 470
190 RXCMP11 PDB C1 RES5 270
191 RXCMP12 PDB C2 RES5 270
192 RXCMP13 PDB C3 RES5 270
193 RXCMP14 PDB C4 RES5 270
194 RXCMP15 PDB C5 RES5 270
195 RXCMP16 PDB C6 RES5 270
196 RXCMP17 PDB C7 RES5 270
197 RXCMP18 PDB C8 RES5 270
198 QXCMP27 C1 XSIG010033 E1 ZXTN2031
199 QXCMP28 C2 XSIG010033 E2 ZXTN2031
200 QXCMP29 C3 XSIG010033 E3 ZXTN2031
201 QXCMP31 C5 XSIG010033 E5 ZXTN2031
202 QXCMP32 C6 XSIG010033 E6 ZXTN2031
203 QXCMP33 C7 XSIG010033 E7 ZXTN2031
204 QXCMP34 C8 XSIG010033 E8 ZXTN2031
205 RXCMP70 E6 CURRENT RES1 10K
206 RXCMP71 E4 CURRENT RES1 10K
207 RXCMP72 E2 CURRENT RES1 10K
208 RXCMP73 E8 CURRENT RES1 10K
209 RXCMP74 E1 0 RES1 33
210 RXCMP75 E2 0 RES1 33
211 RXCMP76 E3 0 RES1 33
212 RXCMP77 E4 0 RES1 33
213 RXCMP78 E5 0 RES1 33
214 RXCMP79 E6 0 RES1 33
215 RXCMP80 E7 0 RES1 33
216 RXCMP81 E8 0 RES1 33
217 RXCMP82 XSIG010136 E1 RES1 4.7MEG
218 RXCMP83 XSIG010136 E3 RES1 4.7MEG
219 RXCMP84 XSIG010136 E5 RES1 4.7MEG
```

```

220 RXCMP85 XSIG010136 E7 RES1 4.7MEG
221 RXCMP87 XSIG010160 0 RES1 100K
222 RXCMP91 XSIG010103 0 RES1 3.3MEG
223 IISRC1 0 NISRC1 0
224 IISRC2 0 NISRC2 0
225 XXCMP100 NISRC1 XSIG010136 XSIG010160 0 NISRC2 XSIG010104 PDB
226 + XSIG010103 LM4250
227 XXCMP101 XSIG010164 ENABLE_SHUNT 0 RTF015N03
228 DXCMP103 XSIG010104 XSIG010105 ln4148
229 RXCMP105 XSIG010141 XSIG010136 RES01 13K
230 RXCMP111 PDB XSIG010141 RES01 100K
231 XXCMP112 PDB XSIG010160 XSIG010160 MAX6138A
232 RXCMP113 XSIG010136 XSIG010163 RES01 1.2MEG
233 RXCMP114 XSIG010163 XSIG010164 RES1 180K
234 RXCMP115 XSIG010164 XSIG010166 RES1 220K
235 RXCMP116 XSIG010166 0 RES01 13K
236 XXCMP117 XSIG010160 TP
237 XXCMP118 PDB TP
238 QXCMP120 C4 XSIG010033 E4 ZXTN2031
239 .ENDS
240 *
241 *
242 .SUBCKT 1B1261Z_Short_Circuit_V1 A A
243 .ENDS
244 *
245 *
246 .SUBCKT 1B1261A_InterModule_Power_Distribution_V1 A_PDB A_5V A_3V3
247 + A_REF A_D0_RX_SOMI A_D1_TX_SIMO A_D2_SCL_SOMI A_D3_SDA_SIMO
248 + A_D4_CLK A_D5_PWM A_D6_A0 A_D7_A1 A_D8_ID A_D9_EN_PWM2 A_EXT1
249 + A_EXT2 B_PDB B_5V B_3V3 B_REF B_D0_RX_SOMI B_D1_TX_SIMO
250 + B_D2_SCL_SOMI B_D3_SDA_SIMO B_D4_CLK B_D5_PWM B_D6_A0 B_D7_A1
251 + B_D8_ID B_D9_EN_PWM2 B_EXT1 B_EXT2
252 X1B1261Z_Short_C1 A_PDB B_PDB 1B1261Z_Short_Circuit_V1
253 X1B1261Z_Short_C2 A_5V B_5V 1B1261Z_Short_Circuit_V1
254 X1B1261Z_Short_C3 A_3V3 B_3V3 1B1261Z_Short_Circuit_V1
255 X1B1261Z_Short_C4 A_REF B_REF 1B1261Z_Short_Circuit_V1
256 .ENDS
257 *
258 *
259 .SUBCKT 1B1261B_Quad_InterModule_Power_Distribution_V1 A_PDB A_5V
260 + A_3V3 A_REF A_D0_RX_SOMI A_D1_TX_SIMO A_D2_SCL_SOMI
261 + A_D3_SDA_SIMO A_D4_CLK A_D5_PWM A_D6_A0 A_D7_A1 A_D8_ID
262 + A_D9_EN_PWM2 A_EXT1 A_EXT2 B_PDB B_5V B_3V3 B_REF B_D0_RX_SOMI
263 + B_D1_TX_SIMO B_D2_SCL_SOMI B_D3_SDA_SIMO B_D4_CLK B_D5_PWM
264 + B_D6_A0 B_D7_A1 B_D8_ID B_D9_EN_PWM2 B_EXT1 B_EXT2 C_PDB C_5V
265 + C_3V3 C_REF C_D0_RX_SOMI C_D1_TX_SIMO C_D2_SCL_SOMI
266 + C_D3_SDA_SIMO C_D4_CLK C_D5_PWM C_D6_A0 C_D7_A1 C_D8_ID
267 + C_D9_EN_PWM2 C_EXT1 C_EXT2 D_PDB D_5V D_3V3 D_REF D_D0_RX_SOMI
268 + D_D1_TX_SIMO D_D2_SCL_SOMI D_D3_SDA_SIMO D_D4_CLK D_D5_PWM
269 + D_D6_A0 D_D7_A1 D_D8_ID D_D9_EN_PWM2 D_EXT1 D_EXT2 PDB REF_3V
270 + VCC_3V3 VCC_5V
271 X1B1261A_InterMo9 A_PDB A_5V A_3V3 A_REF A_D0_RX_SOMI A_D1_TX_SIMO
272 + A_D2_SCL_SOMI A_D3_SDA_SIMO A_D4_CLK A_D5_PWM A_D6_A0 A_D7_A1
273 + A_D8_ID A_D9_EN_PWM2 A_EXT1 A_EXT2 B_PDB B_5V B_3V3 B_REF
274 + B_D0_RX_SOMI B_D1_TX_SIMO B_D2_SCL_SOMI B_D3_SDA_SIMO B_D4_CLK
275 + B_D5_PWM B_D6_A0 B_D7_A1 B_D8_ID B_D9_EN_PWM2 B_EXT1 B_EXT2

```

```
276 + 1B1261A.InterModule.Power.Distribution.V1
277 X1B1261A.InterM10 A.PDB A.5V A.3V3 A.REF A.D0_RX_SOMI A.D1_TX_SIMO
278 + A.D2_SCL_SOMI A.D3_SDA_SIMO A.D4_CLK A.D5_PWM A.D6_A0 A.D7_A1
279 + A.D8_ID A.D9_EN_PWM2 A.EXT1 A.EXT2 C.PDB C.5V C.3V3 C.REF
280 + C.D0_RX_SOMI C.D1_TX_SIMO C.D2_SCL_SOMI C.D3_SDA_SIMO C.D4_CLK
281 + C.D5_PWM C.D6_A0 C.D7_A1 C.D8_ID C.D9_EN_PWM2 C.EXT1 C.EXT2
282 + 1B1261A.InterModule.Power.Distribution.V1
283 X1B1261A.InterM11 A.PDB A.5V A.3V3 A.REF A.D0_RX_SOMI A.D1_TX_SIMO
284 + A.D2_SCL_SOMI A.D3_SDA_SIMO A.D4_CLK A.D5_PWM A.D6_A0 A.D7_A1
285 + A.D8_ID A.D9_EN_PWM2 A.EXT1 A.EXT2 D.PDB D.5V D.3V3 D.REF
286 + D.D0_RX_SOMI D.D1_TX_SIMO D.D2_SCL_SOMI D.D3_SDA_SIMO D.D4_CLK
287 + D.D5_PWM D.D6_A0 D.D7_A1 D.D8_ID D.D9_EN_PWM2 D.EXT1 D.EXT2
288 + 1B1261A.InterModule.Power.Distribution.V1
289 .ENDS
290 *
291 * Top-level circuit
292 *
293 X1B118.Battery.Disch1 N5V POSBAT PDB A.D9_EN_PWM2 A.D6_A0 A.D7_A1 REF
294 + B.D6_A0 1B118.Battery.Discharger.Circuit
295 X1B1142.Battery.Equa2 N5V CENBAT B.D9_EN_PWM2 NEGBAT POSBAT B.D7_A1
296 + REF 1B1142.Battery.Equalizer
297 X1B4841W.Quadruple.M1 A.PDB A.5V A.3V3 A.REF A.D0_RX_SOMI
298 + A.D1_TX_SIMO A.D2_SCL_SOMI A.D3_SDA_SIMO A.D4_CLK A.D5_PWM
299 + A.D6_A0 A.D7_A1 A.D8_ID A.D9_EN_PWM2 A.EXT1 A.EXT2 B.PDB B.5V
300 + B.3V3 B.REF B.D0_RX_SOMI B.D1_TX_SIMO B.D2_SCL_SOMI
301 + B.D3_SDA_SIMO B.D4_CLK B.D5_PWM B.D6_A0 B.D7_A1 B.D8_ID
302 + B.D9_EN_PWM2 B.EXT1 B.EXT2 C.PDB C.5V C.3V3 C.REF C.D0_RX_SOMI
303 + C.D1_TX_SIMO C.D2_SCL_SOMI C.D3_SDA_SIMO C.D4_CLK C.D5_PWM
304 + C.D6_A0 C.D7_A1 C.D8_ID C.D9_EN_PWM2 C.EXT1 C.EXT2 D.PDB D.5V
305 + D.3V3 D.REF D.D0_RX_SOMI D.D1_TX_SIMO D.D2_SCL_SOMI
306 + D.D3_SDA_SIMO D.D4_CLK D.D5_PWM D.D6_A0 D.D7_A1 D.D8_ID
307 + D.D9_EN_PWM2 D.EXT1 D.EXT2
308 + 1B4841W.Quadruple.Module.Interface.Plug.V2
309 X1B130W.Calibrat1 A.PDB A.5V A.3V3 A.REF A.D0_RX_SOMI A.D1_TX_SIMO
310 + A.D2_SCL_SOMI A.D3_SDA_SIMO A.D4_CLK A.D5_PWM A.D6_A0 A.D7_A1
311 + A.D8_ID A.D9_EN_PWM2 A.EXT1 A.EXT2 1B130W.Calibration.Memory.V1
312 XBk1B131B.Voltag2 POSBAT C.D7_A1 Bk1B131B.Voltage.Sensor.V1
313 XBk1B131C.Voltag2 PDB D.D6_A0 Bk1B131C.Voltage.Sensor.V1
314 XXCMP4 POSBAT CENBAT NEGBAT $G.AGND B.D6_A0 NO MODEL
315 X1B115A.Shunt.Overvo2 C.D6_A0 C.D9_EN_PWM2 PDB
316 + 1B115A.Shunt.Overvoltage.Protection
317 X1B1261B.Quad.InterM3 A.PDB A.5V A.3V3 A.REF A.D0_RX_SOMI
318 + A.D1_TX_SIMO A.D2_SCL_SOMI A.D3_SDA_SIMO A.D4_CLK A.D5_PWM
319 + A.D6_A0 A.D7_A1 A.D8_ID A.D9_EN_PWM2 A.EXT1 A.EXT2 B.PDB B.5V
320 + B.3V3 B.REF B.D0_RX_SOMI B.D1_TX_SIMO B.D2_SCL_SOMI
321 + B.D3_SDA_SIMO B.D4_CLK B.D5_PWM B.D6_A0 B.D7_A1 B.D8_ID
322 + B.D9_EN_PWM2 B.EXT1 B.EXT2 C.PDB C.5V C.3V3 C.REF C.D0_RX_SOMI
323 + C.D1_TX_SIMO C.D2_SCL_SOMI C.D3_SDA_SIMO C.D4_CLK C.D5_PWM
324 + C.D6_A0 C.D7_A1 C.D8_ID C.D9_EN_PWM2 C.EXT1 C.EXT2 D.PDB D.5V
325 + D.3V3 D.REF D.D0_RX_SOMI D.D1_TX_SIMO D.D2_SCL_SOMI
326 + D.D3_SDA_SIMO D.D4_CLK D.D5_PWM D.D6_A0 D.D7_A1 D.D8_ID
327 + D.D9_EN_PWM2 D.EXT1 D.EXT2 PDB REF N3V3 N5V
328 + 1B1261B.Quad.InterModule.Power.Distribution.V1
329 *
330 .END
```


Appendice B

Listato Matlab

Di seguito sono riportati gli script *MATLAB* utilizzati.

B.1 Script MATLAB per calcolo resistenze

Script per funzione *MATLAB* B.1 che, dato un *valore*, trova la migliore combinazione di resistenze $R2$ - $R1$ tra quelle disponibili nel progetto e definite nel vettore *Set_R*, per la *funzione*:

- *serie* = $R2 + R1$;
- *rapporto* = $R2/R1$;
- *parallelo* = $R2 \parallel R1$.

Con la *precisione* in percentuale richiesta.

Il prototipo della funzione è:

```
function[R2,R1,errore_rel] = Calcolo_R(valore,funzione,precisione)
```

In uscita viene fornito il valore delle due resistenze $R2, R1$ trovate e la differenza relativa (*errore_rel*) tra il valore voluto e quello ottenuto. Se non ci sono resistenze che soddisfano le richieste, allora $R2 = R1 = -1$.

```
1 function [R2,R1,errore_rel] = Calcolo_R(valore,funzione,precisione)
2 clc
3 close all
4 %clear all
5
6 %Funzioni
7 %Serie: R2+R1
8 %Rapporto: R2/R1
9 %Parallelo: (R2*R1)/(R2+R1)
10 tic
11
12 %Data una prec in percentuale
13 precisione = precisione/100;
14
```

```

15 set_R = [0 10 12 13 15 18 20 22 25 26.7 27 30 32.4 33 39 47 49.9...
16         56 68 78.7 82 100 110 120 133 143 150 160 180 200 220 249 ...
17         270 300 330 390 470 499 560 680 750 820 1000 1.2e3 1.5e3...
18         1.6e3 2.2e3 3e3 3.3e3 4.7e3]*10^3;
19 epsilon_R = [0 .1 1 1 .1 .1 1 1 1 .05 .1 1 .1 .1 1 1 1 1 1 1 0.1...
20              1 0.1 1 0.1 1 0.1 1 0.1 1 1 1 1 1 1 1 1 1 1 1 1 1 0.1 0.1...
21              0.1 1 1 1 1 1]*10^-2;
22 delta_R = epsilon_R.*set_R;
23 num_R = length(set_R);
24
25 R1 = -1;      %Inizializzo
26 R2 = -1;      %Inizializzo
27 %Se non ci sono resistenze che soddisfano le richieste,
28 %In uscita si ha -1
29
30 switch(funzione)
31     case {'serie'}
32         serie.Matrix = (ones(num_R,1)*set_R)+(set_R'*ones(1,num_R));
33         pos = abs(serie.Matrix/valore-1)<precisione;
34     case {'rapporto'}
35         pos = abs(set_R'*(1./set_R)-valore)<precisione;
36     case {'parallelo'}
37         for i=1:length(set_R)
38             for j=1:length(set_R)
39                 par.Matrix(i,j) = (set_R(i)*set_R(j))/(set_R(i)+...
40                                 +set_R(j));
41             end
42         end
43         pos = abs(par.Matrix/valore-1)<precisione;
44     otherwise
45         disp('Errore, funzione sconosciuta');
46 end
47 k = 1;
48 [row,col] = size(pos);
49 for i=1:row
50     for j=1:col
51         if (pos(i,j)==1)
52             R2(k) = set_R(i);
53             R1(k) = set_R(j);
54             k = k+1;
55             posizione_x = i;
56             posizione_y = j;
57         end
58     end
59 end
60
61 switch(funzione)
62     case {'serie'}
63         errore_rel = (valore-(R1+R2))/valore*100;
64     case {'rapporto'}
65         errore_rel = (valore-(R2/R1))/valore*100;
66     case {'parallelo'}
67         errore_rel = (valore-(R2*R1)/(R2+R1))/valore*100;
68 end
69
70 toc

```

B.2 Dimensionamento e prestazioni AD8237

Script *MATLAB* B.2 che dato un guadagno $G = 10$ ed una tensione di riferimento $V_{ref} = 3$, calcola tutti set di resistenze R_{105} , R_{106} , R_{107} e R_{108} del dispositivo *1B137E_Differential_Voltage_Sensor* che rispettano le specifiche richieste. In seguito analizza le prestazioni calcolando gli errori relativi ed assoluti che si ottengono con i set di resistenze trovati.

```

1 %Calcola le resistenze dell'AD8237 in configurazione Reference Pin
2 clc
3 close all
4 clear all
5
6 format long e
7
8 Vin_p = 3.7;
9 Vin_m = 3.6;
10 Vref = 3;
11 Voff = 1.25;
12 G = 10;
13 R1 = 30e3;
14 %G = 1 + (R2+R3//R4)/R1
15
16 prec_part = 1/999;
17 prec_gain = 1/999;
18
19 set_R = [10 12 13 15 18 22 25 26.7 27 30 32.4 33 39 47 49.9 56 68 ...
20         78.7 82 100 110 120 133 143 150 160 180 200 220 249 270 300 ...
21         330]*10^3;
22 epsilon_R = [.1 1 .1 .1 1 1 .05 .1 1 .1 .1 1 1 1 1 1 1 0.1 1 0.1 1 ...
23             0.1 1 0.1 1 0.1 1 1 1 1 1 1]*10^-2;
24 %epsilon_R = ones(1,length(set_R))*10^-2;
25 delta_R = epsilon_R.*set_R;
26
27 true_part_Matrix = abs((set_R.*(1./set_R))-Voff/(Vref-Voff))<=...
28     Voff/(Vref-Voff)*prec_part;
29 pos_part = find(true_part_Matrix);
30 num_part_el = length(set_R);
31 index = 1;
32 num_occ = 1;
33 for i=1:length(pos_part)
34     pos_R3 = ceil(pos_part(i)/num_part_el);
35     pos_R4 = pos_part(i)-num_part_el*(pos_R3-1);
36     Rpar(index) = (set_R(pos_R3)*set_R(pos_R4))/(set_R(pos_R3)+...
37         set_R(pos_R4));
38     true_gain_Matrix = abs((set_R'+Rpar(index))*(1./set_R)+1-G)<=...
39         G*prec_gain;
40     pos_gain = find(true_gain_Matrix);
41     num_gain_el = length(set_R);
42     for j=1:length(pos_gain)
43         pos_R1 = ceil(pos_gain(j)/num_gain_el);
44         pos_R2 = pos_gain(j)-num_gain_el*(pos_R1-1);
45         Rtot(num_occ,:) = [set_R(pos_R1) set_R(pos_R2) ...
46             set_R(pos_R3) set_R(pos_R4)];

```

```

47     pos_tot(num_occ,:) = [pos_R1 pos_R3 pos_R3 pos_R4];
48     num_occ = num_occ+1;
49     end
50     index = index+1;
51 end
52
53 [row,col] = size(Rtot);
54 for i=1:row
55     Rpar(i) = (Rtot(i,4)*Rtot(i,3))/(Rtot(i,4)+Rtot(i,3));
56     G(i) = 1+((Rtot(i,2)+Rpar(i))/Rtot(i,1));
57     dG_dR1(i) = (Rtot(i,2)+Rpar(i))/(Rtot(i,1)^2);
58     dG_dR2(i) = 1/Rtot(i,1);
59     dG_dR3(i) = Rtot(i,4)^2/(Rtot(i,1)*(Rtot(i,3)+Rtot(i,4))^2);
60     dG_dR4(i) = Rtot(i,3)^2/(Rtot(i,1)*(Rtot(i,3)+Rtot(i,4))^2);
61     delta_R1 = Rtot(i,1)*epsilon_R(pos_tot(i,1));
62     delta_R2 = Rtot(i,2)*epsilon_R(pos_tot(i,2));
63     delta_R3 = Rtot(i,3)*epsilon_R(pos_tot(i,3));
64     delta_R4 = Rtot(i,4)*epsilon_R(pos_tot(i,4));
65     delta_G(i) = dG_dR1(i)*delta_R1+dG_dR2(i)*delta_R2+dG_dR3(i)*...
66         delta_R3+dG_dR4(i)*delta_R4;
67     epsilon_G(i) = delta_G(i)/G(i);
68     epsilon_G_perc(i) = epsilon_G(i)*100;
69     cond_noise(i) = Rtot(i,1)*(Rtot(i,2)+Rpar(i))/(Rtot(i,1)+...
70         (Rtot(i,2)+Rpar(i)));
71     cond_lin(i) = (Rtot(i,1)+(Rtot(i,2)+Rpar(i))*R1/(Rtot(i,1)+...
72         (Rtot(i,2)+Rpar(i))+R1);
73     Vout_reale(i) = (Vin_p-Vin_m)*G(i)+Vref*Rtot(i,4)/(Rtot(i,4)+...
74         Rtot(i,3));
75     dVout_dG(i) = (Vin_p-Vin_m);
76     dVout_dR3(i) = (Vref*Rtot(i,4))/(Rtot(i,4)+Rtot(i,3))^2;
77     dVout_dR4(i) = (Vref*Rtot(i,3))/(Rtot(i,4)+Rtot(i,3))^2;
78     delta_Vout(i) = dVout_dG(i)*delta_G(i)+dVout_dR3(i)*delta_R3+...
79         dVout_dR4(i)*delta_R4;
80     epsilon_Vout(i) = delta_Vout(i)/Vout_reale(i);
81     epsilon_Vout_perc(i) = epsilon_Vout(i)*100;
82 end
83
84 Rtot
85 cond_noise
86 cond_lin
87 G
88 delta_G
89 epsilon_G
90 epsilon_G_perc
91 Vout_reale
92 delta_Vout
93 epsilon_Vout
94 epsilon_Vout_perc

```

B.3 Analisi Monte Carlo per 1B1142

Script *MATLAB* B.3 per analizzare i risultati ottenuti con una simulazione *SPICE* di tipo *Monte Carlo* per il dispositivo *1B1142.Battery.Equalizer*.

I dati da analizzare, la tensione e la corrente, sono letti da due file distinti, *MC1000_Vout.txt* e *MC1000_Icenbat.txt* e sono salvati in due matrici temporanee, *Vout_temp* e *Icenbat_temp*, in cui ogni colonna rappresenta un *run*.

```

1 clc
2 close all
3 clear all
4
5 format long e
6
7 FID1 = fopen('MC1000_Vout.txt','r');
8 Vout_temp = fscanf(FID1,'%f');
9 fclose(FID1);
10
11 FID2 = fopen('MC1000_Icenbat.txt','r');
12 Icenbat_temp = fscanf(FID2,'%f');
13 fclose(FID2);
14
15 runs = 1000;
16
17 fine = length(Vout_temp);
18 num_col = runs+1;
19 for ind =1:num_col
20     riga = 1;
21     colonna = ind;
22     i=ind;
23     while(i<=fine)
24         out_V(riga,colonna) = Vout_temp(i);
25         out_I(riga,colonna) = Icenbat_temp(i);
26         i = i+num_col;
27         riga = riga+1;
28     end
29 end
30
31 Voff = out_V(:,1);
32 Voff_ctrl = out_I(:,1);
33 Vout_nom = out_V(:,2);
34 Icenbat_nom = out_I(:,2);
35 [row,col] = size(out_V);
36 [row_ctrl,col_ctrl] = size(out_I);
37
38 figure(1)
39 subplot(2,1,1)
40 plot(Voff,Vout_nom,'bo-');
41 title('Vnom vs Voff');
42 xlabel('Voff [V]');
43 ylabel('Vout [V]');
44 grid on
45 subplot(2,1,2)
46 plot(Voff,Icenbat_nom,'r*-');

```

```
47 title('Icenbat nom vs Voff');
48 xlabel('Voff [V]');
49 ylabel('Icenbat [A]');
50 grid on
51
52 figure(2)
53 subplot(2,1,1)
54 hold on
55 title('Vout vs Voff');
56 xlabel('Voff [V]');
57 ylabel('Vout [V]');
58 for i=2:col
59     plot(Voff,out_V(:,i),'b');
60 end
61 grid on
62 subplot(2,1,2)
63 hold on
64 title('Icenbat vs Voff');
65 xlabel('Voff [V]');
66 ylabel('Icenbat [A]');
67 for i=2:col
68     plot(Voff,out_I(:,i),'r');
69 end
70 grid on
71
72 figure(3)
73 subplot(2,1,1)
74 hold on
75 title('Rapporto su Vout/Vnom vs Voff in %');
76 xlabel('Voff [V]');
77 ylabel('Vout/Vnom');
78 %plot(Voff,100,'r')
79 for i=3:col
80     V_rapporto_perc(:,i) = out_V(:,i)./Vout_nom(:,1)*100;
81     plot(Voff,V_rapporto_perc(:,i),'b')
82 end
83 grid on
84 subplot(2,1,2)
85 hold on
86 title('Rapporto su Icenbat/Icenbat nom vs Voff in %');
87 xlabel('Voff [V]');
88 ylabel('Icenbat/Icenbat nom');
89 for i=3:col
90     I_rapporto_perc(:,i) = out_V(:,i)./Icenbat_nom(:,1)*100;
91     plot(Voff,I_rapporto_perc(:,i),'r')
92 end
93 grid on
94
95 figure(4)
96 subplot(2,1,1)
97 hold on
98 title('Distanza Vout_V-Vnom vs Voff');
99 xlabel('Voff [V]');
100 ylabel('Vout_V-Vnom [V]');
101 %plot(Voff,100,'r')
102 for i=3:col
```

```
103     V_dist(:,i) = out_V(:,i)-Vout_nom(:,1);
104     plot(Voff,V_dist(:,i), 'b')
105 end
106 grid on
107 subplot(2,1,2)
108 hold on
109 title('Distanza Icenbat-Icenbat nom vs Voff');
110 xlabel('Voff [V]');
111 ylabel('Icenbat-Icenbat nom [A]');
112 %plot(Voff,100,'r')
113 for i=3:col
114     I_dist(:,i) = out_I(:,i)-Icenbat_nom(:,1);
115     plot(Voff,I_dist(:,i), 'r')
116 end
117 grid on
118
119 figure(5)
120 subplot(2,1,1)
121 hold on
122 title('V_UNBAL Standard Deviation');
123 xlabel('Voff [V]');
124 ylabel('STD [V]');
125 for i=3:length(out_V)
126     V_diff(:,i-2) = (out_V(:,i)-Vout_nom(:,1)).^2;
127 end
128 V_dev = sqrt((sum(V_diff,2)./runs));
129 plot(Voff,V_dev, 'bo-');
130 grid on
131 subplot(2,1,2)
132 hold on
133 title('I_CENBAT Standard Deviation');
134 xlabel('Voff [V]');
135 ylabel('STD [A]');
136 for i=3:length(out_V)
137     I_diff(:,i-2) = (out_I(:,i)-Icenbat_nom(:,1)).^2;
138 end
139 I_dev = sqrt((sum(I_diff,2)./runs));
140 plot(Voff,I_dev, 'r*-');
141 grid on
142
143 V_media = mean(V_dev);
144 I_media = mean(I_dev);
145
146 FID3 = fopen('RESULT_PRA100-005.txt', 'wt');
147 fprintf(FID3, 'La dev std media della Vout è %f\n', V_media);
148 fprintf(FID3, 'La dev std media della Icenbat è %12.8f\n', I_media);
149 fclose(FID3);
```

B.4 Script MATLAB per 1B115

Script *MATLAB* B.4 per analizzare i risultati ottenuti per il dispositivo *1B115-Shunt-Overvoltage-Protection*.

```

1  clc
2  close all
3  clear all
4
5  Vz = 2.5;           %Drop Voltage dal regolatore
6  Vce_sat = 30e-3;   %Tensione saturazione BJT
7  Rc = 270;          %Resistenza di collettore
8  Vb_overvoltage = linspace(17.5,18.5,11);
9  Vb_shunt = linspace(16.5,17.5,11);
10
11 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
12 %Calcolo la corrente in Overvoltage Protection Mode
13
14 Ib_overvoltage = (R2/(R1/8))*(Vb_overvoltage*(1/R2+1/(R3+ ...
15   (R5*Roff/(R5+Roff))))-z*(1/R2+1/(R3+(R5*Roff/(R5+Roff)))+1/R4));
16 disp('Con Vb=18.5, massima corrente reale Ib')
17 max(Ib_overvoltage)
18 Ib__overvoltage_MAX_teorico = (max(Vb_overvoltage)-Vce_sat)/ ...
19   (R1+Rc)*8;
20
21 der_Ib_overvoltage = diff(Ib_overvoltage)./diff(Vb_overvoltage);
22 der_Ib_overvoltage_media = mean(der_Ib_overvoltage);
23
24 %Calcolo la corrente in Shunt Mode
25
26 Ib_shunt = (R2/(R1/8))*(Vb_shunt*(1/R2+1/R3)-Vz*(1/R2+1/R3+1/R4));
27 disp('Con Vb=17.5, massima corrente reale Ib')
28 max(Ib_shunt)
29 Ib__shunt_MAX_teorico = (max(Vb_shunt)-Vce_sat)/(R1+Rc)*8;
30
31 der_Ib_shunt = diff(Ib_shunt)./diff(Vb_shunt);
32 der_Ib_shunt_media = mean(der_Ib_shunt);
33
34 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
35 %Disegno la corrente teorica per Overvoltage e Shunt Mode
36
37 V_zero = linspace(16,16.5,6);
38 I_zero = zeros(1,6);
39 V_zero_ov = linspace(16,17.5,16);
40 I_zero_ov = zeros(1,16);
41 V_shunt_max = linspace(17.5,19,16);
42 I_shunt_max = max(Ib_shunt)*ones(1,16);
43 V_overvoltage_max = linspace(18.5,19,6);
44 I_overvoltage_max = max(Ib_overvoltage)*ones(1,6);
45
46 figure(2)
47 plot(Vb_overvoltage, Ib_overvoltage, 'r', Vb_shunt, Ib_shunt, 'b', ...
48   V_zero, I_zero, 'r', V_zero_ov, I_zero_ov, 'b*', V_zero_ov, I_zero_ov, 'r', ...
49   V_shunt_max, I_shunt_max, 'b', V_overvoltage_max, ...
50   I_overvoltage_max, 'r', 'LineWidth', 2)

```

```

51 axis([16 19 -0.1 0.7])
52 grid on
53 title('Corrente teorica per Overvoltage Protection e Active Shunt');
54 xlabel('Bus Voltage VB [V]');
55 ylabel('Bus Current IB [A]');
56 legend('OVERVOLTAGE', 'SHUNT')
57
58 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
59 %Calcolo R3,R4,R5 in funzione di Ileak
60
61 Ileak = linspace(1e-9,1e-6,100);
62
63 for i=1:length(Ileak)
64     R3_leak(i) = 1372262;
65     R4_leak(i) = 113035;
66     R5_leak(i) = -2.167883212/(Ileak(i) - 0.00000935106383);
67 end
68
69 R3_leak_perc = R3_leak/R3*100;
70 R4_leak_perc = R4_leak/R4*100;
71 R5_leak_perc = R5_leak/R5*100;
72
73 figure(3)
74 subplot(3,1,1), plot(Ileak,R3_leak,'r')
75 grid on
76 title('R3')
77 xlabel('Ileak [A]')
78 ylabel('Resistance [Ohm]')
79 subplot(3,1,2), plot(Ileak,R4_leak,'b')
80 grid on
81 title('R4')
82 xlabel('Ileak [A]')
83 ylabel('Resistance [Ohm]')
84 subplot(3,1,3), plot(Ileak,R5_leak,'g')
85 grid on
86 title('R5')
87 xlabel('Ileak [A]')
88 ylabel('Resistance [Ohm]')
89
90 figure(4)
91 subplot(3,1,1), plot(Ileak,R3_leak_perc,'r')
92 grid on
93 title('R3(Ileak)/R3 reale')
94 xlabel('Ileak [A]')
95 ylabel('%')
96 subplot(3,1,2), plot(Ileak,R4_leak_perc,'b')
97 grid on
98 title('R4(Ileak)/R4 reale')
99 xlabel('Ileak [A]')
100 ylabel('%')
101 subplot(3,1,3), plot(Ileak,R5_leak_perc,'g')
102 grid on
103 title('R5(Ileak)/R5 reale')
104 xlabel('Ileak [A]')
105 ylabel('%')
106

```

```

107 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
108 %Calcolo R3,R4,R5 del primo prototipo in funzione di Ileak
109 R2_old = 1.2e6;
110
111 Ileak = linspace(1e-9,1e-6,100);
112 for i=1:length(Ileak)
113     R3_old(i) = 1184600.197;
114     R4_old(i) = 200000000.0/(80000000.0*Ileak(i) + 2013.0);
115     Rtot_old(i) = -14*(14/R2-2.5/R4_old(i))^-1;
116     R5_old(i) = Rtot_old(i)*R3_old(i)/(R3_old(i)-Rtot_old(i));
117 end
118
119 R3_old_perc = R3_old/R3_old(41)*100;
120 R4_old_perc = R4_old/R4_old(41)*100;
121 R5_old_perc = R5_old/R5_old(41)*100;
122
123 figure(5)
124 subplot(3,1,1), plot(Ileak,R3_old,'r-')
125 grid on
126 title('R3 Primo Prototipo')
127 xlabel('Ileak [A]')
128 ylabel('Resistance [Ohm]')
129 subplot(3,1,2), plot(Ileak,R4_old,'b')
130 grid on
131 title('R4 Primo Prototipo')
132 xlabel('Ileak [A]')
133 ylabel('Resistance [Ohm]')
134 subplot(3,1,3), plot(Ileak,R5_old,'g')
135 grid on
136 title('R5 Primo Prototipo')
137 xlabel('Ileak [A]')
138 ylabel('Resistance [Ohm]')
139
140 figure(6)
141 subplot(3,1,1), plot(Ileak,R3_old_perc,'r-')
142 grid on
143 title('R3(Ileak)/R3 reale Primo Prototipo')
144 xlabel('Ileak [A]')
145 ylabel('%')
146 subplot(3,1,2), plot(Ileak,R4_old_perc,'b')
147 grid on
148 title('R4(Ileak)/R4 reale Primo Prototipo')
149 xlabel('Ileak [A]')
150 ylabel('%')
151 subplot(3,1,3), plot(Ileak,R5_old_perc,'g')
152 grid on
153 title('R5(Ileak)/R5 reale Primo Prototipo')
154 xlabel('Ileak [A]')
155 ylabel('%')
156
157 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
158 %Calcolo Vb,MAX rispetto a Vz
159 Vz = 2.5;
160 tol = 0.1;
161 err = Vz*tol/100;
162 Vz_v = linspace(Vz-err,Vz+err,7);

```

```
163 Vb_MAX_shunt = 7.029790261*Vz_v;  
164 Vb_MAX_over = 7.484459447*Vz_v;  
165  
166 figure(7)  
167 subplot(2,1,1), plot(Vz_v,Vb_MAX_shunt,'r-',Vz_v(4),...  
168     Vb_MAX_shunt(4),'ro','LineWidth',1.5)  
169 grid on  
170 title('VB,MAX Active Shunt Vs MAX6138 tolerance')  
171 xlabel('Ileak [A]')  
172 ylabel('VB,MAX [V]')  
173 subplot(2,1,2), plot(Vz_v,Vb_MAX_over,'b',Vz_v(4),Vb_MAX_over(4),...  
174     'bo','LineWidth',1.5)  
175 grid on  
176 title('VB,MAX Overvoltage Protection Vs MAX6138A tolerance')  
177 xlabel('Vz [V]')  
178 ylabel('VB,MAX [V]')
```


Appendice C

Cenni di Misure

In metrologia *misurare* è assegnare un valore ad una determinata proprietà fisica, detta misurando.

Per questioni sia pratiche che teoriche non è mai possibile assegnare un unico, preciso, valore al misurando; al contrario ogni misura viene definita da un intervallo di valori in cui probabilmente essa è compresa. La larghezza di questo intervallo è associata all'*incertezza* di misura e più l'intervallo è grande, maggiore è l'incertezza sulla misura.

Pertanto in ambito metrologico una misura X è definita sempre da tre componenti:

- valore numerico di riferimento, \bar{X} ;
- unità di misura;
- incertezza associata alla misura, δX .

Ad esempio la velocità di un autoveicolo letta sul tachimetro è $100 \text{ km h}^{-1} \pm 10 \text{ km h}^{-1}$.

L'incertezza δX è dunque la differenza tra il valore numerico di riferimento e il valore misurato:

$$\delta X = \bar{X} - X \quad (\text{C.1})$$

Inoltre si definisce l'incertezza relativa ϵ come:

$$\epsilon_X = \frac{\delta X}{X} \quad (\text{C.2})$$

Quando si effettua una misura è necessario scegliere una *metodologia*.

Semplificando si può affermare che esistono due principali metodologie di misura:

- il metodo diretto nel quale il valore del misurando è ottenuto leggendo direttamente la grandezza di interesse e confrontandola con una della stessa specie, scelta come campione e rappresentante l'unità di misura.
- il metodo indiretto nel quale la misura è ottenuta leggendo una o più grandezze legate funzionalmente al valore del misurando, ma non omogenee alla grandezza di interesse.

Non sempre è possibile usare una metodologia di tipo diretto, anzi è evidente che la maggior parte delle misure fatte per mezzo di trasduttori e altri sensori siano delle misure indirette.

Per poter utilizzare un metodo indiretto è necessario conoscere preventivamente le relazioni che legano le grandezze al misurando ed in più bisogna valutare l'effetto della propagazione delle loro incertezze sulla misura finale.

Sia $f(x_1, x_2, \dots, x_n)$ una funzione dipendente da n variabili in cui ad ogni variabile x_i è associato un errore δx_i , allora:

$$f(x_1, x_2, \dots, x_n, \delta x_1, \delta x_2, \dots, \delta x_n) \quad (\text{C.3})$$

Se queste variabili non sono correlate, si può calcolare l'errore δf partendo dagli errori delle singole variabili:

$$\delta f = \delta f(x_1, x_2, \dots, x_n, \delta x_1, \delta x_2, \dots, \delta x_n) = \sum_{i=1}^n \left(\frac{\partial f}{\partial x_i} \delta x_i \right)^2 \quad (\text{C.4})$$

In altre parole δf dipende dalle derivate parziali $\frac{\partial f}{\partial x_i}$.

Una volta ottenuto δf allora si può riscrivere:

$$f = \bar{f} \pm \delta f \quad (\text{C.5})$$

In cui \bar{f} rappresenta un valore di riferimento e δf l'incertezza con cui si definisce f .

Di seguito sono definiti gli errori che si commettono per le operazioni fondamentali.

C.1 Somma e Differenza

Data una funzione $X = A + B$, dove A e B sono delle variabili con incertezza rispettivamente δA e δB ; allora dall'equazione C.4 si ricava δX :

$$\begin{cases} \frac{\partial X}{\partial A} = 1 \\ \frac{\partial X}{\partial B} = 1 \end{cases} \quad (\text{C.6})$$

Da cui si ottiene:

$$\delta X = \delta A + \delta B \quad (\text{C.7})$$

In altre parole l'incertezza della somma di due misure è la somma delle incertezze assolute legate alle misure.

Per quanto riguarda la differenza $X = A - B$, il discorso è molto simile. Pur valendo $\partial X / \partial B = -1$, per ottenere una stima del caso peggiore, i contributi delle derivate parziali vanno sommati con lo stesso segno. Il risultato è lo stesso di quello ottenuto per la somma.

¹Con errori di tipo statistico sarebbe meglio sommarli in quadratura per avere una stima migliore. In ogni caso una somma di tipo lineare rappresenta con certezza il caso peggiore.

C.2 Rapporto e Prodotto

Data una funzione $X = A/B$, dove A e B sono delle variabili con incertezza rispettivamente δA e δB , usando l'equazione C.4 si ricava δX :

$$\begin{cases} \frac{\partial X}{\partial A} = \frac{1}{B} \\ \frac{\partial X}{\partial B} = -\frac{A}{B^2} \end{cases} \quad (\text{C.8})$$

Anche in questo caso per ottenere la stima peggiore si sceglie il contributo $\partial X/\partial B$ con segno positivo.²

L'incertezza con cui si conosce X quindi vale:

$$\delta X = \frac{\delta A}{B} + \frac{A}{B^2} \delta B \quad (\text{C.9})$$

E dividendo per X si ottiene:

$$\frac{\delta X}{X} = \frac{\delta A}{A} + \frac{\delta B}{B} = \epsilon A + \epsilon B \quad (\text{C.10})$$

In altre parole l'incertezza relativa del rapporto tra due misure è la somma delle incertezze relative sulle singole misure.

Per il prodotto $X = AB$ valgono le stesse considerazioni ed il risultato è lo stesso del caso del rapporto.

In generale applicando l'equazione C.4 è possibile valutare la propagazione delle incertezze per qualsiasi funzione. Di seguito è riportato un esempio pratico utile per ottenere alcuni risultati esposti in questo elaborato.

C.3 Esempio AD8237

La tensione di uscita V_{OUT} dell'amplificatore da strumentazione *AD8237*, configurato come in figura 5.13, vale:

$$V_{OUT} = (I_{N+} - I_{N-})G + V_{REF} \frac{R4}{R4 + R3} \quad (\text{C.11})$$

Usando dei resistori con tolleranza nota, la tensione di uscita è allora caratterizzata da un'incertezza causata da tre componenti:

- l'errore sul guadagno G ;
- la tolleranza δR_3 della resistenza R_3 ;
- la tolleranza δR_4 della resistenza R_4 .

²Il segno meno indica che la stima peggiore sull'incertezza si verifica quando l'incertezza su B vale $-\delta B$

L'errore sulla tensione di uscita vale:

$$\delta V_{OUT} = \frac{\partial V_{OUT}}{\partial G} \delta G + \frac{\partial V_{OUT}}{\partial R_3} \delta R_3 + \frac{\partial V_{OUT}}{\partial R_4} \delta R_4 \quad (C.12)$$

In cui:

$$\left\{ \begin{array}{l} \frac{\partial V_{OUT}}{\partial G} = IN_+ - IN_- \\ \frac{\partial V_{OUT}}{\partial R_3} = \frac{V_{REF} R_4}{(R_3 + R_4)^2} \\ \frac{\partial V_{OUT}}{\partial R_4} = \frac{V_{REF} R_3}{(R_3 + R_4)^2} \end{array} \right. \quad (C.13)$$

Inoltre il guadagno G dell'amplificatore da strumentazione *AD8237*, quando si usa il *Reference* pin *REF*, vale:

$$G = 1 + \frac{R_2 + R_3 // R_4}{R_1} \quad (C.14)$$

Di conseguenza si ha un errore δG causato dalla tolleranza delle quattro resistenze:

$$\delta G = \frac{\partial G}{\partial R_1} \delta R_1 + \frac{\partial G}{\partial R_2} \delta R_2 + \frac{\partial G}{\partial R_3} \delta R_3 + \frac{\partial G}{\partial R_4} \delta R_4 \quad (C.15)$$

In cui le derivate parziali sono:

$$\left\{ \begin{array}{l} \frac{\partial G}{\partial R_1} = \frac{R_2 + R_3 // R_4}{R_1^2} \\ \frac{\partial G}{\partial R_2} = \frac{1}{R_1} \\ \frac{\partial G}{\partial R_3} = \frac{R_4}{R_1 (R_3 + R_4)^2} \\ \frac{\partial G}{\partial R_4} = \frac{R_3}{R_1 (R_3 + R_4)^2} \end{array} \right. \quad (C.16)$$

Sostituendo i valori numerici si può infine stimare l'errore che si commette sulla tensione di uscita dell'amplificatore *AD8237*, quando si usano quattro resistori con tolleranza nota.

Bibliografia

- [1] Pagina web documenti-sviluppo CUBESAT. [Online]: <http://www.cubesat.org/index.php/documents/developers>
- [2] *Datasheet 18650-22* VARTA. [Online]: http://www.varta-microbattery.com/applications/mb_data/documents/data_sheets/DS56621.pdf
- [3] S. W. Moore, P. J. Schneider, “A Review of Cell Equalization Methods for Lithium Ion and Lithium Polymer Battery System” in *SAE*, v. 3, p. 3, Marzo 2001.
- [4] A. M. Rahimi, “A Lithium-Ion Battery Charger for Charging up to Eight Cells” in *Vehicle Power and Propulsion, 2005 IEEE Conference*, Chigago, IL, USA, Settembre 2005, pp. 131–132.
- [5] *One-cell Lithium-ion battery protection with over/undercharge and over-current protection* Philips Semiconductors.
- [6] Y. Barsukov, in “Battery Celle Balacing: What to Balance and How” v. 3.
- [7] *Datasheet LM6142/LM6144* Texas Instruments. [Online]: <http://www.ti.com.cn/cn/lit/ds/symlink/lm6142.pdf>
- [8] Motore di ricerca *RS* per amplificatori da strumentazione. [Online]: <http://it.rs-online.com/web/c/semiconduttori/amplificatori-e-comparatori/amplificatori-da-strumentazione/>
- [9] *Datasheet AD8237* Analog Devices. [Online]: http://www.analog.com/static/imported-files/data_sheets/AD8237.pdf
- [10] *Datasheet IRLML2803* International Rectifier. [Online]: <http://www.irf.com/product-info/datasheets/data/irlml2803.pdf>
- [11] *Datasheet ZXTN2031* ZETEX Semiconductor. [Online]: <http://pdf1.alldatasheet.com/datasheet-pdf/view/408261/DIODES/ZXTN2031F.html>
- [12] *Datasheet MMBZ5222BLT1G* ON Semiconductor. [Online]: http://www.onsemi.com/pub_link/Collateral/MMBZ5221BLT1-D.PDF
- [13] *Datasheet RTF015N03* ROHM Semiconductor. [Online]: <http://rohms.rohm.com/en/products/databook/datasheet/discrete/transistor/mosfet/rtf015n03.pdf>
- [14] *Datasheet MAX6138A* MAXIM Integrated. [Online]: <http://datasheets.maximintegrated.com/en/ds/MAX6138.pdf>
- [15] *Datasheet INA138* Texas Insturments. [Online]: <http://www.ti.com/general/docs/lit/getliterature.tsp?genericPartNumber=ina138&fileType=pdf>
- [16] *Datasheet TL5001A* Texas Instruments. [Online]: <http://www.ti.com/lit/ds/symlink/tl5001a.pdf>
- [17] *Datasheet NTC100k* Vishay. [Online]: <http://docs-europe.electrocomponents.com/webdocs/0d9a/0900766b80d9a0b4.pdf>

- [18] *Datasheet PRA100I2* Vishay. [Online]: <http://www.vishay.com/docs/53033/pra.pdf>