POLITECNICO DI TORINO

III Facoltà di Ingegneria Dell'Informazione
Corso di Laurea in Ingegneria Elettronica

Tesi di Laurea Magistrale

Interruttore di potenza tollerante ai guasti

Relatori:
Prof. Leonardo Reyneri
Prof. Franco Maddaleno

Candidato:
Ricardo BORTOLETTO GRIZANTE

Luglio 2010

Sommario

Il progetto AraMiS (Architettura Modulare per Satelliti) ha inizio nell'autunno del 2006 sulla base dell'esperienza appurata dal progetto PiCPoT (Piccolo Cubo del Politecnico di Torino), il primo nanosatellite realizzato dal Politecnico di Torino, che ha così aderito ad un'iniziativa internazionale, dall'elevata valenza didattica, che concerne la progettazione di un satellite in ambito universitario.

La filosofia progettuale standard adottata da diverse università in tutto il mondo si basa sul concetto di Cubesat, un satellite di forma cubica con un lato di circa 10 cm e una massa di un 1 Kg al massimo.

PiCPoT è un piccolo cubo di 13 cm di lato contenente, all'interno, sottosistemi elettronici sviluppati ad hoc per svolgere le funzioni di trasmettere dati (per esempio, le misure dei sensori di bordo alla Stazione di Terra), scattare fotografie, valutare il funzionamento del GPS in orbita LEO e quello dei componenti COTS (Components Of The Shelf) nello spazio.

Per proseguire l'attività iniziata col progetto precedente, e nata l'idea di base del progetto AraMiS che si sviluppa seguendo il concetto di modularità. Quest'ultimo si compone di un discreto numero di moduli, detti tiles, preassemblati e precollaudati che hanno la caratteristica di poter essere riutilizzati a seconda delle esigenze di ciascuna missione.

Ciò permette una realizzazione low cost e tempi di sviluppo molto ristretti per il progetto.

I moduli, comunicanti tra di loro tramite un bus seriale, hanno dimensione standard; alcuni saranno collocati sulla superficie esterna del satellite, altri al suo interno.

Questo lavoro di tesi intende occuparsi dello sviluppo di un sistema formato da un interruttore di potenza tollerante ai guasti. Che sucessivamente farà parte del Blocco di Gestione di Potenza.

Lo sviluppo di tale sistema richiede alto livello di affidabilità dato che fa parte di un progetto aerospaziale. Pertanto, la parte progettuale del sistema ha tenuto conto di specifiche molto più stringenti di quelle che in effetti sono richeste, al fine di garantire un maggiore margine di sicurezza.

Le problematiche di interesse di cui conosciamo la natura fisica sono molteplici. Alcune di queste sono già abbastanza conosciute e proviste di tecniche addatte ad evvitarle. Il grosso stress meccanico e radioattivo, rispettivamente delle condizioni del lancio e del ambiente aerospaziale, generano un serie di effetti danosi al sistema. Per via di queste problematiche e delle loro ripercussioni nell'ambito progetuale, lo sviluppo di un sistema semplice diventa abbastanza complesso. I principali problemi che bisogna considerare sono: l'effetto di latch-up e le vibrazioni del lancio, che sono accenati in questo lavoro tanto quanto le loro consequenze. Ovvero, è sconsigliato l'impiego di componenti di tecnologia CMOS e componenti elettromeccanici.

Nonostante le considerazioni precedenti, eventuali guasti possono capitare date le condizioni di lavoro estreme. Perciò lo sviluppo di un sistema di questo genere richiede anche un'attenzione speciale nel farlo rendere un insieme tollerante ai guasti. Al fine di raggiugiere questo obiettivo sono state studiate alcune tecniche di ridondanza in modo che nessun singolo elemento del sistema interruttore (ovvero traccia, pin, filo, componente elettronico, ecc) sia assolutamente necessario al buon funzionamento dell'insieme.

La parte progettuale è cominciata con un interruttore elementare. Si è realizzato uno studio dei suoi componenti e la configurazione più adatta alle condizioni operative. Dopo simulazioni e prove si è cercato di fare ulteriori migliore nel circuito in modo ad avere minori tempi di commutazione per l'interruttore elementare. Una ulteriore migliora in questo circuito è stata realizzata sucessivamente in maniera da permettere che la corrente passe sia da una parte che dall'altra. Ovvero si è progettato un interruttore bidirezionale.

Il lavoro è proseguito con l'apposita replicazione del interruttore elementare in modo a

generare un circuito ridondante tollerante ai guasti. Nella stessa maniera di prima si sono realizzati simulazioni e prove che hanno verificato il buon funzionamento del sistema.

In paralello allo sviluppo del sistema interruttore di potenza si è condotto uno studio riguardo un parametro utilizzato spesso nei fusibili: l'Integrale di Joule. Lo scopo di questo studio innovativo è acquisire nuove conoscenze su come questo parametro (anche conosciuto come iquadrotì o I2t) può essere relazionato al transistor di potenza. Dato che il fusibile e il transistor (come viene utilizzato in questo lavoro, per esempio) funzionano essenzialmente come interruttori di corrente, è utile metterli in relazione. Allo scopo di verificare il comportamento del transistor è stato condotto un esperimento in cui il dispositivo è stato sottoposto ad un grosso picco istantaneo di corrente.

Indice

Sommario II

1 Introduzione **1**

1.1 Il progetto PicPoT 2

1.2 Il progetto Aramis 4

2 Valutazione dell integrale di Joule per un transistor MOS di potenza **9**

2.1 Comportamento termico del dispositivo interruttore 9

2.1.1 Comportamento statico 10

2.1.2 Comportamento dinamico 11

3 Problematiche del ambiente aerospaziale **15**

3.1 Vibrazione nel lancio 15

3.2 Latch-up 16

3.3 Condizioni Estreme 16

3.4 Conclusioni 17

4 Progetto di un interruttore singolo **19**

4.1 Scelta dei componenti 22

4.1.1 Scelta del transistor Pmos di potenza 22

4.1.2 Scelta dei transistor Nmos 23

5 Simulazione con LTSpice **25**

6 Montaggio e Prime prove **29**

6.1 Adattazione ai componenti in magazzino 29

6.2 Montaggio del circuito 29

6.3 Prove del interruttore singolo ed evoluzione del circuito 30

6.4 Circuito Finale 31

6.5 Prova picco di corrente 34

6.6 Bidirezionale 38

6.7 Ridondanza 39

7 Montaggio e Prove del Circuito Finale **43**

7.1 Simulazione del circuito finale 43

7.2 Montaggio del circuito finale 43

7.3 Prova del circuito finale 46

A Datasheet **51**

A.1 Transistor Pmos di potenza 51

A.2 Transistor Nmos 62

B Schematici finali Mentor Graphics **73**

B.1 Driver Bidirezionale 73

B.2 Interruttore bidirezionale di potenza tollerante ai guasti 75

C Codici Matlab **77**

C.1 Calcolo della potenza dissipata e energia impiegata nella comutazione del transistor Pmos 77

C.2 Calcolo della potenza dissipata e energia impiegata nella comutazione del transistor Pmos 79

Bibliografia **81**

Capitolo 1

Introduzione

Negli ultimi anni c'è stato un forte aumento nella realizzazione di satelliti di piccole dimensioni, detti picosatelliti o nanosatelliti, da parte di Università di tutto il mondo, dovuto a costi e tempi di sviluppo significativamente contenuti.

I picosatelliti hanno un peso inferiore ad $1\,\mathrm{K}g$, mentre i nanosatelliti un peso che può variare da $1\,\mathrm{K}g$ a $10\,\mathrm{K}g$.

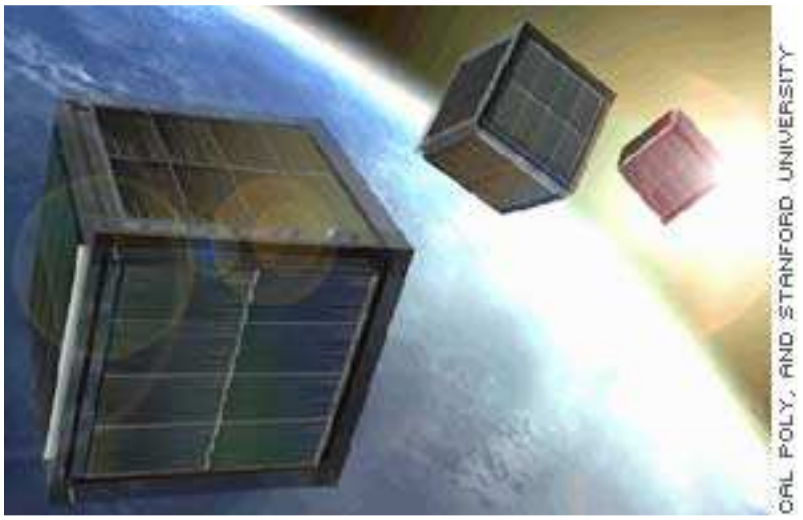


Figura 1.1: Prototipo di Cubesat ideato dalla CalPoly e dalla Stanfort University

La filosofia progettuale standard seguita si basa sul concetto di Cubesat [1], un satellite di forma cubica di circa $10\,\mathrm{c}m$ di lato e $1\,\mathrm{K}g$ di massa al massimo.

Questo progetto è stato sviluppato nel 2001 dal professore Robert Twiggs, docente alla Stanfort University, in collaborazione con la California Politechinc State University, con l'obiettivo appunto di realizzare uno standard per lo sviluppo di picosatelliti che ne facilitasse la progettazione.

L'idea di progettare un satellite è stata adottata da molte Università italiane e straniere, tra le quali citiamo l'Università di Trieste con Atmocube (I), l'Università della Sapienza con Unisat, l'Università Wurzburg (D) con AAU-Cubesat, la Norwegian University of Science and Technology (NO) con NCube.

Anche il Politecnico di Torino ha aderito all'iniziativa internazionale di progettare un satellite universitario, prima con il progetto PicPot [2] e attualmente con il progetto Aramis [3].

1.1 Il progetto PicPoT

Il progetto PicPot nasce nel Gennaio del 2004 in collaborazione tra alcuni dipartimenti dell'Ateneo, in particolare il Dipartimento di Ingegneria Elettronica e il Dipartimento di Ingegneria Areospaziale.

PicPot, acronimo di *PICcolo satellite del POlitecnico di Torino*, è un satellite di forma cubica di 13 cm di lato, una massa di circa 2,5 Kg e un tempo di vita previsto di 90 giorni.

Gli obiettivi principali del progetto sono stati:

- Verificare il funzionamento dei componenti COTS (Components Off The Shelf) nello spazio
- Trasmettere dei dati, quali le letture dei sensori di bordo alla Stazione di Terra
- Scattare fotografie a bassa risoluzione dalla superficie terrestre attraverso tre fotocamere.

La struttura esterna del satellite è un cubo composto da sei facce quadrate e ortogonali tra di loro in lega di alluminio tipo 5000 AlMn (Fig. 1.2).

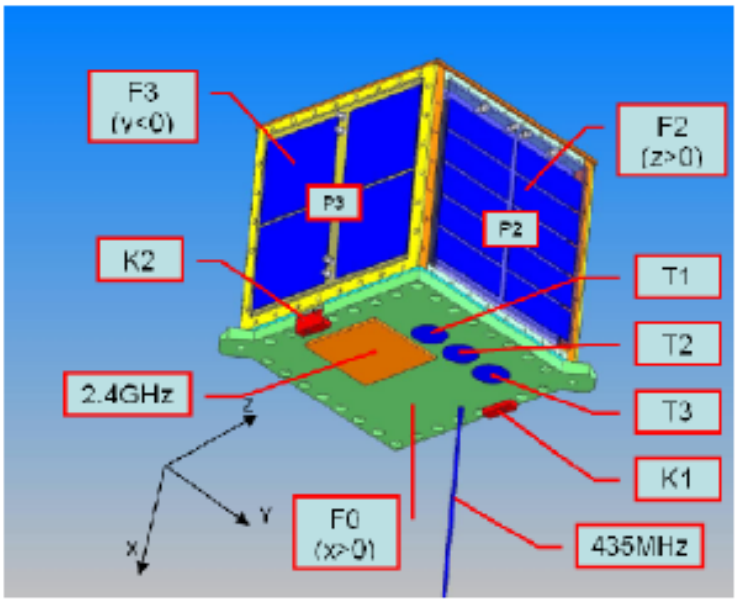


Figura 1.2: Vista esterna PICPOT

Su di esse sono presenti cinque pannelli solari (P1, P2, P3, P4, P5), due antenne (alle frequenze di 437 MHz e 2.4GHz), tre fotocamere (T1, T2, T3), due kill-switch (K1, K2), e un connettore di test per testare la parte elettronica del satellite dopo essere stato montato.

Internamente è costituito da sei schede elettroniche (Fig. 1.3):

- Power Supply, che mantiene cariche le batterie ricaricabili del satellite e controlla lo stato elettrico e termico dei pannelli solari, dei caricabatterie e delle stesse batterie
- Power Switch, che genera, a partire dalle tensioni delle batterie, le tensioni per le altre schede del satellite
- TxRx, che trasmette e riceve dati tra il satellite e la Stazione di Terra, utilizzando due canali di comunicazione, uno alla frequenza di 437 MHz e l'altro a 2.4 GHz
- ProcA e ProcB, i processori di bordo che eseguono i dati ricevuti dalla Stazione di Terra e trasmettono alle due diverse frequenze le fotografie e la telemetria del satellite

- Payload, che acquisisce le immagini dalle tre fotocamere, le comprime in formato JPEG e le trasmette su richiesta a uno dei due processori.

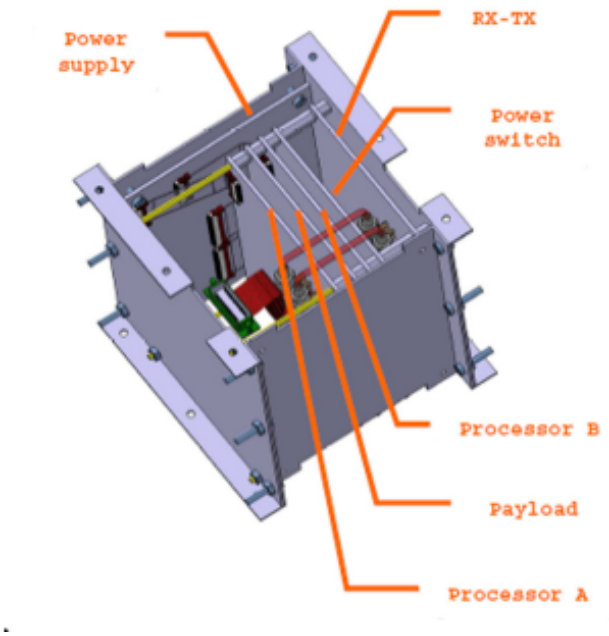


Figura 1.3: Elettronica di bordo PICPOT

Come si può notare, già solo dall'utilizzo di due canali di comunicazione, il sistema elettronico di bordo è stato sviluppato secondo il criterio di ridondanza in modo da garantirne il funzionamento anche in caso di un guasto.

Il progetto PicPot si è concluso con il lancio del 26 Luglio 2006 dalla base russa di Baiknaur (KAZ) su un razzo vettore Dnepr-LV, di derivazione militare.

Purtroppo a causa di un problema idraulico del razzo vettore il lancio è fallito.

1.2 Il progetto Aramis

Dopo l'esperienza di PicPot, nell'autunno del 2006, ha inizio un nuovo progetto: il progetto Aramis, assonanza che sta per *Architettura Modulare per Satelliti.*

Alla base del progetto c'è l'utilizzo di un'architettura modulare, basata su un discreto numero di moduli che devono poter essere riutilizzati a seconda delle esigenze delle diverse missioni.

Il riutilizzo degli stessi moduli permette una maggior diminuzione dei costi di realizzazione e allo stesso modo una riduzione dei tempi di sviluppo, che sono gli obiettivi principali.

Seguendo questa architettura, il satellite è costituito sulla superficie esterna da mattonelle standard di due tipi (Fig. 1.4):

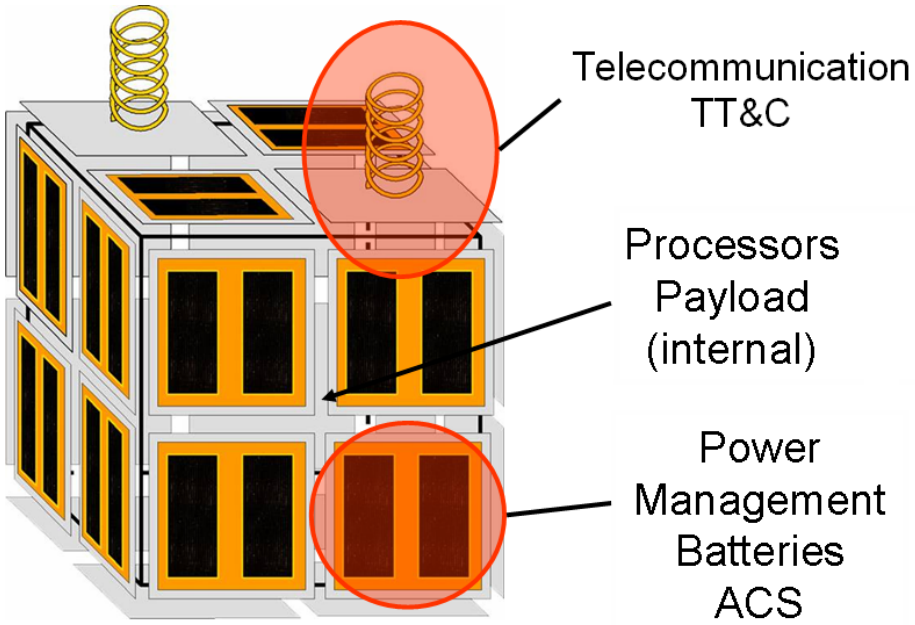


Figura 1.4: Vista esterna ARAMIS

- Power Management tile, che si occupa della gestione della potenza e del controllo d'assetto attivo.

  Essa è costituita da un pannello solare esterno che genera l'energia da trasferire nella batteria, collocata all'interno della mattonella, per essere immagazzinata.

  Per realizzare il controllo d'assetto vi sono un solenoide e una ruota d'inerzia che permettono di orientare il satellite intorno ai tre assi x, y, z.

  Tutti i processi sono gestiti da un microcontrollore.

- Telecomunication tile, che si occupa di trasmettere e ricevere dati e comandi con la Stazione di Terra, realizzata a tale proposito, alle frequenze di 437 MHz e 2.4 GHz che si collocano nella banda dedicata alle comunicazioni satellitari amatoriali.

  Principalmente è costituita da un microcontrollore situato nel tranceiver da programmare, un amplificatore di potenza per la trasmissione, un LNA per la ricezione e un sistema d'antenna.

All'interno (Fig. 1.5) le mattonelle possono essere di più tipi e per il momento quella in fase di sviluppo è la On-Board Processor and Payload Support.

L'On-Board Processor gestisce il controllo del funzionamento dell'intero sistema, quali la comunicazione e i comandi relativi all'assetto del satellite, mentre il Payload potrà essere variato relativamente alle diverse missioni.

Gli obiettivi del progetto Aramis rimangono gli stessi del progetto PicPot.

Questa tesi si occupa dello sviluppo di un sistema formato da un interruttore di potenza tollerante ai guasti. Che sucessivamente farà parte del Power Management Tile.

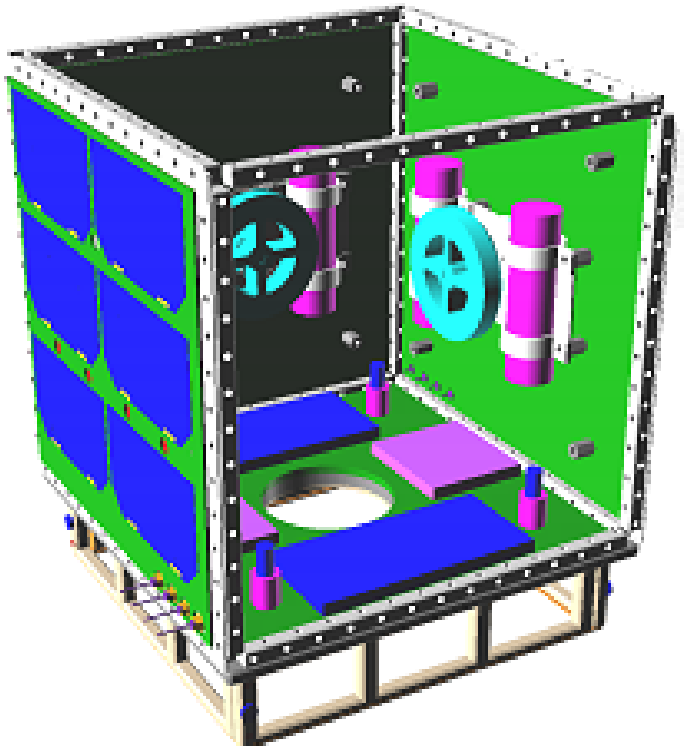


Figura 1.5: Vista interna ARAMIS

Capitolo 2

Valutazione dell integrale di Joule per un transistor MOS di potenza

Un parametro interessante per misurare la potenzialità di un componente interruttore è l'Integrale di Joule. In teoria [4] l'Integrale di Joule è data dalla seguente equazione:

$$E = \int_0^t Ri^2(t)\,dt = R\int_0^t i^2(t)\,dt$$

Si può vedere che l ' I^2t non è niente altro che una misura di energia normalizzata alla resistenza del dispositivo [1]. Questa misura descrive il massimo stress possibile applicato al dispositivo in corto circuito e, pertanto, costituisce un parametro al quale la potenzialità di corto circuito deve essere comparata. Nel caso di un dispositivo a stato solido una misura efficace del massimo picco di corrente dato dal transistor appena prima della temperatura di giunzione raggiungere il suo valore limite massimo.

2.1 Comportamento termico del dispositivo interruttore

I calcoli di analisi termica nella giunzione di un dispositivo stato solido a volte può essere molto difficoltoso e non-pratico. Comunque, un metodo di semplificazione molto effettivo

[1] $Energia = Potenza * tempo = RI^2 * t$

può essere considerato quando si tiene conto del comportamento termico dei dispositivi elettronici. Basicamente trasforma l'analisi termica in un'analisi di circuito elettrico [5].

2.1.1 Comportamento statico

Innanzitutto dobbiamo considerare il comportamento statico del dispositivo. Cioè quando il dispositivo non sta commutando. Prima possiamo dire che quando lui è aperto la temperatura del transistor è uguale alla temperatura ambiente (supponendo un tempo abbastanza alto). Quando in conduzione per un periodo sempre abbastanza alto, comunque, la sua temperatura di giunzione (T_{JL}) può essere valutata a seconda del seguente circuito equivalente presentato nella figura 2.1. In questo caso possiamo applicare gli stessi principi come un normale circuito elettrico. Quindi, risolvendo per T_{JL} abbiamo:

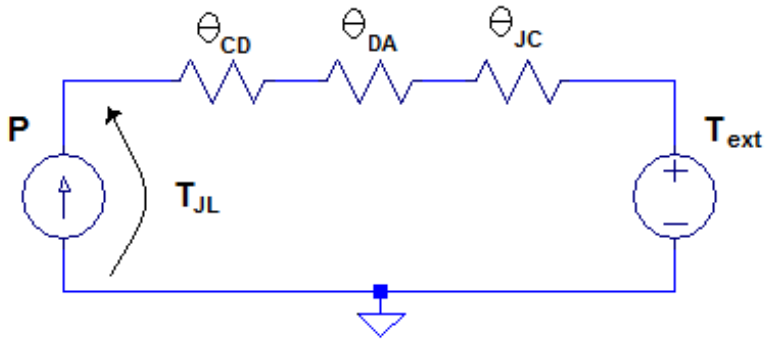


Figura 2.1: Circuito analogo elettrico-termico

$$P = I^2 R_{DS}$$

$$T_{JL} = T_{amb} + \theta_{JA} P$$

$$T_{JL} = T_{ext} + (\theta_{JC} + \theta_{CD} + \theta_{DA}) I^2 R_{DS}$$

dove

- T_{JL} è la temperatura di giunzione del transistor;
- T_{ext} è la temperatura del ambiente in cui il transistor va messo;

- P è la potenza dissipata nel transitor;
- I è la corrente nominale del circuito;
- R_{DS} è la resistenza quando il transistor è saturo;
- θ_{JC},θ_{CD},θ_{DA} sono le resistenze termiche, rispettivamente: junction-case, case-dissipator, dissipator-ambient;

Tutti questi parametri possono essere estrati facilmente dal datasheet del componente una volta che le condizioni di operazione sono conosciute.

2.1.2 Comportamento dinamico

Adesso lo stesso tipo di analisi è fatto per il comportamento in transiente. Cioè quando il transistor si sta aprendo o si sta chiudendo. Dato la velocità del evento il dispositivo non ha tempo per dissipare propriamente il calore. Allora, in questo caso, c'è una resistenza termica dinamica θ_R fra la temperatura istantanea nella giunzione T_J e la temperatura statica di giunzione T_{JL}.

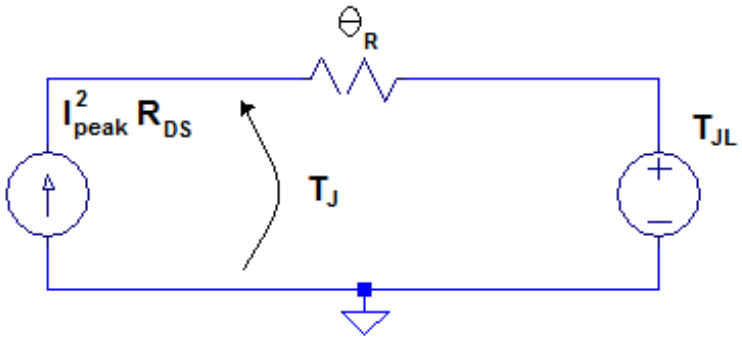


Figura 2.2: Circuito analogo elettrico-termico

Il rapporto fra la resistenza termica di giunzione (θ_R) con il tempo può essere ricavato dal grafico Transient Thermal Response Curve (Fig. 2.3) presente nel datasheet del dispositivo. Quindi, risolvendo per T_J, abbiamo:

$$P = I_{peak}^2 R_{DS}$$

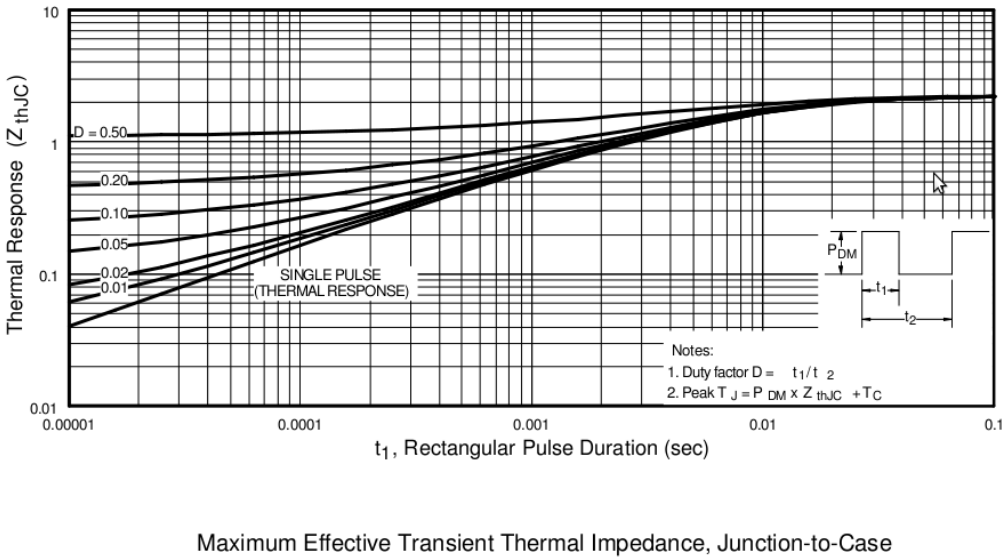


Figura 2.3: Esempio di grafico Transient Thermal Response Curve

$$T_J = T_{JL} + \theta_R P$$

$$T_J = T_{JL} + \theta_R I_{peak}^2 R_{DS}$$

ma,

$$T_{JL} = T_{ext} + (\theta_{JC} + \theta_{CD} + \theta_{DA}) I^2 R_{DS}$$

Sappiamo che la temperatura istantanea di giunzione non deve essere maggiore di T_{max} dato dal fabbricante del transistor. In questo modo possiamo trovare il caso limite:

$$T_J = T_{max}$$

$$T_J = T_{amb} + \theta_{JA} P_{stat} + \frac{R}{K} I^2 \sqrt{t}$$

$$K = \frac{\sqrt{t}}{\theta_R}$$

Alla fine possiamo risolvere queste equazioni in maniera a trovare l'$I_{peak}^2 \sqrt{t}$:

$$I_{peak}^2 \sqrt{t} = \frac{T_{max} - T_{JL}}{R_{DS} \frac{\theta_R}{\sqrt{t}}}$$

$$I_{peak}^2\sqrt{t} = \frac{T_{max} - T_{ext} + (\theta_{JC} + \theta_{CD} + \theta_{DA})I^2 R_{DS}}{R_{DS}\frac{\theta_R}{\sqrt{t}}}$$

Alla fine abbiamo notato che il transistor non segue esattamente la relazione di I^2t costante ma sì $I^2\sqrt{t}$ costante.

Capitolo 3

Problematiche del ambiente aerospaziale

Un progetto per un sistema aerospaziale richiede uno studio delle condizioni anomali di tale mezzo oltre che uno studio di una configurazione del progetto stesso. In questo capitolo sono accennate le condizioni che disturbano di più lo sviluppo di questo progetto. Si tenga presente che le problematiche del ambiente aerospaziale non sono limitate [6] a quelle citate in questo studio.

3.1 Vibrazione nel lancio

Una delle maggiori preoccupazioni della affidabilità in termini di resistenza del sistema è la condizione di lancio del satellite. Questo perché il lancio coinvolge una grossa quantità di energia che spesso si trasforma in vibrazione meccanica dell'apparechiatura lanciata. Per tale motivo è fortemente sconsigliato l'utilizzo di componenti elettromeccanici.

3.2 Latch-up

Il problema di latch-up [7] si deve alle alte condizioni di radiazione del ambiente aerospaziale che possono scattare involontariamente un componente MOSFET. Questo problema è particolarmente grave nel caso della tecnologia CMOS [8] che può risultare nella conduzione di entrambe rete di transistori (nmos e pmos) producendo una piccola resistenza fra alimentazione e massa. Tutto ciò risulta in una grossa corrente che può danneggiare il componente. Siccome questo problema è già abbastanza difuso nei progetti aerospaziali ci sono delle tecniche che consentono l'utilizzo di questa tecnologia e riparano questo effetto sempre che viene scattato tramite il controllo della corrente consumata e un eventuale spegnimento nell'alimentazione del dispositivo che subisce l'effeto. Comunque sia l'utilizzo di componenti di tecnologia CMOS è sconsigliato in questo progetto.

3.3 Condizioni Estreme

Un progetto aerospaziale lavora su condizioni estreme [9] e pertanto richiede un alto livello di affidabilità. Per cui una buona maniera di valutare il grado di affidabilità di un sistema è fatta assumendo che lui presenta un guasto in un singolo componente. Se un sistema ammette un guasto in qualsiasi singolo filo o componente allora diciamo che il sistema è tollerante ai guasti.

Per rendere un normale sistema in un altro tollerante ai guasti si deve fare uso allora della ridondanza.

Per una discussione aprofondita delle tecniche usate nei sistemi elettrici tolleranti ai guasti si prega di vedere [**?**]. Quindi per conto della ridondanza è fortemente consigliabile che il sistema a pochi componenti, sarebbe molto difficoltoso e costoso replicare diverse volte un singolo sottocircuito se esso fosse fatto da diversi componenti. Per lo studio della ridondanza applicata al sistema studiato si prega di vedere il paragrafo 6.7.

3.4 Conclusioni

Dunque dalle condizioni che eseguono una maggiore complicazione in questo caso studiato, risulta nelle premesse che il progetto:

- non deve contenere componenti elettromeccanici
- non deve fare uso di componenti elettronici di tecnologia CMOS
- è consigliata un progetto a pochi componenti.
- deve essere in grado di sopportare guasto in almeno un componente qualsiasi.

Capitolo 4

Progetto di un interruttore singolo

Prima di fare la progettazione e le prove del circuito ridondante tollerante ai gusti si fa comodo partire da un elemento singolo interruttore che poi verrà utilizzato diverse volte in modo a generare il circuito completo.

Questo elemento singolo nel caso del interruttore di potenza è il circuito che rappresenta il blocchetto di uno solo interruttore della figura 4.1.

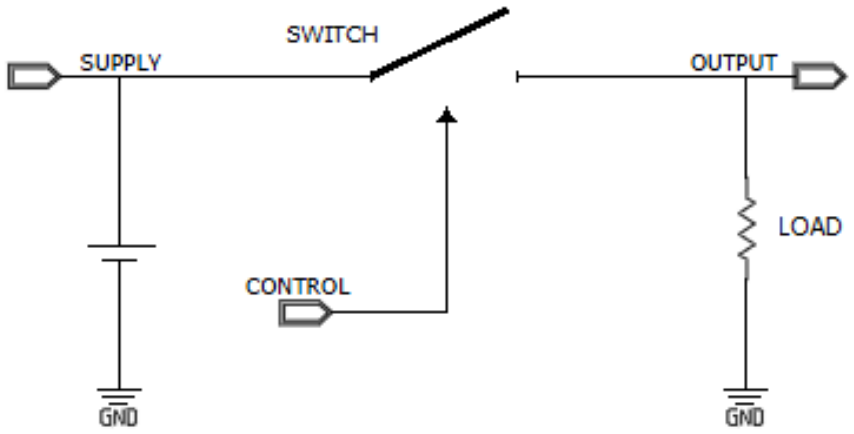


Figura 4.1: Interruttore elementare

Il circuito elementare dovrà quindi controllare un segnale TTL (Control) e chiudere oppure aprire il circuito a seconda del valore che assume questo segnale. Se il segnale TTL

presenta un valore pare a 0 logico l'interruttore deve essere aperto, ovvero deve bloccare il passaggio di potenza. Se invece il segnale TTL presenta un valore pare a 1 logico l'interruttore deve essere chiuso, ovvero deve far passare il massimo di potenza possibile.

Come abbiamo visto dalle conclusioni delle problematiche del ambiente aerospaziale il circuito deve essere abbastanza semplice cioè a pocchi componenti. E non possiamo contare su i componenti CMOS per il problema del Latch up.

Un primo approccio per tale circuito quindi sarebbe come indicato nella figura 4.2. Però questo circuito presenta dei problemi. Il transistor Nmos deve essere in grado di sopportare un grosso rango di tensione fra il suo Drain e Source (V_{DS}) facendosi necessario un componente più costoso. Un altro problema il Pmos potrebbe dannegiarsi a causa del grosso rango di V_{GS}. Tra l'altro il pilotaggio [10] del Pmos in termini di corrente è abbastanza debole rendendo i suoi tempi di chiusura e apertura piuttosto grandi quindi causando un problema di dissipazione non voluta di potenza.

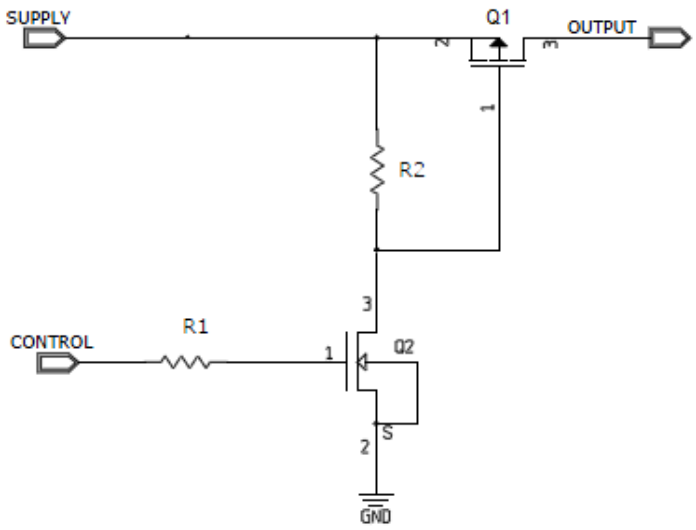


Figura 4.2: Primo approccio per l'interruttore di potenza

Quindi dobbiamo spezzare il circuito di pilotaggio del transistor Pmos di potenza in due sottocircuiti. Uno si incarica di pilotarlo in condizioni di salita e l'altro in condizioni di discesa. Ci sono diversi componenti che fanno questo lavoro però si vantano della

tecnologia CMOS che è sconsigliata come visto nel paragrafo 3.2. Inoltre allo spezzamento del circuito di pilotaggio del transistor Pmos dobbiamo anche trovare una maniera per garantire che la sua tensione V_{GS} non venga sovvracaricata. Allora un secondo approccio può essere il circuito della figura 4.3.

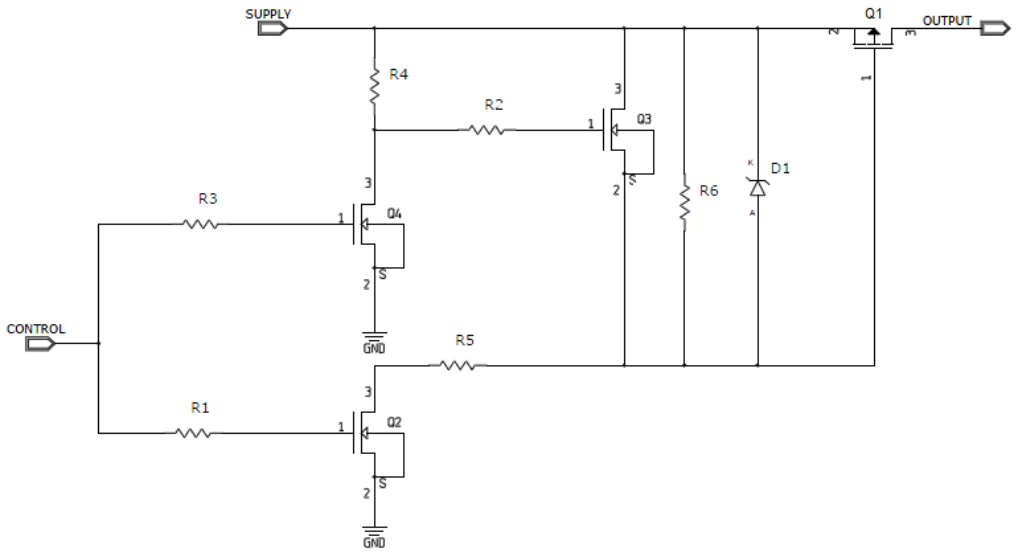


Figura 4.3: Secondo approccio per l'interruttore di potenza

Quando il segnale di controllo è alto Q2 e Q4 sono entrambi accesi e Q3 è spento. Quindi il valore di tensione nel gate del Pmos è basso e allora esso conduce facendo passare la potenza.

Quando il segnale di controllo è basso Q2 e Q4 sono entrambi spenti e Q3 è acceso. Quindi il valore di tensione nel gate del Pmos è alto e allora esso è spento quindi la corrente viene bloccata.

Il circuito funziona bene sempre che la tensione di soglia V_T di Q3 è in valore assoluto sia minore di quello del Pmos.

Le resistenze da R5 e R6 fanno un partitore di tensione per proteggere il Pmos da sovracarico di tensione V_{GS} ben come il diodo che fa questo lavoro.

4.1 Scelta dei componenti

Dalle condizioni fatte nel paragrafo precedenti si è potuto procedere con la scelta degli componenti in una maniera piuttosto intuitiva.

Le resistenze di gate degli nmos presentano un valore basso solo per evitare oscillazioni nel gate.

Le resistenze da 10k e 20k servono da partitore di tensione e il diodo zener deve essere da 10V per proteggere contro sovratensione V_{GS} del transistor di potenza.

La resistenza di 22k serve per limitare la corrente che scorre nel transistor Q4 e quindi diminuire la potenza dissipata inutilmente in questo dispositivo.

4.1.1 Scelta del transistor Pmos di potenza

Il componente che ha richiesto una valutazione più accurata delle sue caratteristiche è il transistor Pmos di potenza.

I parametri di più interesse in questo caso sono l'elevata corrente massima, la resistenza R_{DSON} bassa, bassa resistenza termica e V_{DSBR} minore dalla massima tensione di alimentazione (25V+3Vripple).

Un'altra caratteristica importante per la scelta di tale componente è il grafico di Safe Operation Area della figura 4.4 che fornisce una guida molto buona per il comportamento del componente in condizioni estreme.

Si sono confrontati i modelli disponibili in magazzino a seconda dei diversi parametri appena citati e alla fine si è scelto il modello IRFR5505 (datasheet in appendice A.1) che presentava valori più adeguati al progetto rispetto agli altri presenti in magazzino. Si deve dire che comunque non è un modello ottimale dato che presenta una resistenza piutosto alta che risulta in una maggiore dissipazione di potenza. Comunque questo componente presenta in speciale valori molto comodi per le condizioni di operazione estreme di corrente che ovviamente risultano in una maggiore affidabilità per il circuito.

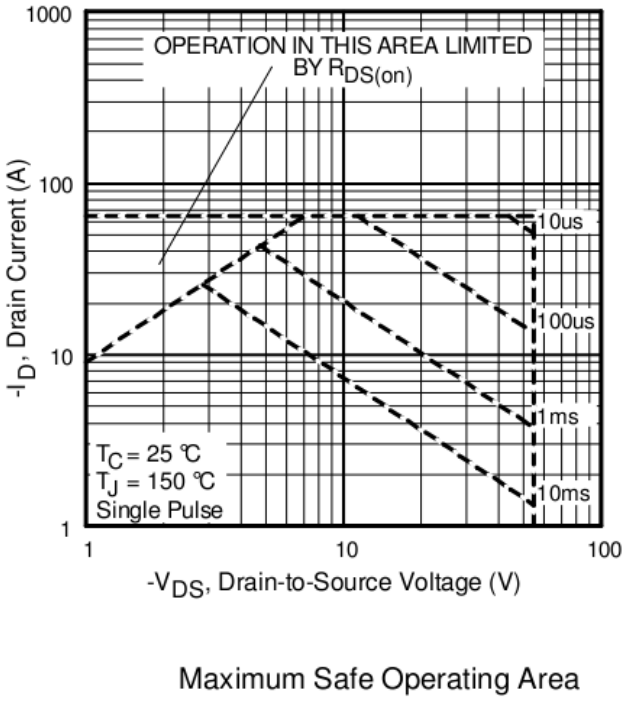


Figura 4.4: Esempio di grafico di Safe Operation Area

4.1.2 Scelta dei transistor Nmos

Questi componenti devono essere in grado di commutare con un valore abbastanza piccolo di tensione di ingresso (da 0V fino a 5V) e devono essere in grado anche di fornire una corrente abbastanza alta (del ordine di un paio di ampère) di modo a caricare e scaricare rapidamente le capacità di gate del transistor di potenza.

Un'altra caratteristica importante da notare è che V_T dev'essere minore, in valori assoluti, che il V_T del transistor di potenza. Altrimenti il Pmos non verebbe mai acceso e il circuito non funzinerebbe.

Anche in questo caso si è fatto uno piccolo studio sui vari modelli disponibili in magazzino e si è scelto il modello IRLML2830(datasheet in appendice A.2).

Capitolo 5

Simulazione con LTSpice

La simulazione è un buono strumento per verificare l'apposito funzionamento del circuito e valutare se le considerazioni fatte nel progetto sono proprio come devono. Perciò prima del montaggio del circuito e le sucessive prove si è scelto di fare un passo di simulazione.

Il programma scelto è stato il LTSpice. Questo programma è gratuito e presenta strumenti semplici però abbastanza utili per fare simulazioni di circuiti non troppo complessi. Per fare la simulazione del circuito in questione si è dovuto fare però la creazione dei componenti più importanti ovvero i transistor.

Un'altra volta il programma si è presentato molto semplice ed efficace con una bella facilità nel creare un componente bastando fare il collegamento di un simbolo per lo schema al suo rispettivo file di descrizione del componente in formato SPICE spesso fornito dal fabbricante [11].

Finalmente si è creato e simulato il circuito (Fig. 5.1).

Notare che si è messo un'onda quadra da 0.8V a 3.5V come segnale di controllo di periodo 30ms e 10ms di durazione di pulso. Si è fatta l'analisi a transienti per 50ms risultando nelle seguenti curve viste nelle figure 5.2 e 5.3.

Da queste curve è possibile notare il comportamento del transistor PMOS di potenza in commutazione. Quando lui è in accensione (Fig. 5.2a) la corrente scarica le capacità di gate: prima C_{GS} e sucessivamente C_{DG} (la così detta capacità Miller) **??**. Quindi il tempo di ritardo è dovuto alla scarica di Q_{GS} e Q_{DG}. Di maniera analoga, quando lui

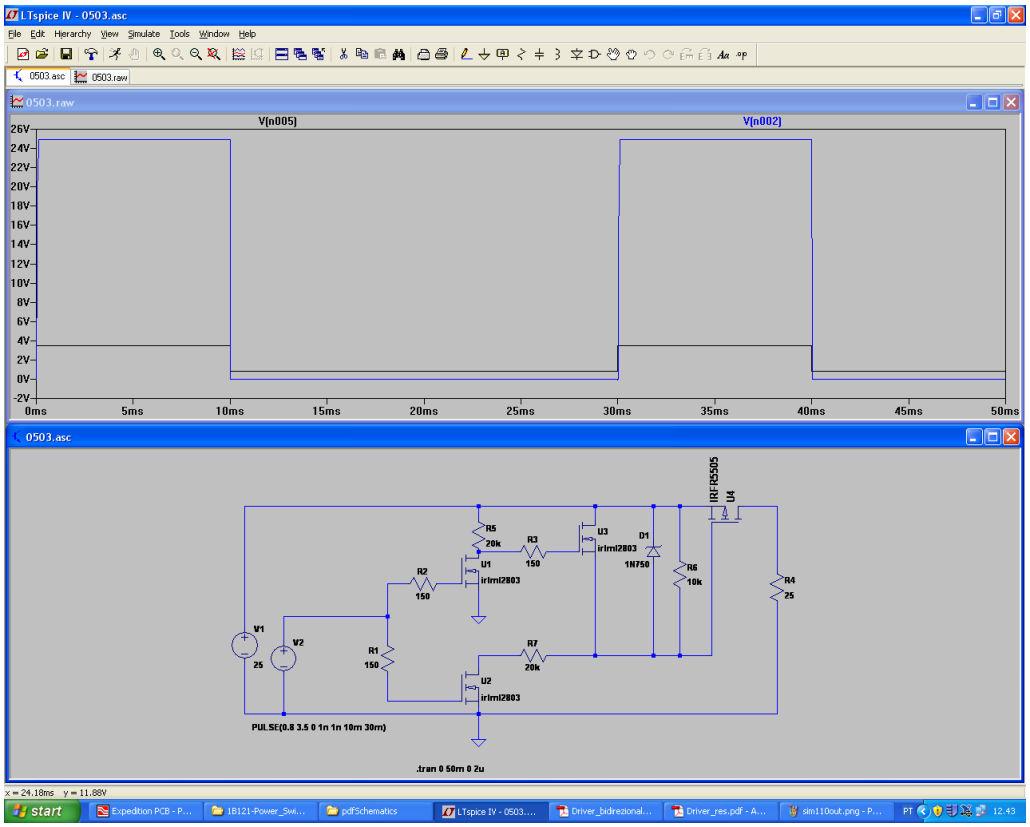
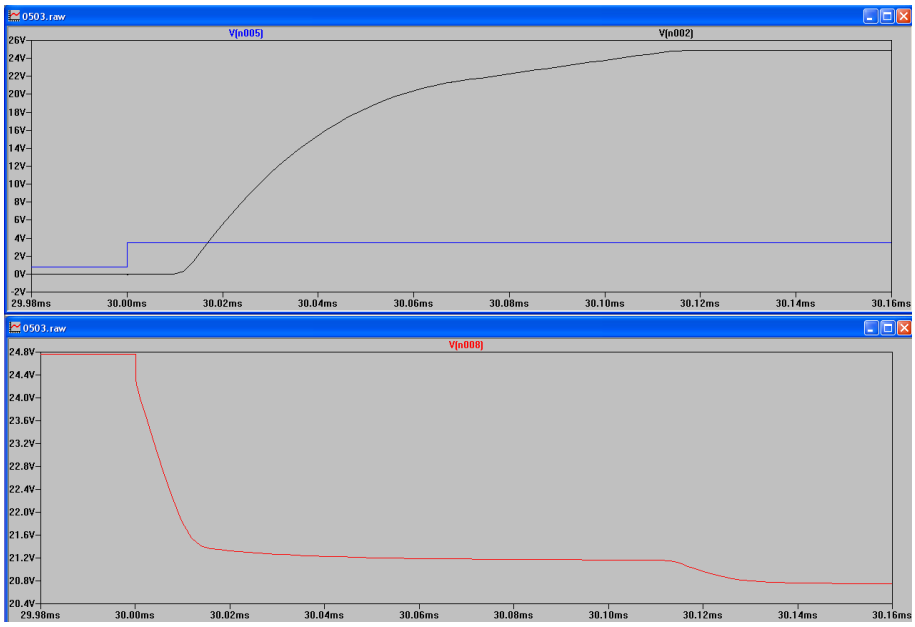
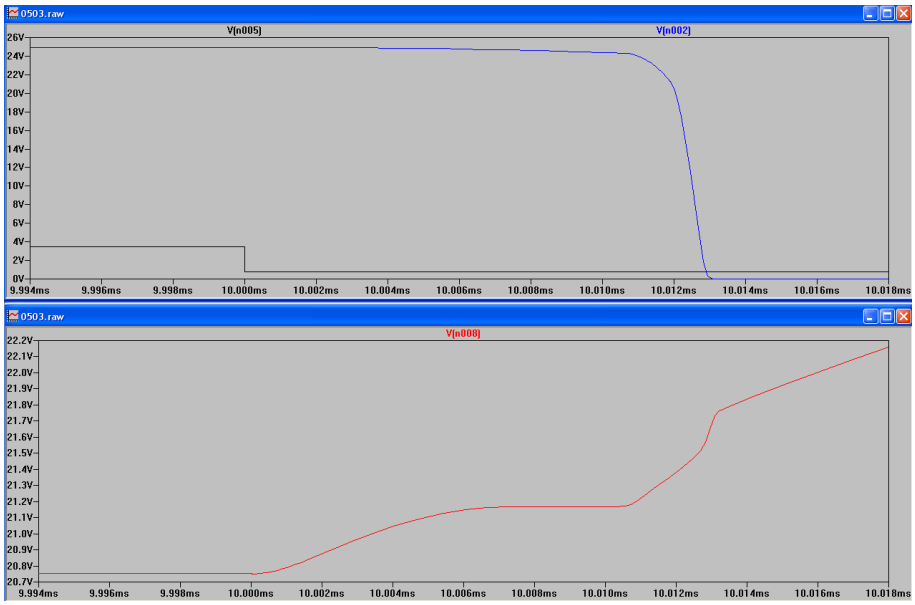


Figura 5.1: Screenshot LTSPice

è in spegnimento (Fig. 5.2a) la corrente deve caricare le capacità di gate: prima C_{GS} e sucessivamente C_{DG}. Nello stesso modo, il tempo di ritardo è dovuto alla carica di Q_{GS} e Q_{DG}. Sia in accensione che in spegnimento il transitor raggiunge il maggiore valore di dissipazione di potenza quando finische di scaricare o caricare, rispettivamente, la capacità C_{GS}. Si può notare questo fenomeno nelle figure 5.3. Finalmente è stata fatta la verifica dei valori accettabili di funzionamento in termini di di tensione, corrente, tempi e potenza dissipata.

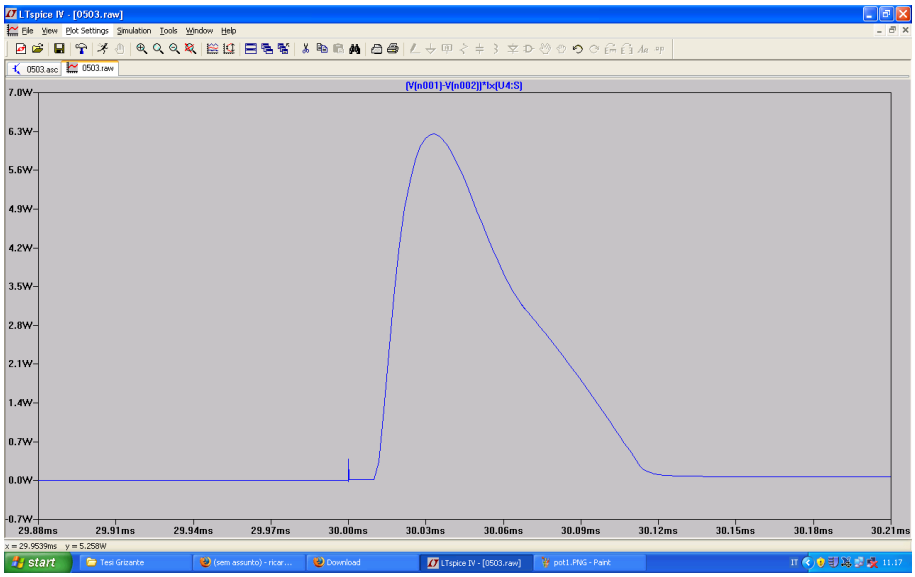


(a) Accensione

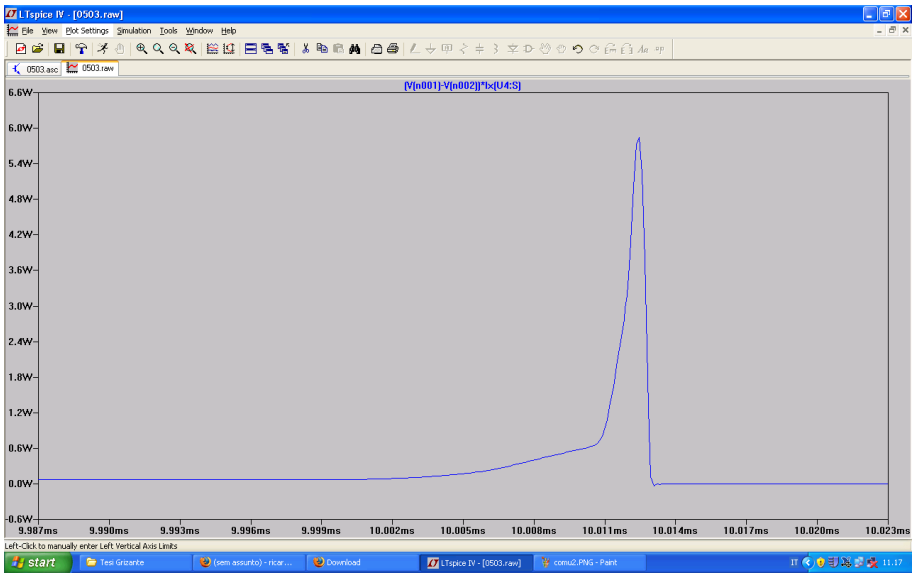


(b) Spegnimento

Figura 5.2: Curva tensione di ingresso(nero) e tensione di uscita(blu) e tensione di gate(rosso)



(a) Accensione



(b) Spegnimento

Figura 5.3: Dissipazione di potenza nel transistor in commutazione

Capitolo 6

Montaggio e Prime prove

6.1 Adattazione ai componenti in magazzino

Dai risultati ottenuti nelle simulazioni si è verificato che il circuito funzionava abbastanza bene e quindi si è potuto passare al passo sucessivo.

Siccome il tempo disponibile per lo svolgimento di questo lavoro era molto stretto si è scelto di adattare il circuito ai componenti già disponibile in magazzino. Anche se in teoria non sarebbero ottimali. Il circuito con i componenti ottimali verrebbe poi fatto sucessivamenti alle ultime prove.

Pertanto, invece del diodo Zener da 10V si sono messi due da 4.7V.

Per per gli nmos si è scelto di utilizzare gli IRLML2803 e per il Pmos si è scelto il modello IRFR5505 come già discusso precedentemente.

Queste condizioni hanno risultato nell'adattazione del circuito che si può vedere nella figura 6.1.

6.2 Montaggio del circuito

Dopo aver deciso i componenti da utilizzare si è passato al progetto in suite di programma della Mentor Graphics. Per lo svolgimento di questo progetto in questo ambiente di lavoro si è dovuto fare la creazione dei componenti che mancavano nella libreria generale di

AraMiS. In questo passo si è dovuto realizzare una procedura analoga alla creazione del componente di simulazione del programa LTSpice. Questa volta però si è realizzato il collegamento del simbolo del componente con il suo rispettivo pad per saldatura.

Si è fatto utilizzo del programma ExpeditionPCB per creare il circuito stampato che dopo verrebbe utilizzato per creare la scheda di prova. Dei pad per controllo del segnale sono stato creati.

Poi i componenti sono saldati e quindi si è passato alle prove.

6.3 Prove del interruttore singolo ed evoluzione del circuito

In questo passo si sono realizzati diversi prove in modo a valutare il buon funzionamento del circuito. Si sono presi in considerazioni il tempo impiegato in chiusura del Pmos, il tempo impiegato in apertura del Pmos, la temperatura nel componente. Nelle ultime prove si sono valutati anche i valori di energia impiegata in chiusura e apertura del Pmos e la potenza dissipata in commutazione tramite procedura Matlab dai dati forniti dall'oscilloscopio.

Per le prove si è messa un'onda quadra come segnale di controllo di modo a simulare un segnale debole TTL. Ovvero con valore alto (0.8V) per 0 logico e valore basso (3.5V) per 1 logico. Questo aiuta a mimetizzare gli effetti di rumore che possono capitare all'ingresso del circuito di controllo.

Poi si variava la tensione di alimentazione e il valore della resistenza di carico con la finalità di far passare diversi valori di corrente.

Dopo alcuni test si è deciso di togliere la resistenza da 10k per non limitare il valore della corrente che carica la capacità di gate del transistor Pmos. Risultando nel circuito della Figura 6.2 che presenta migliore tempo di spegnimento. Di maniera analoga si è deciso di aggiungere un condensatore per velocizzare il transiente di scarica del gate del Pmos dato che il condensatore presenta una bassa impedenza per i transienti. Risultando quindi nel circuito che fa vedere la Figura 6.3.

La tabella 6.1 fa un riassunto dei tempi relazzionati a ciascun circuito e condizioni di prova.

Schema	Tensione di Alimentazione	Resistenza di carico	Corrente	Tempo di Chiusura [ns]	Tempo di Apertura [μs]
Figura 6.1	aaa14V	100Ω	0.14A	44μs	9 μs
Figura 6.2	14V	100Ω	0.14A	12μs	6.4 μs
Figura 6.3	14V	100Ω	0.14A	125 ns	6.3 μs
Figura 6.3	14V	39Ω	0.35A	115 ns	6.6 μs
Figura 6.3	28V	39Ω	0.7A	130 ns	9.82 μs
Figura 6.3	18V	18Ω	1A	410 ns	7.37 μs
Figura 6.3	28V	18Ω	1.56A	600 ns	9.27 μs
Figura 6.3	10V	2.91Ω	3.33A	400 ns	6.0 μs

Tabella 6.1: Risultati ottenuti dalle prime prove

Si può osservare che i tempi aumentano a seconda del aumento della tensione di alimentazione e che di fatto i cambi presentano migliore nelle tempistiche del circuito.

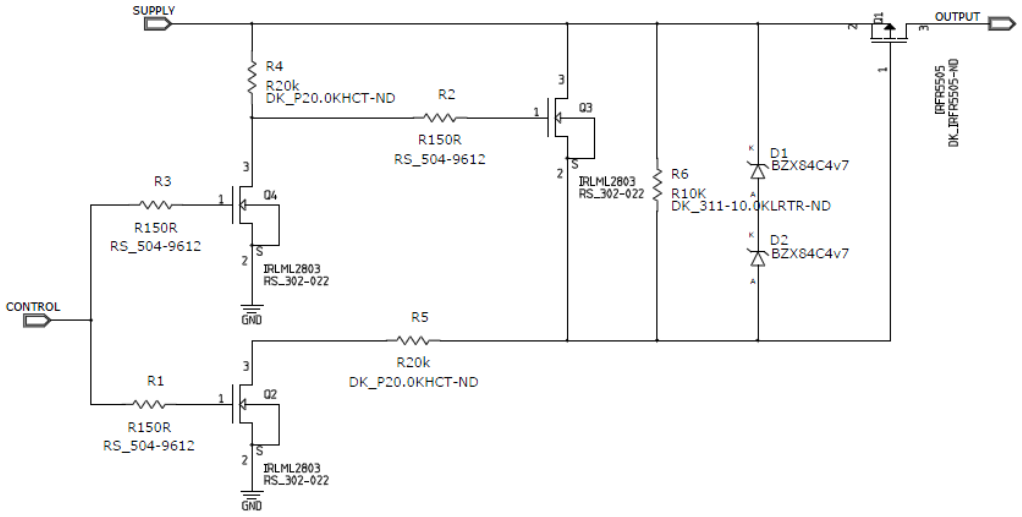


Figura 6.1: Circuito adattato ai componenti disponibili in magazzino

6.4 Circuito Finale

Per il circuito finale (Fig. 6.3) si è fatto il test con più corrente che l'atrezzatura del laboratorio era in grado di fornire. Risultando nei seguenti valori visti nella tabella 6.2.

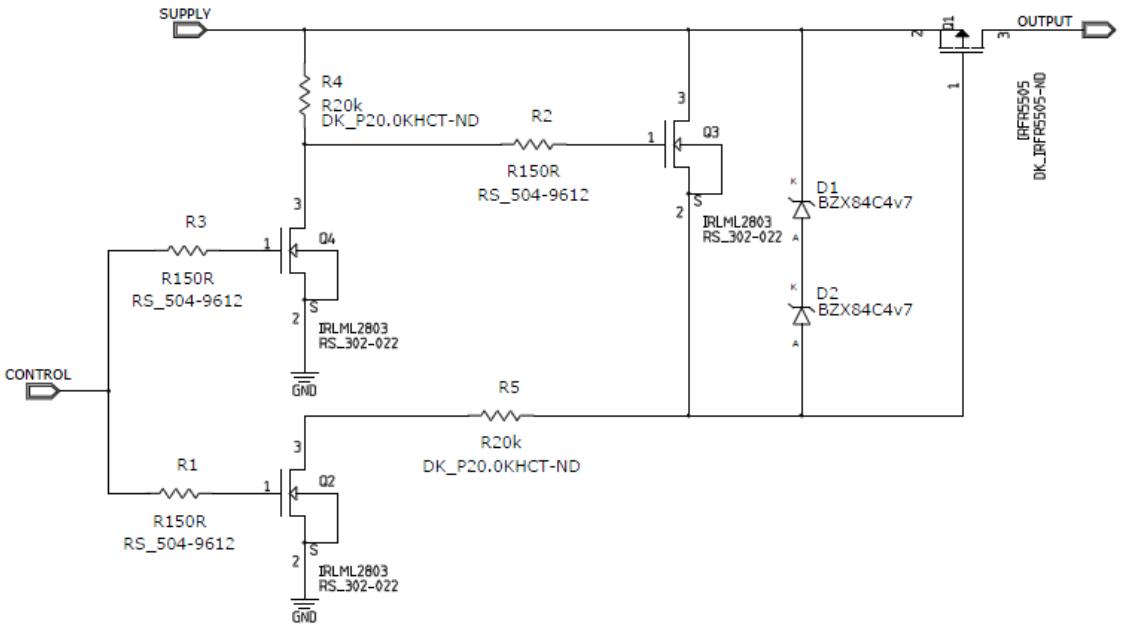


Figura 6.2: Circuito senza la resistenza di 10k

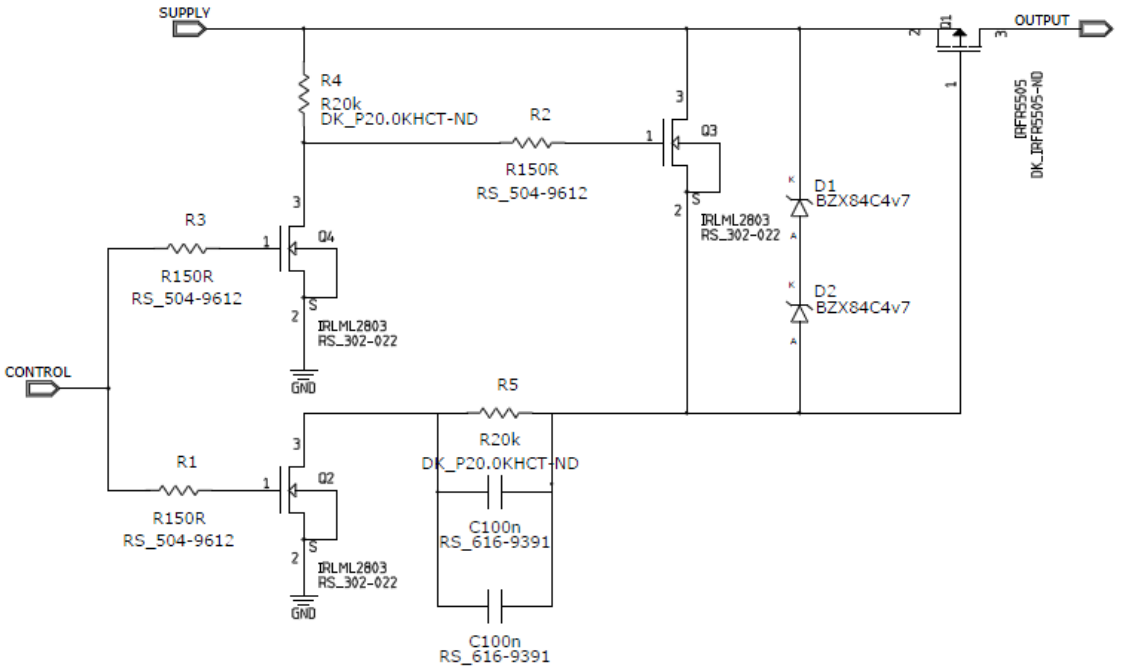
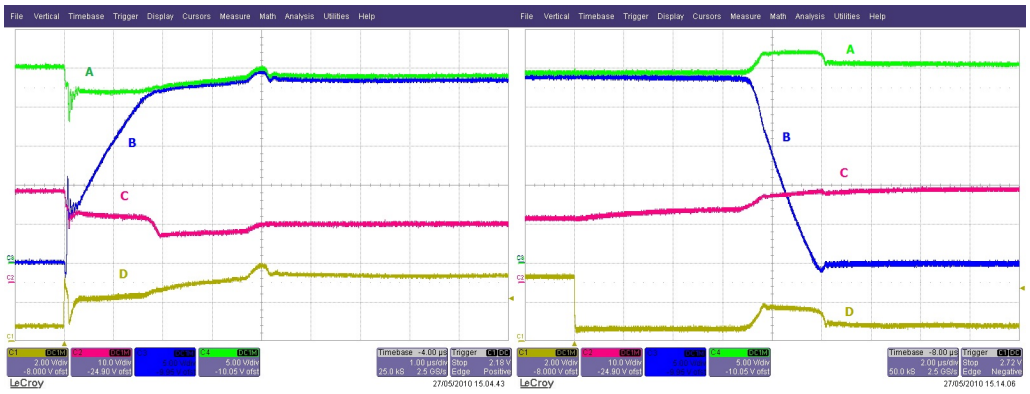


Figura 6.3: Circuito con l'aggiunta del condensatore

Schema	Tensione di Alimentazione	Resistenza di carico	Corrente	Tempo di Chiusura [ns]	Tempo di Apertura [μs]
Figura 6.3	16V	4.7Ω	3.33A	600 ns	7.36 μs
Figura 6.3	25V	4.7Ω	5A	680 ns	9.0 μs

Tabella 6.2: Risultati ottenuti per il circuito della figura 6.3

Nelle figure 6.4a e 6.4b si vedono le curve date dallo schermo dell oscilloscopio *LeCroy Wavesurfer* per le condizioni di questa prova.

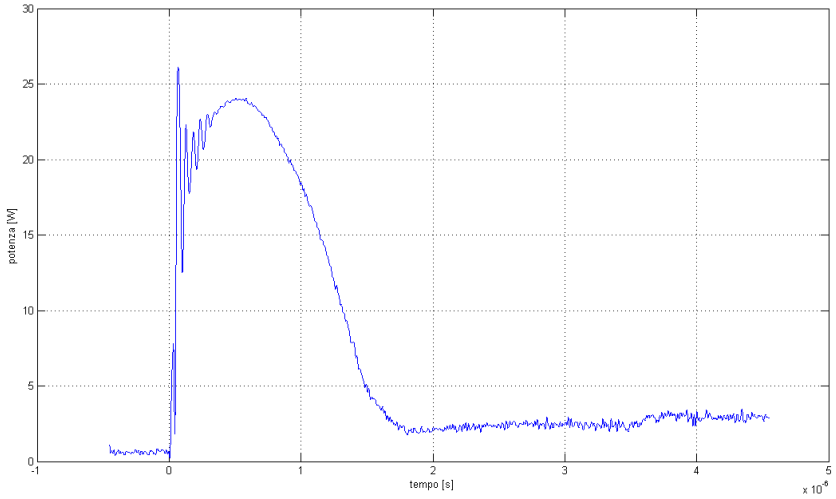


(a) Accensione (b) Spegnimento

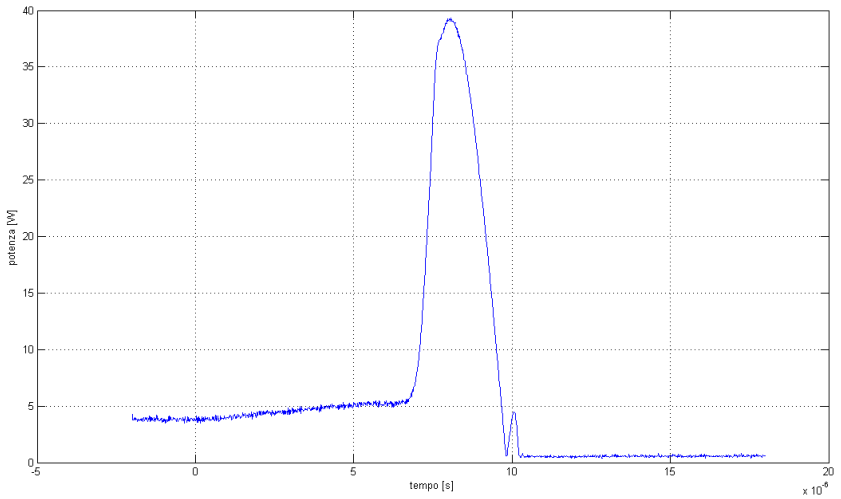
Figura 6.4: Forma d'onda del oscilloscopio
A - Alimentazione; B - Uscita; C - Gate; D - Ingresso

Dopo si sono presi i dati generati dal oscilloscopio *LeCroy Wavesurfer* e si è fatto il grafico di potenza impiegata nella chiusura e nell'apertura del transistor Pmos. Sucessivamente si è calcolata l'energia impiegata in comutazione tramite la procedura matlab messa in appendice C.

In fine si è fatta una foto con la camera termica disponibile in laboratorio. Come si può vedere dalla foto presentata nella figura 6.6 il componente è arrivato a una temperatura pari a 114°C. Un risultato abbastanza aprezzabile tenendo conto che non c'erano mezzi di dissipazione di calore nel transistor.



(a) Potenza di accensione



(b) Potenza di spegnimento

Figura 6.5: Grafici della potenza dissipata nel Pmos

6.5 Prova picco di corrente

Una ulteriore prova è stata fatta con lo scopo di sottoporre il transistor a condizioni ancora più agressive e anche visando ottenere più informazioni del parametro iquadrotì. Questa

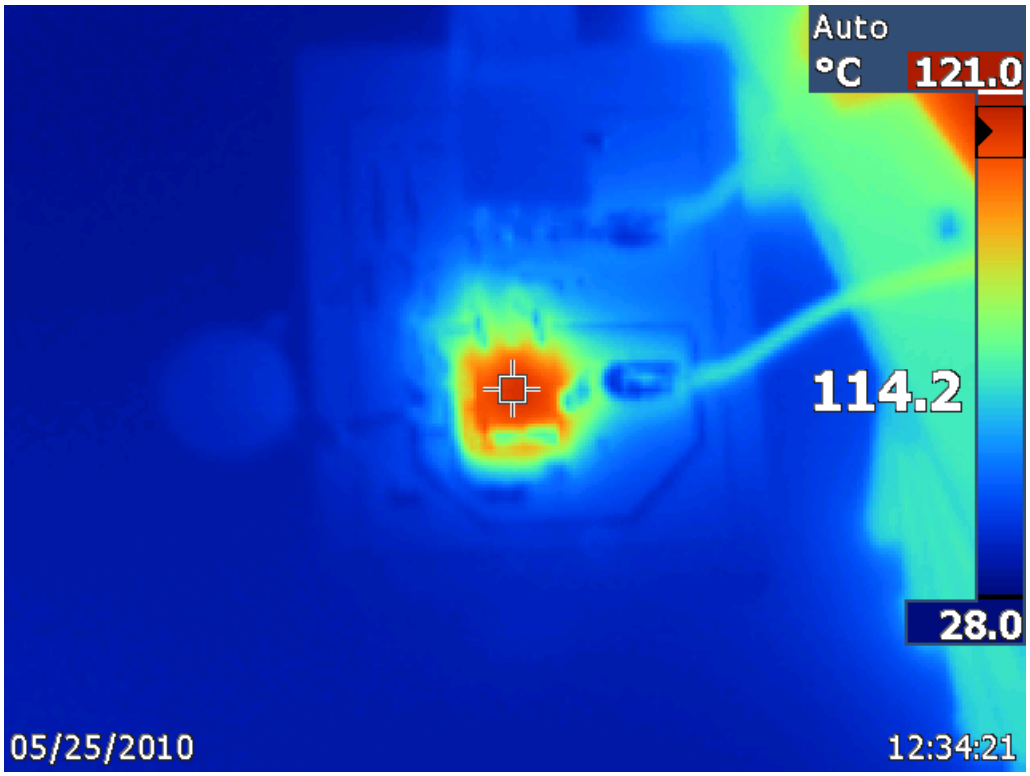


Figura 6.6: Foto a infrarossi del circuito in funzionamento

prova consiste in generare un picco di corrente e farlo passare traverso il transistor di potenza. Per tale fine si è progettato un semplice circuito RC come si vede nella figura 6.7 dato che il transistor chiuso non è niente altro che una resistenza.

Quando il transistor è aperto il condensatore si carica con la tensione di alimentazione. Quando poi il transistor si chiude il condensatore si scarica rapidamente tramite la piccola resistenza R_{DSON} del transistor. Questo genera una grossa corrente che fa riscaldare il transistor per un corto periodo di tempo.

Si è pensato di utilizzare un valore di capacità pari a 100 μF per ottenere un grossissimo valore di corrente circa 100A.

Un normale condensatore di 100uF non sarebbe in grado di fornire una corrente così grossa. Allora si è scelto di mettere 20 condensatore da 4.7μF in parallelo di modo ad avere un valore di capacità apprezabile. Inoltre, questo fatto aiuta anche a diminuire l'effetto

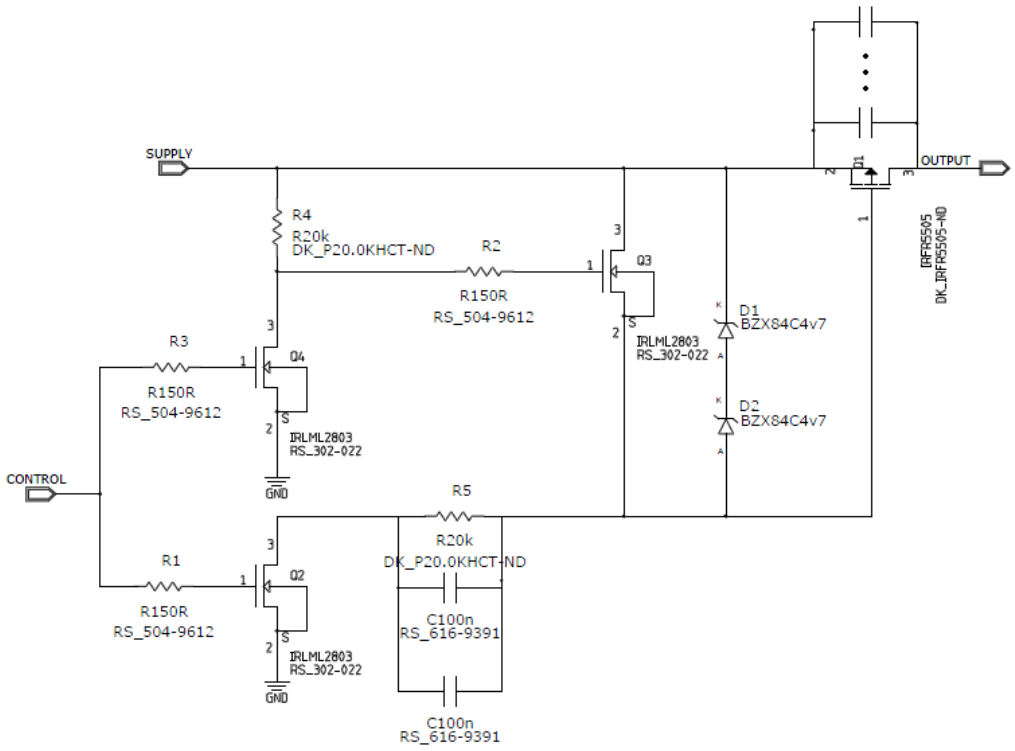


Figura 6.7: Aggiunta di un supercondensatore per il circuito di prova di picco di corrente

della resistenza parassita (ESR) del condensatore che non sarebbe trascurabile quando in confronto al valore di resistenza del transistor.

L'insieme di condensatori (supercondensatore) è stato montato in due pezzi di rame in modo a farsì che la resistenza di contato sia la minore possibile.

Il supercondensatore è stato poi saldato in parallelo a Drain e Source del transistor di potenza.

La stessa procedura di prova utilizzata precedentemente è stata ripetuta in questo passo.

Dalla relazione fra corrente e tensione in un condensatore[1] possiamo dire che il valore del picco di corrente quindi veniva comandato dalla tensione di alimentazione caricata ai

[1]
$$i = C * \frac{d}{dt} v$$

capi del condensatore.

Figura 6.8: Forma d'onda della tensione ai capi del supercondensatore

Si è utilizzato l'oscilloscopio per misurare la tensione ai capi del condensatore e il suo tempo di caduta (fall time da 90% a 10%) per avere un idea del valore della corrente che scorre nel transistor.

Il test è stato fatto variando la tensione di alimentazione da 6V fino a 28V acquisendo le curve generate e anche i dati. Contrario alle spettative la corrente massima non ha raggiunto un valore altissimo come pensato precedentemente. Le resistenze aggiuntive nel montaggio del componente hanno introdotto un fattore di allungamento nel tempo e perciò una riduzione complessiva nel valore di picco di corrente. Il massimo valore di picco di corrente raggiunto era pari a circa 20A e è stato considerato già suficientemente alto per lo scopo del progetto.

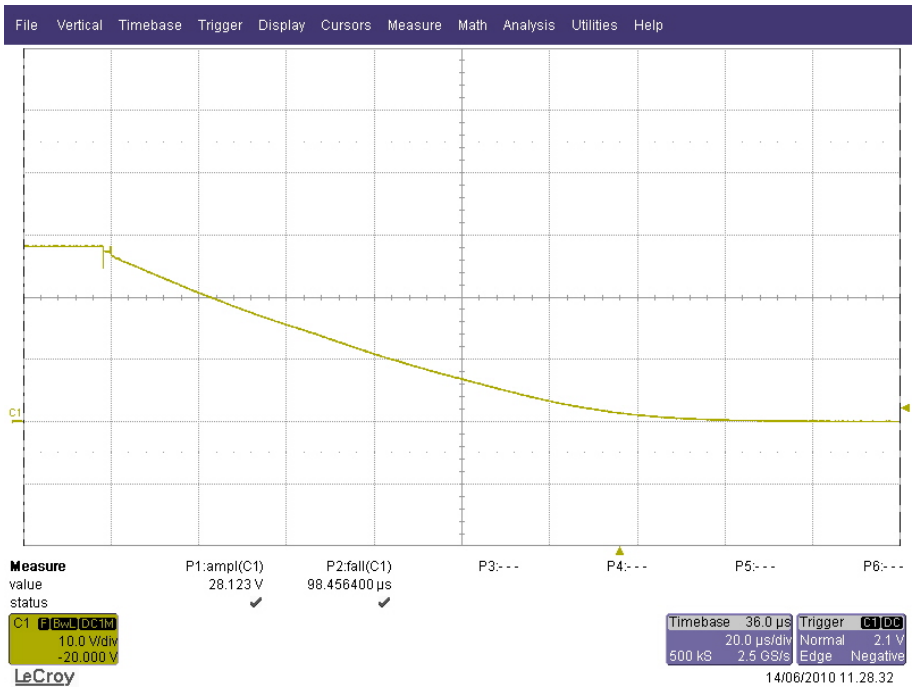


Figura 6.9: Scarica di tensione nel supercondensatore

6.6 Bidirezionale

Le condizioni di operazione per l'utilizzo del interruttore dentro del blocco di gestione di potenza del progetto AraMiS prevedono che la corrente può scorrere sia da una parte del transistor che dall'altra.

Quindi si è voluto fare un ulteriore cambio nel circuito in modo a renderlo bidirezionale. La prima cosa da cambiare sarebbe ovviamente il transistor di potenza dato che quello utilizzato finora presenta un diodo intrinseco che blocca la corrente che scorre nel senso oposto a quello previsto [10]. Questo dispositivo ottimale verrebbe impiegato dopo il termine questo lavoro di tesi.

Oltre al cambio di transistor di potenza si è dovuto fare un'adattazione al circuito di pilotaggio del transistor dato che il nodo che era suposto alimentazione ormai potrà funzionare come uscita. Quindi si è dovuto aggiungere due diodi che puntano a questo nodo e l'altro loro capo viene collegato ai diversi capi del transistor. Ovvero uno a Drain

e l'altro a Source come si può vedere nella figura 6.10.

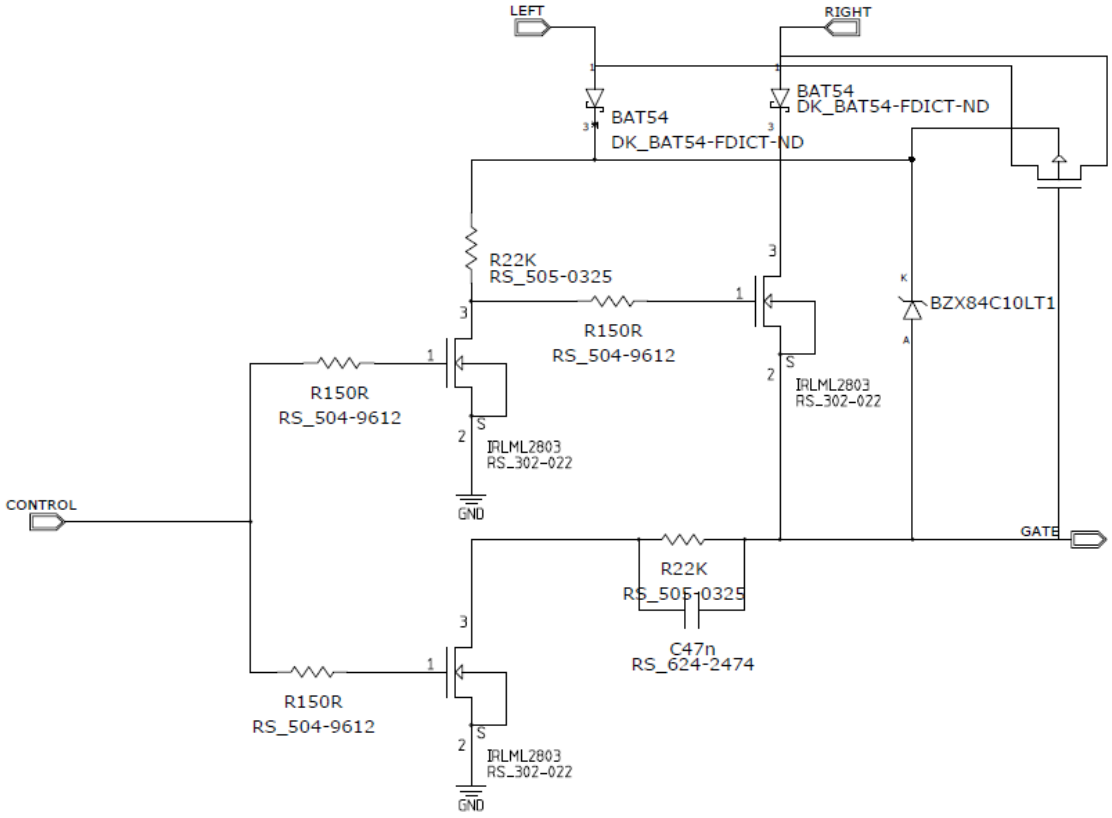


Figura 6.10: Schema del circuito bidirezionale

Allora si può dire che questa configurazione a due diodi sceglie la tensione maggiore fra i capi del interruttore e la mette come alimentazione per il circuito di pillotaggio.

6.7 Ridondanza

Dopo aver progettato un interruttore singolo si fa necessario replicarlo diverse volte in modo a generare un circuito tollerante ai guasti.

Il primo approccio che viene in mente consiste in mettere due interruttori in serie e replicare questo a due interruttori mettendoli in parallelo come si può vedere nella figura 6.11 .

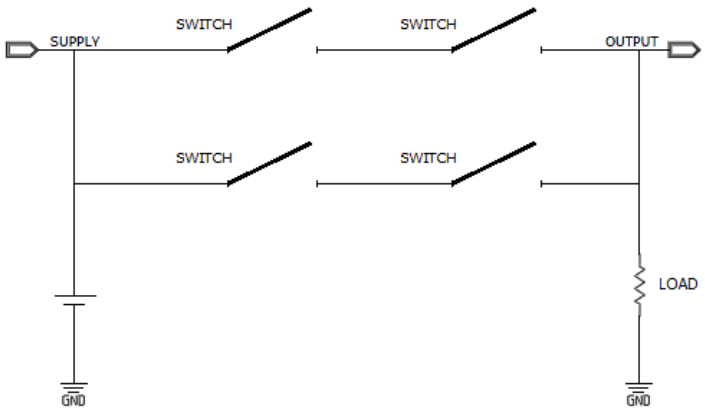


Figura 6.11: Primo livello di ridondanza

In questa maniera l'interruttore sarà chiuso solo se almeno due switch in serie siano chiusi.

Però il problema con questa topologia è che il circuito complessivo dipende da un singolo segnale per l'apposito funzionamento. Cioè se per qualsiasi ragione quel segnale si guasta allora il circuito complessivo presenterà un cattivo funzionamento. Inoltre, se ci fossero utilizzati due segnali diversi per l'ingresso uno di loro potrebbe guastarsi (diciamo che assuma un valore basso quando dovrebbe essere alto) e allora ci sarebbero due valori diversi di ingressdiversi e il circuito può presentare un cattivo funzionamento (nell'esempio, l'interruttore si apre anziché chiudersi).

Si parte così ad un'altra topologia che tenga conto anche dei segnali di ingresso. Nella configurazione della figura 6.12 il circuito avrà 3 segnali separati di controllo. Chiamiamoli A, B e C. Ciascun ramo del circuito è dipendente da soltanto due segnali. Così se un segnale si guasta (ovvero presenta un valore sbagliato) gli altri due rimangono ancora validi e almeno un ramo del circuito presenterà un buon funzionamento.

Per farlo funzionare in tale maniera si fa uso di un sottocircuito Driver mostrato nella figura 6.13 pilotato dai segnali di ingressi che pilota non più uno solo ma due PMOS.

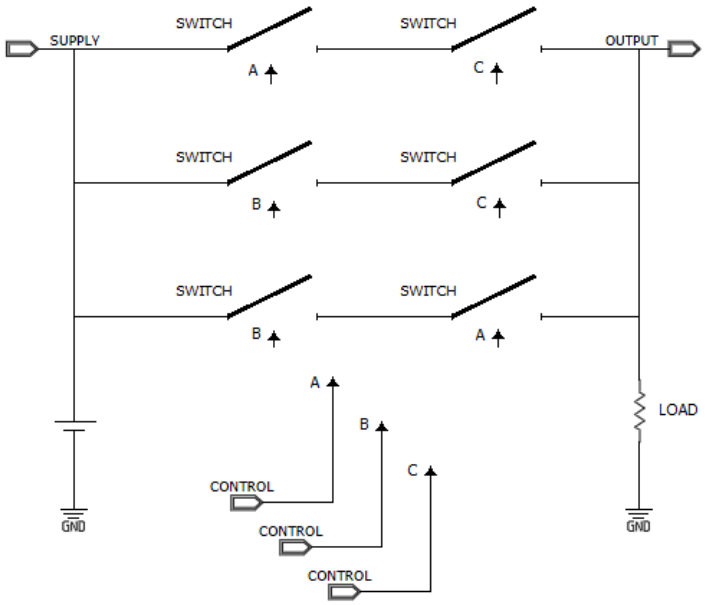


Figura 6.12: Ridondanza utillizata per rendere l'interruttore tollerante ai guasti

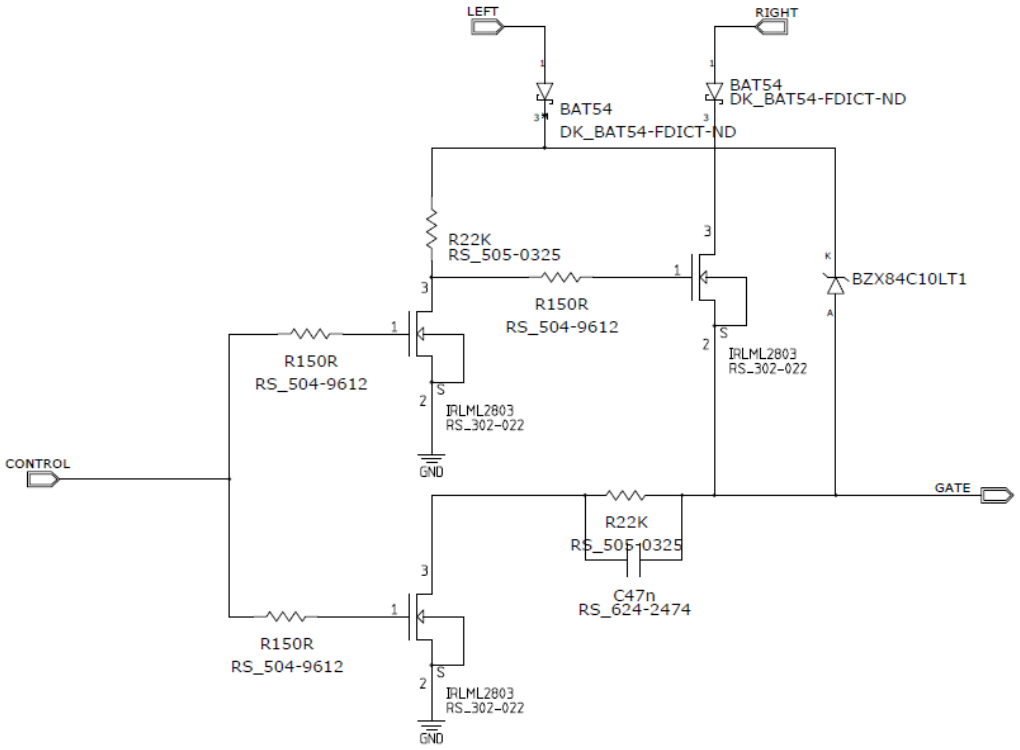


Figura 6.13: Circuito che pilota due gate di transistor PMOS di potenza

Capitolo 7

Montaggio e Prove del Circuito Finale

7.1 Simulazione del circuito finale

Di maniera analoga al interruttore singolo si è fatto la simulazione con lo scopo di verificare l'apposito funzionamento del circuito complessivo.

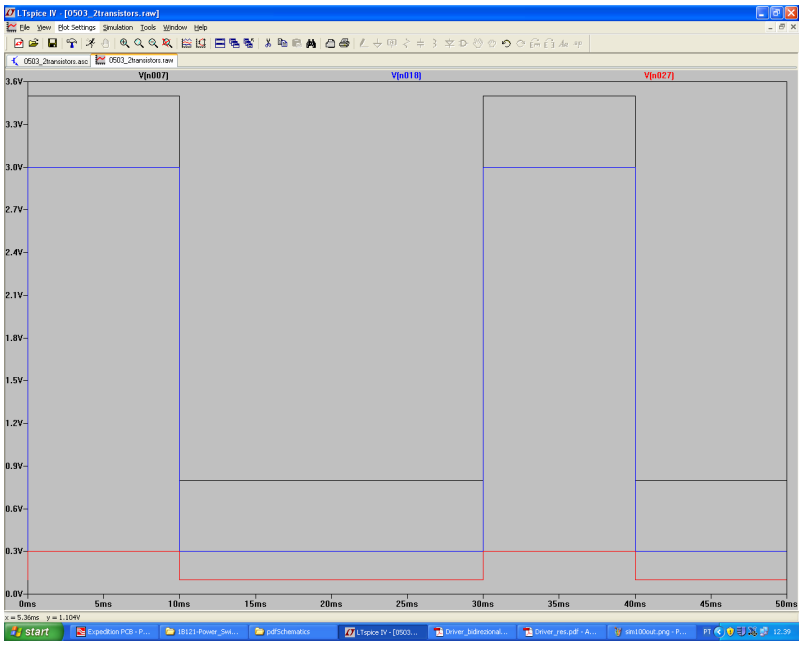
I trei ingressi sono stati variati con la finalità di verificare se il circuito funziona bene anche nella presenza di guasti vari come si vede nelle curve delle figure 7.1, 7.2.

Come si vede, il circuito ha presentato coerenza nel funzionamento anche nella presenza di una piccola inconsistenza nei segnali di ingresso.

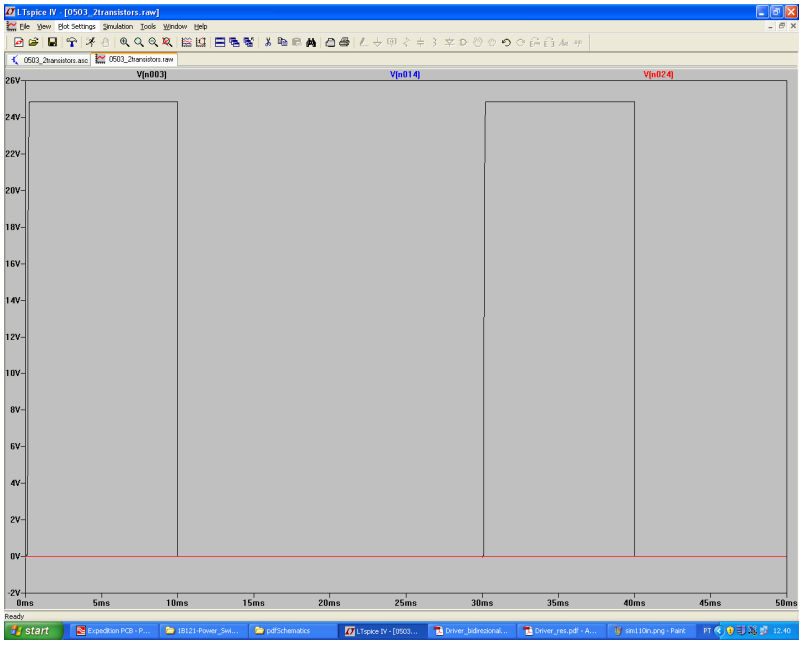
7.2 Montaggio del circuito finale

Al esempio del circuito interruttore singolo, la scheda di circuito stampato è stata realizzata con l'ausilio del software Express PCB della Mentor Graphics risultando nel seguente layout visto nella figura 7.3.

Dopo di aver saldato i componenti il circuito finalmente prende la forma che si vede nella figura 7.4.

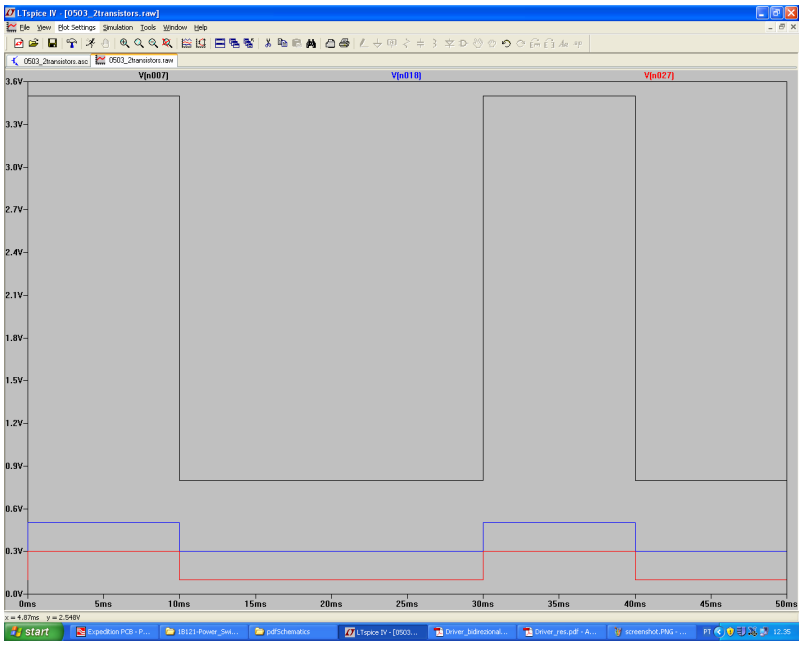


(a) Ingressi (A;B;C)

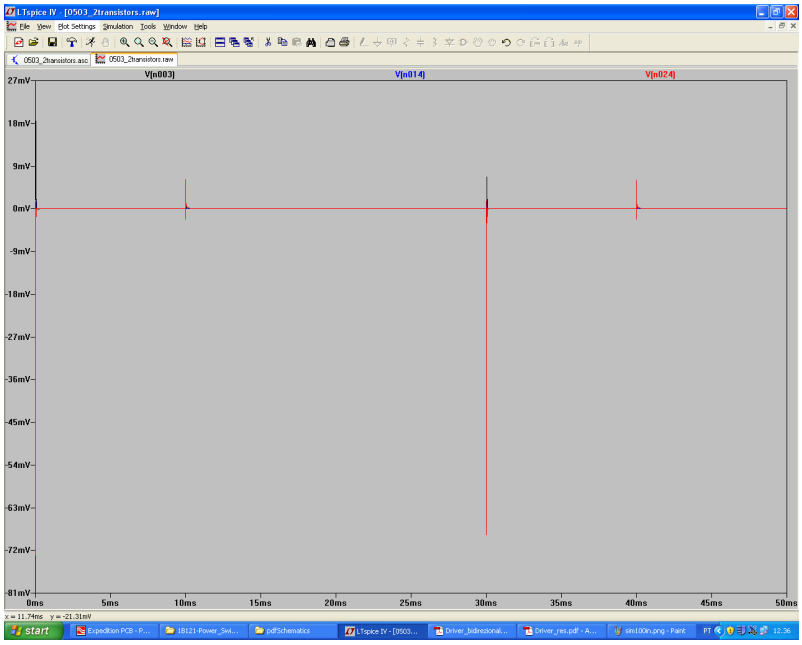


(b) Uscite (AC;AB;BC)

Figura 7.1: Risultati della simulazione per i segnali di ingresso a 1 1 0



(a) Ingressi (A;B;C)



(b) Uscite (AC;AB;BC)

Figura 7.2: Risultati della simulazione per i segnali di ingresso a 1 0 0

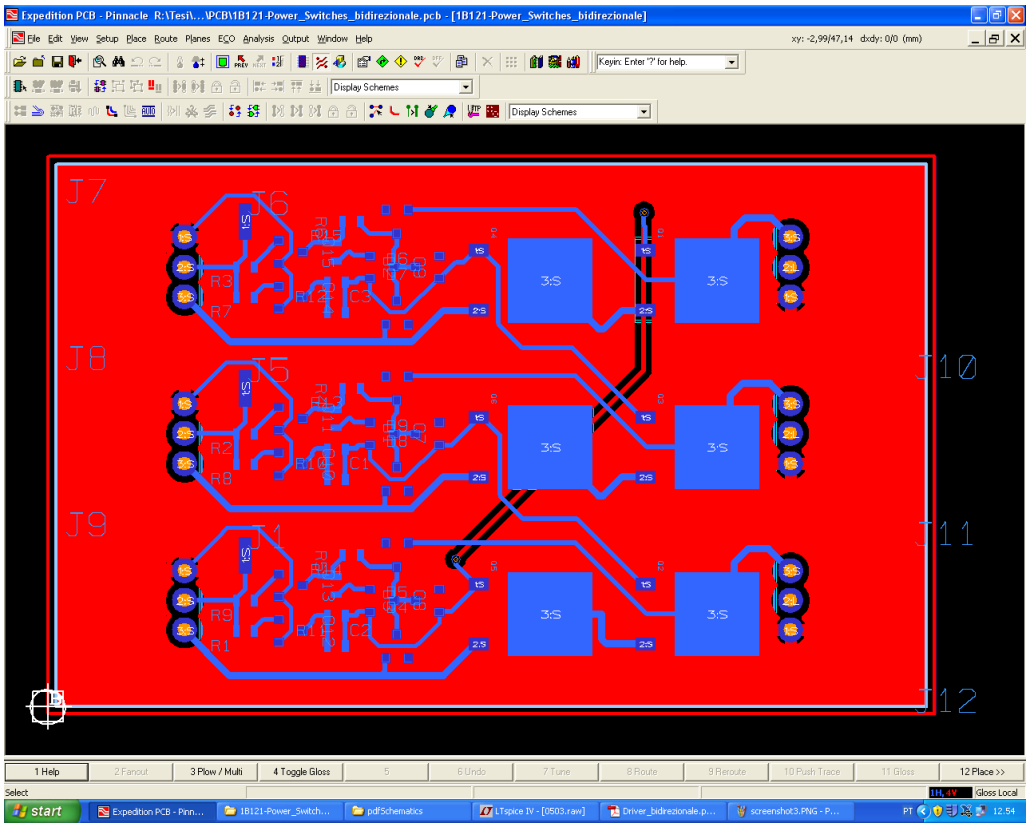


Figura 7.3: Layout del circuito stampato

7.3 Prova del circuito finale

In seguito le stesse prove fate in simulazione sono state ripetute in questo passo. Risultando nelle seguente forme d'onde dei segnali di ingresso e il corrispondente stato dei segnali di uscita dati dallo schermo del osciloscopio come si vede nelle figure 7.5, 7.6.

La condizione di prova di questo circuito è stata con tensione di alimentazione a 25V e con 100 Ωdi resistenza di carico. Di modo analogo alla simulazione il circuito ha presentato coerenza nel funzionamento anche nella presenza di una piccola inconsistenza nei segnali di ingresso.

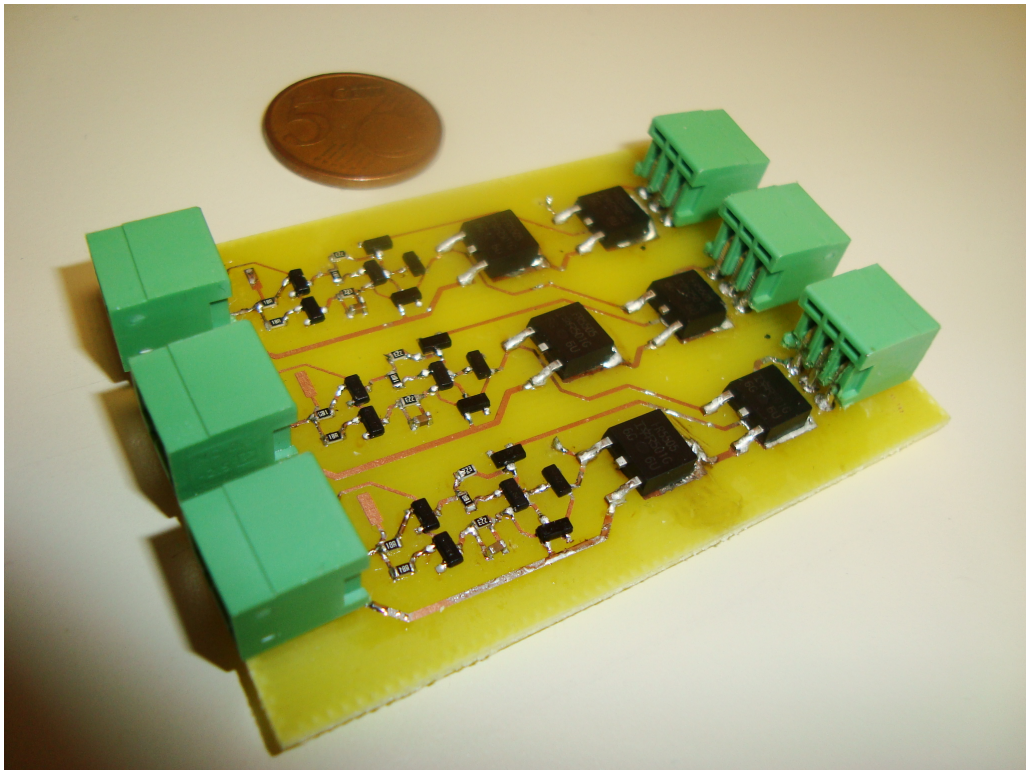
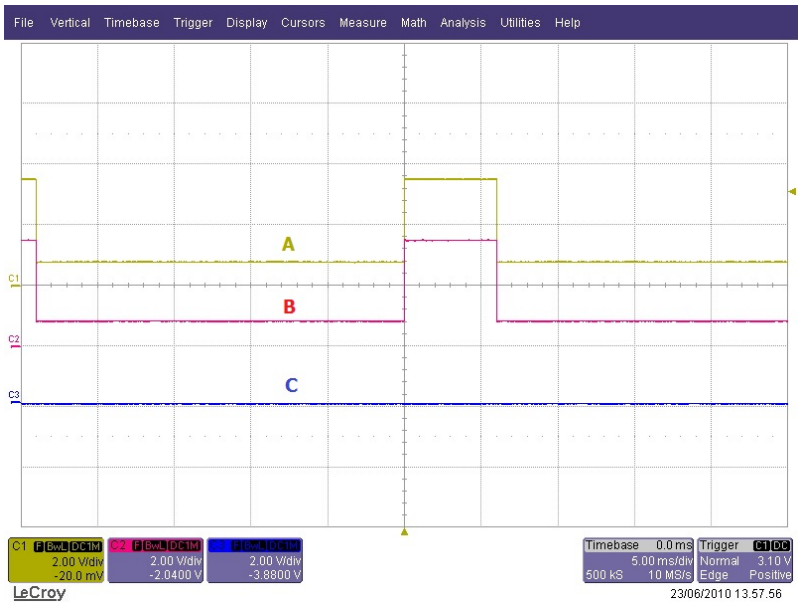
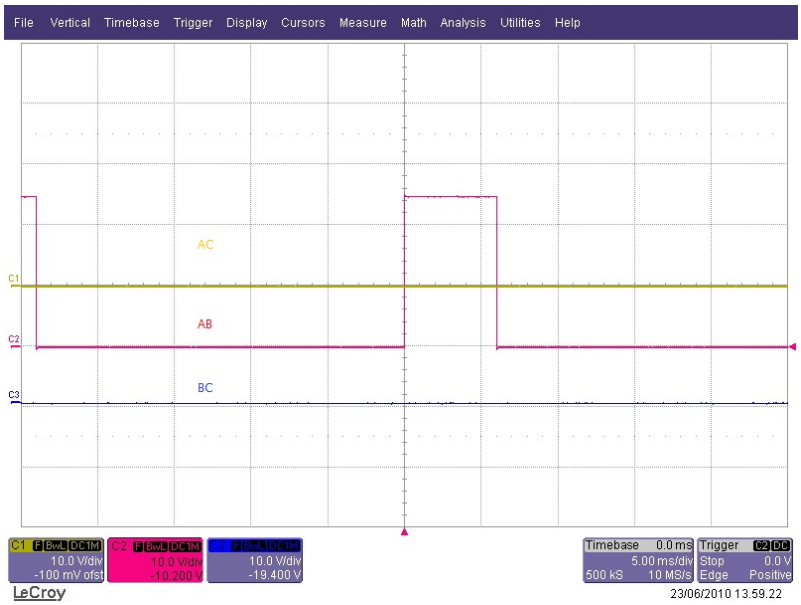


Figura 7.4: Foto del circuito finale

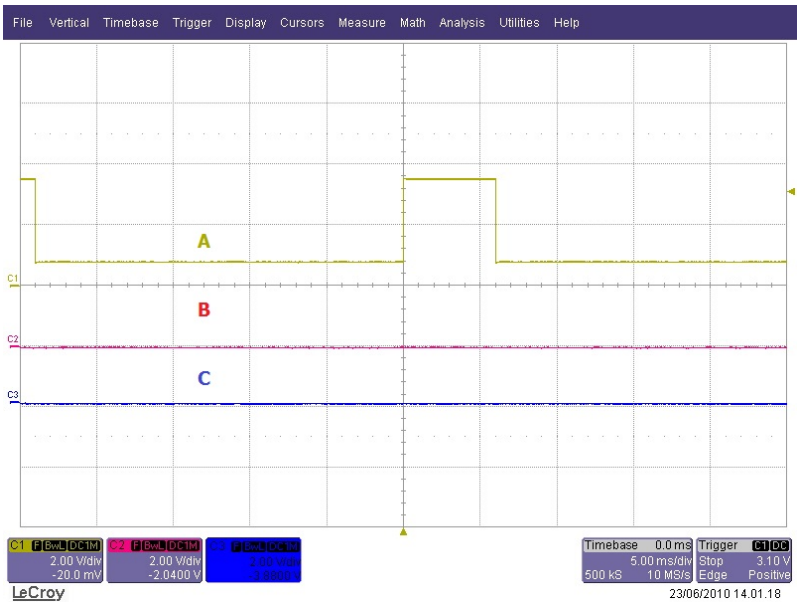


(a) Ingressi (A;B;C)

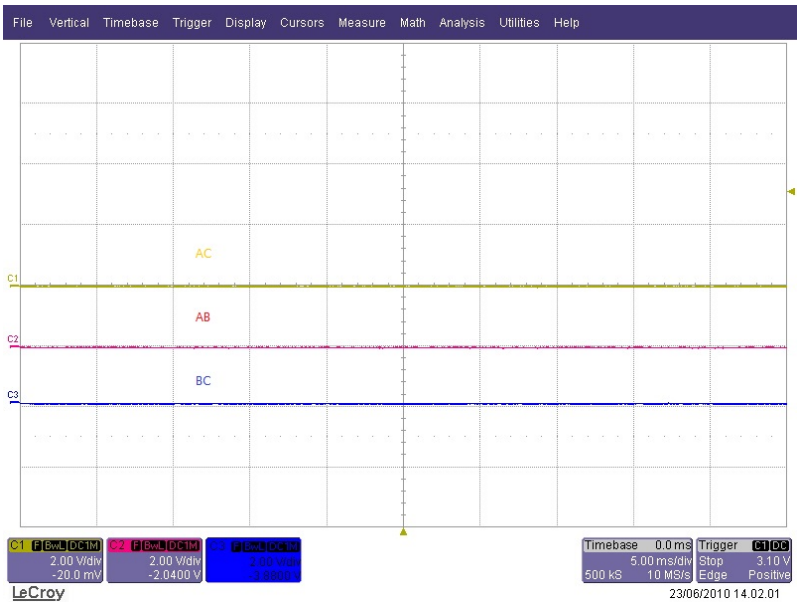


(b) Uscite (AC;AB;BC)

Figura 7.5: Forme d'onda del oscilloscopio per i segnali di ingresso a 1 1 0



(a) Ingressi (A;B;C)



(b) Uscite (AC;AB;BC)

Figura 7.6: Forme d'onda del oscilloscopio per i segnali di ingresso a 1 0 0

Appendice A

Datasheet

Sono presentati qua i datasheet dei principali componenti.

A.1 Transistor Pmos di potenza

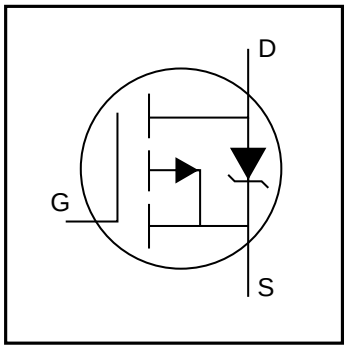
International
IOR Rectifier

PD - 9.1610B

IRFR/U5505

HEXFET® Power MOSFET

- Ultra Low On-Resistance
- P-Channel
- Surface Mount (IRFR5505)
- Straight Lead (IRFU5505)
- Advanced Process Technology
- Fast Switching
- Fully Avalanche Rated



V_{DSS} = -55V

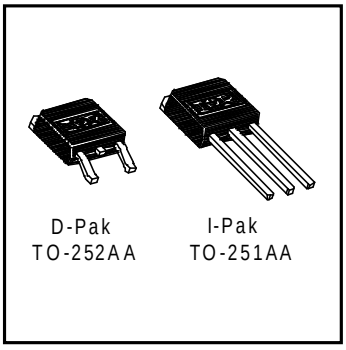
$R_{DS(on)}$ = 0.11Ω

I_D = -18A

Description

Fifth Generation HEXFETs from International Rectifier utilize advanced processing techniques to achieve extremely low on-resistance per silicon area. This benefit, combined with the fast switching speed and ruggedized device design that HEXFET Power MOSFETs are well known for, provides the designer with an extremely efficient and reliable device for use in a wide variety of applications.

The D-Pak is designed for surface mounting using vapor phase, infrared, or wave soldering techniques. The straight lead version (IRFU series) is for through-hole mounting applications. Power dissipation levels up to 1.5 watts are possible in typical surface mount applications.



D-Pak
TO-252AA

I-Pak
TO-251AA

Absolute Maximum Ratings

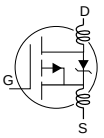
	Parameter	Max.	Units
I_D @ T_C = 25°C	Continuous Drain Current, V_{GS} @ -10V	-18	A
I_D @ T_C = 100°C	Continuous Drain Current, V_{GS} @ -10V	-11	
I_{DM}	Pulsed Drain Current ①	-64	
P_D @T_C = 25°C	Power Dissipation	57	W
	Linear Derating Factor	0.45	W/°C
V_{GS}	Gate-to-Source Voltage	± 20	V
E_{AS}	Single Pulse Avalanche Energy②	150	mJ
I_{AR}	Avalanche Current①	-9.6	A
E_{AR}	Repetitive Avalanche Energy①	5.7	mJ
dv/dt	Peak Diode Recovery dv/dt ③	-5.0	V/ns
T_J T_{STG}	Operating Junction and Storage Temperature Range	-55 to + 150	°C
	Soldering Temperature, for 10 seconds	300 (1.6mm from case)	

Thermal Resistance

	Parameter	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	—	2.2	°C/W
$R_{\theta JA}$	Junction-to-Ambient (PCB mount)**	—	50	
$R_{\theta JA}$	Junction-to-Ambient	—	110	

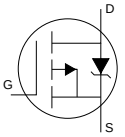
Electrical Characteristics @ T_J = 25°C (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage	-55	—	—	V	V_{GS} = 0V, I_D = -250µA
$\Delta V_{(BR)DSS}/\Delta T_J$	Breakdown Voltage Temp. Coefficient	—	-0.049	—	V/°C	Reference to 25°C, I_D = -1mA
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	—	0.11	Ω	V_{GS} = -10V, I_D = -9.6A ④
$V_{GS(th)}$	Gate Threshold Voltage	-2.0	—	-4.0	V	V_{DS} = V_{GS}, I_D = -250µA
g_{fs}	Forward Transconductance	4.2	—	—	S	V_{DS} = -25V, I_D = -9.6A
I_{DSS}	Drain-to-Source Leakage Current	—	—	-25	µA	V_{DS} = -55V, V_{GS} = 0V
		—	—	-250		V_{DS} = -44V, V_{GS} = 0V, T_J = 150°C
I_{GSS}	Gate-to-Source Forward Leakage	—	—	-100	nA	V_{GS} = 20V
	Gate-to-Source Reverse Leakage	—	—	100		V_{GS} = -20V
Q_g	Total Gate Charge	—	—	32	nC	I_D = -9.6A
Q_{gs}	Gate-to-Source Charge	—	—	7.1		V_{DS} = -44V
Q_{gd}	Gate-to-Drain ("Miller") Charge	—	—	15		V_{GS} = -10V, See Fig. 6 and 13 ④
$t_{d(on)}$	Turn-On Delay Time	—	12	—	ns	V_{DD} = -28V
t_r	Rise Time	—	28	—		I_D = -9.6A
$t_{d(off)}$	Turn-Off Delay Time	—	20	—		R_G = 2.6Ω
t_f	Fall Time	—	16	—		R_D = 2.8Ω, See Fig. 10 ④
L_D	Internal Drain Inductance	—	4.5	—	nH	Between lead, 6mm (0.25in.) from package and center of die contact⑤
L_S	Internal Source Inductance	—	7.5	—		
C_{iss}	Input Capacitance	—	650	—	pF	V_{GS} = 0V
C_{oss}	Output Capacitance	—	270	—		V_{DS} = -25V
C_{rss}	Reverse Transfer Capacitance	—	120	—		f = 1.0MHz, See Fig. 5



Source-Drain Ratings and Characteristics

	Parameter	Min.	Typ.	Max.	Units	Conditions
I_S	Continuous Source Current (Body Diode)	—	—	-18	A	MOSFET symbol showing the integral reverse p-n junction diode.
I_{SM}	Pulsed Source Current (Body Diode) ①	—	—	-64		
V_{SD}	Diode Forward Voltage	—	—	-1.6	V	T_J = 25°C, I_S = -9.6A, V_{GS} = 0V ④
t_{rr}	Reverse Recovery Time	—	51	77	ns	T_J = 25°C, I_F = -9.6A
Q_{rr}	Reverse RecoveryCharge	—	110	160	nC	di/dt = 100A/µs ④
t_{on}	Forward Turn-On Time	Intrinsic turn-on time is negligible (turn-on is dominated by L_S+L_D)				



Notes:

① Repetitive rating; pulse width limited by max. junction temperature. (See fig. 11)

② Starting T_J = 25°C, L = 3.2mH R_G = 25Ω, I_{AS} = -9.6A. (See Figure 12)

③ I_{SD} ≤ -9.6A, di/dt ≤ 290A/µs, V_{DD} ≤ $V_{(BR)DSS}$, T_J ≤ 150°C

④ Pulse width ≤ 300µs; duty cycle ≤ 2%.

⑤This is applied for I-PAK, L_S of D-PAK is measured between lead and center of die contact

** When mounted on 1" square PCB (FR-4 or G-10 Material) . For recommended footprint and soldering techniques refer to application note #AN-994

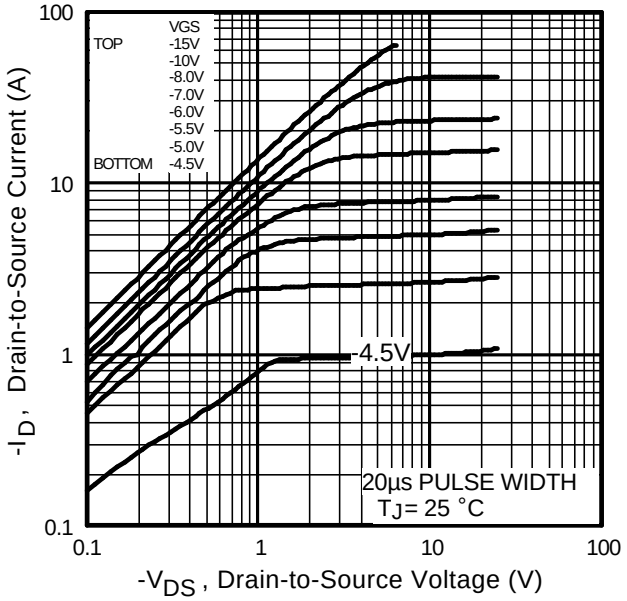


Fig 1. Typical Output Characteristics

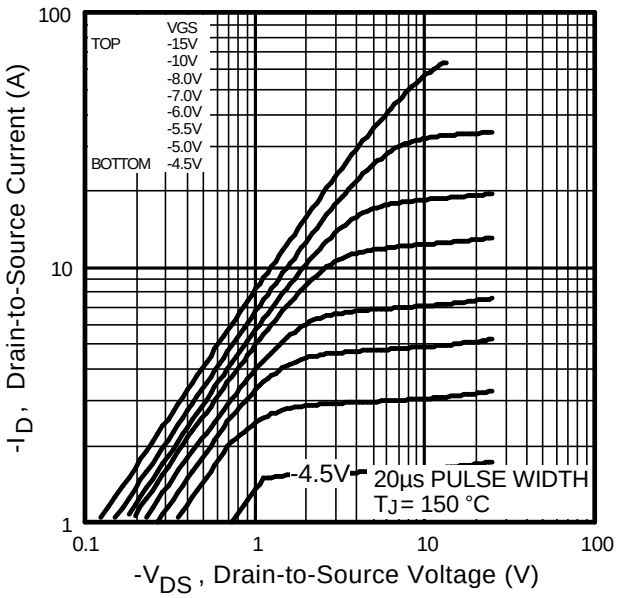


Fig 2. Typical Output Characteristics

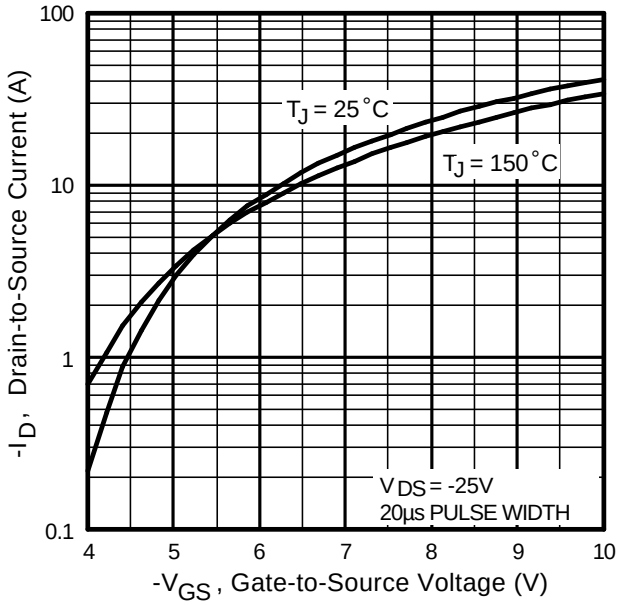


Fig 3. Typical Transfer Characteristics

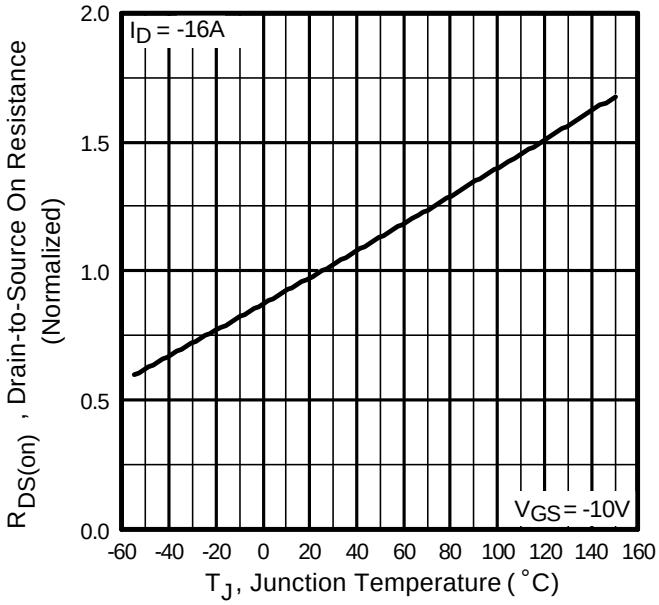


Fig 4. Normalized On-Resistance Vs. Temperature

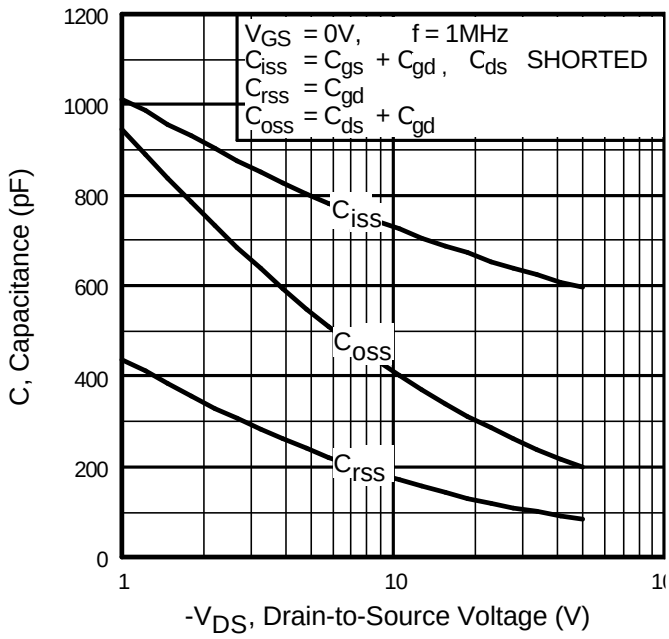


Fig 5. Typical Capacitance Vs. Drain-to-Source Voltage

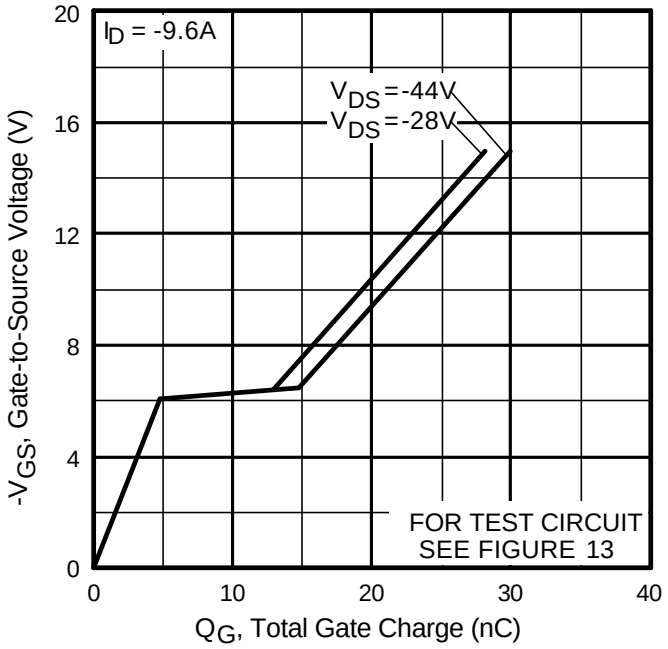


Fig 6. Typical Gate Charge Vs. Gate-to-Source Voltage

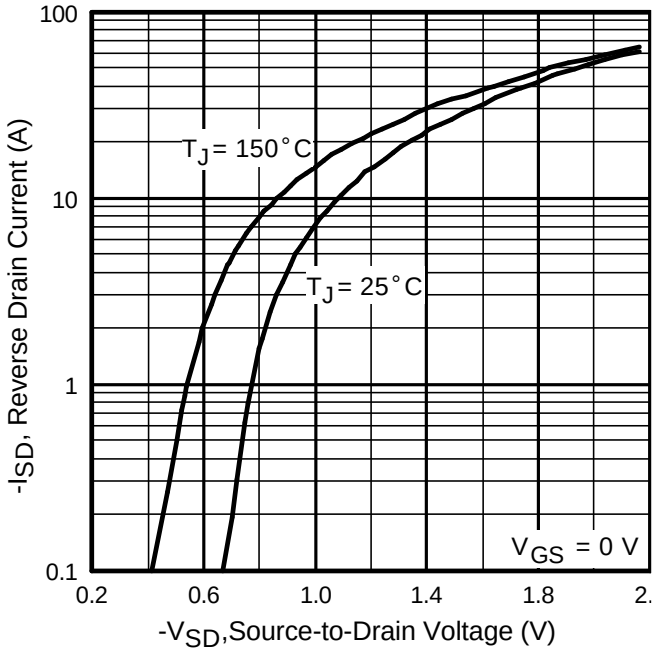


Fig 7. Typical Source-Drain Diode Forward Voltage

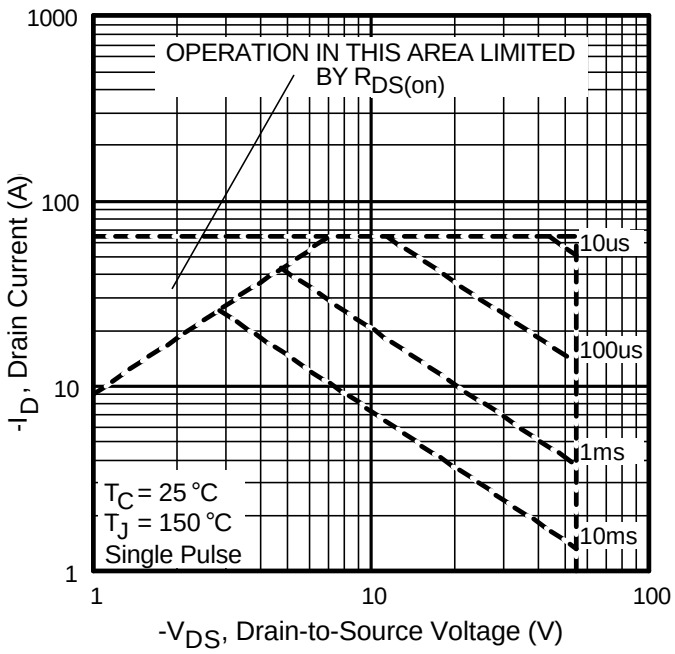


Fig 8. Maximum Safe Operating Area

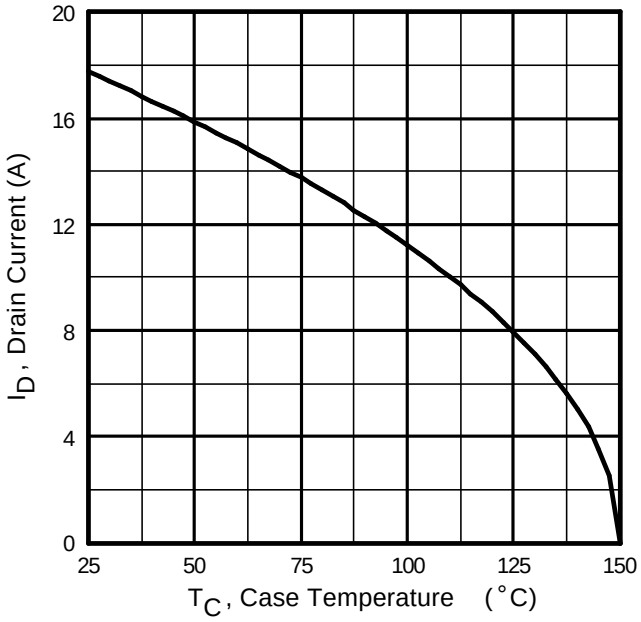


Fig 9. Maximum Drain Current Vs. Case Temperature

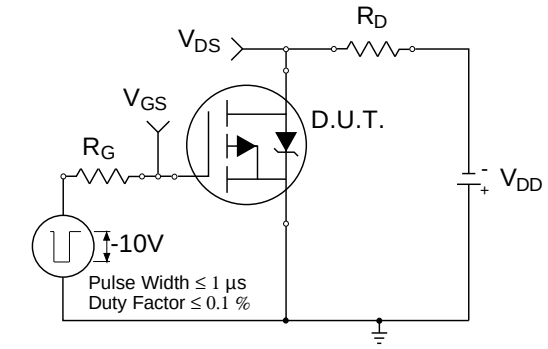


Fig 10a. Switching Time Test Circuit

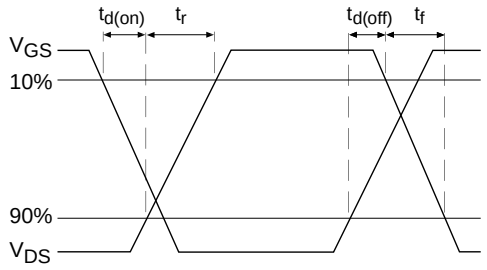


Fig 10b. Switching Time Waveforms

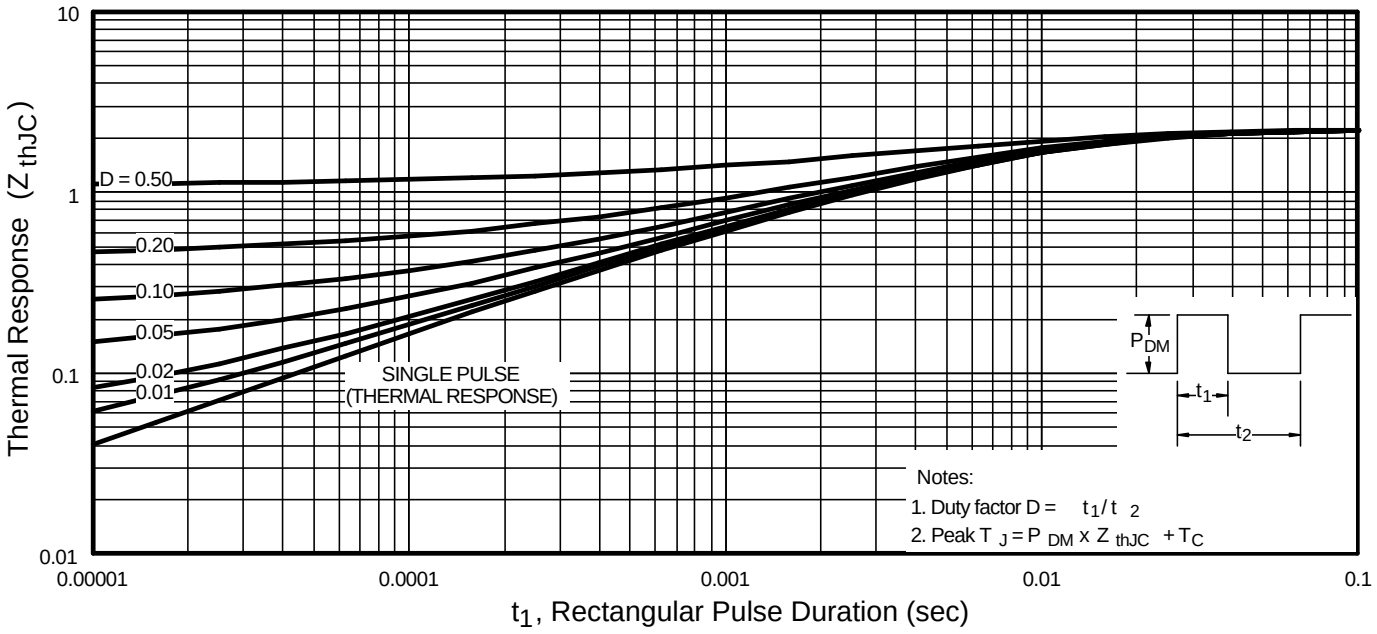


Fig 11. Maximum Effective Transient Thermal Impedance, Junction-to-Case

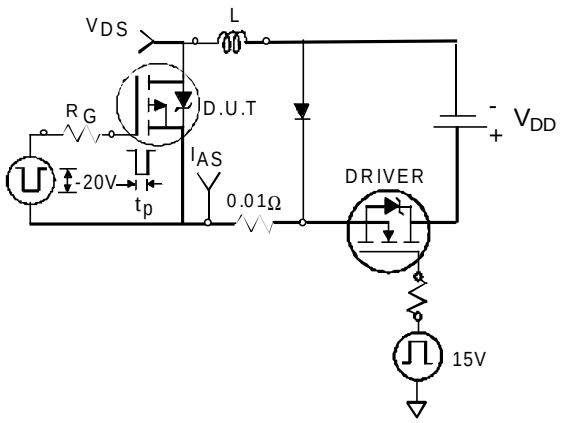


Fig 12a. Unclamped Inductive Test Circuit

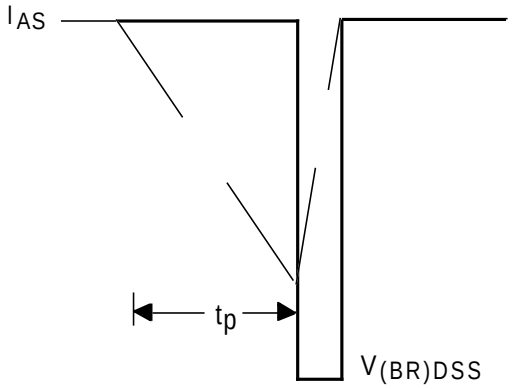


Fig 12b. Unclamped Inductive Waveforms

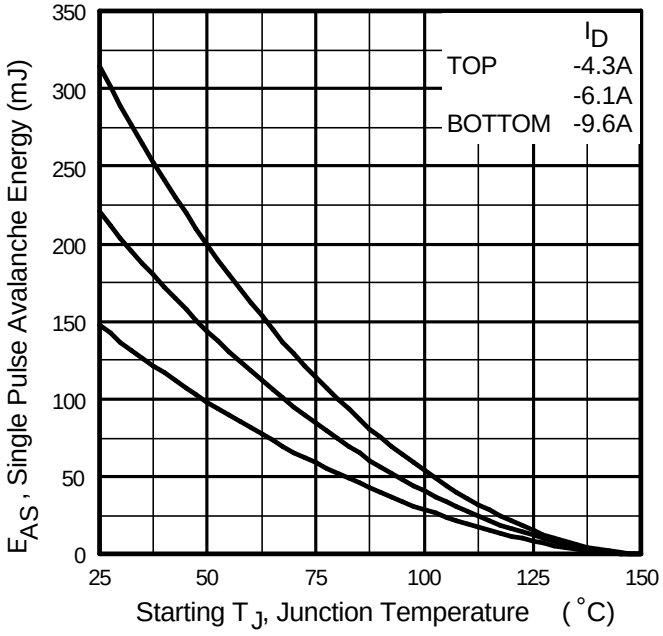


Fig 12c. Maximum Avalanche Energy Vs. Drain Current

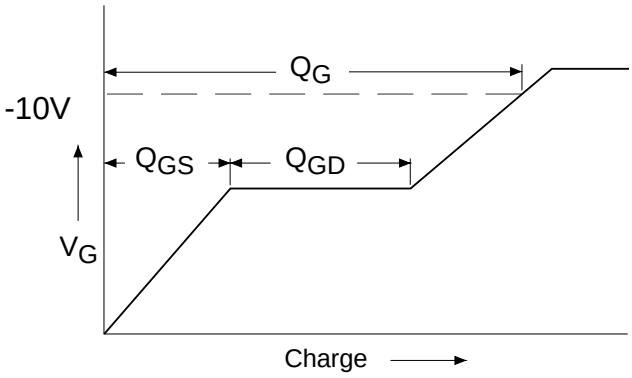


Fig 13a. Basic Gate Charge Waveform

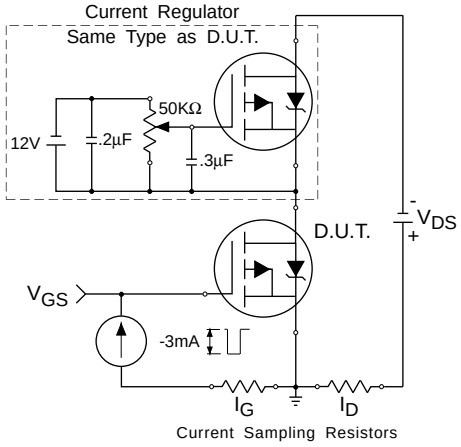
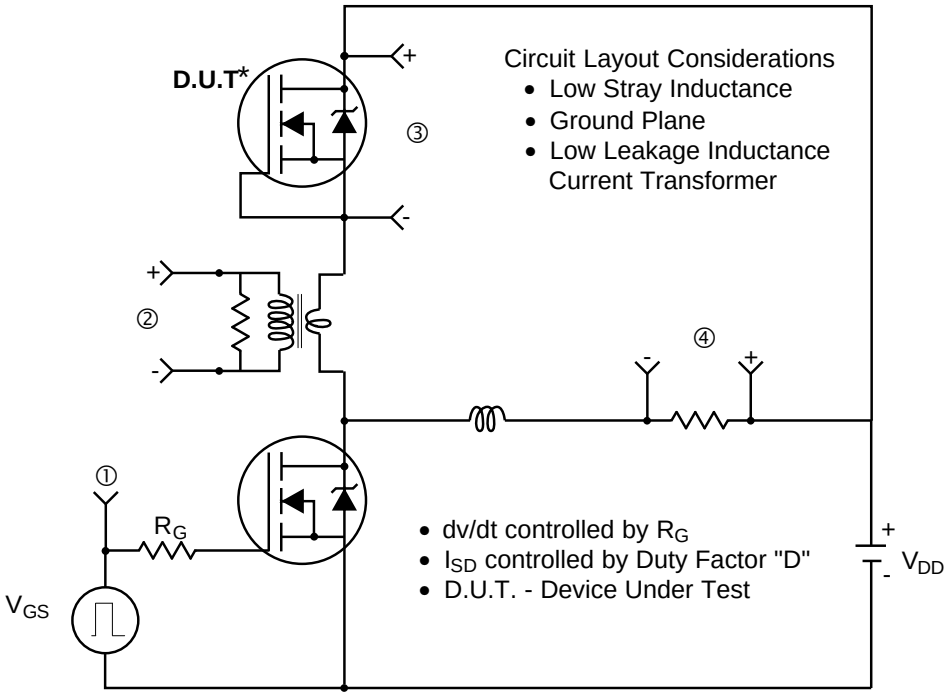
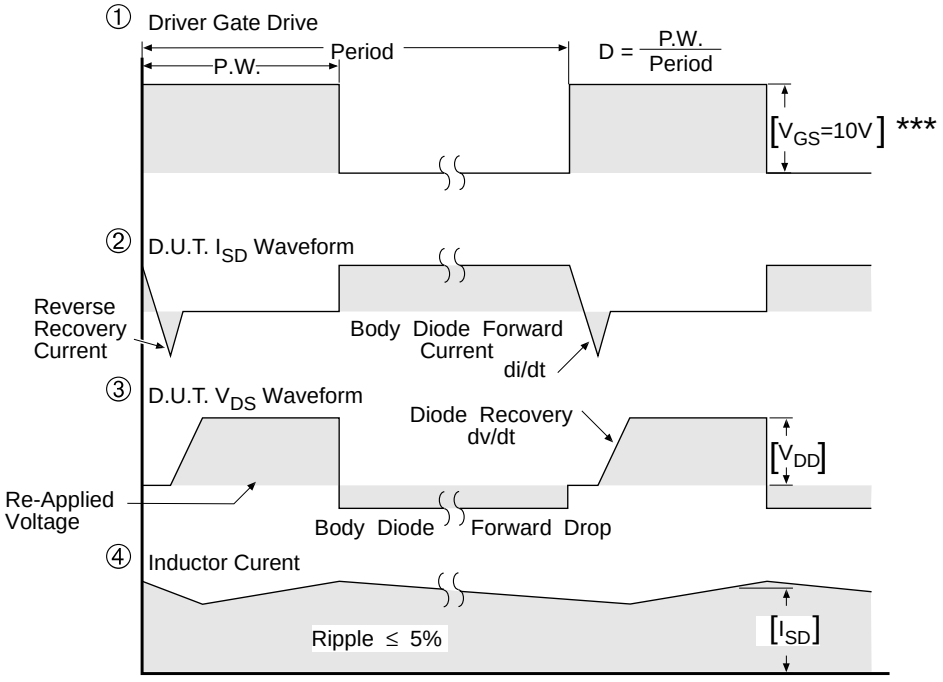


Fig 13b. Gate Charge Test Circuit

Peak Diode Recovery dv/dt Test Circuit



* Reverse Polarity of D.U.T for P-Channel

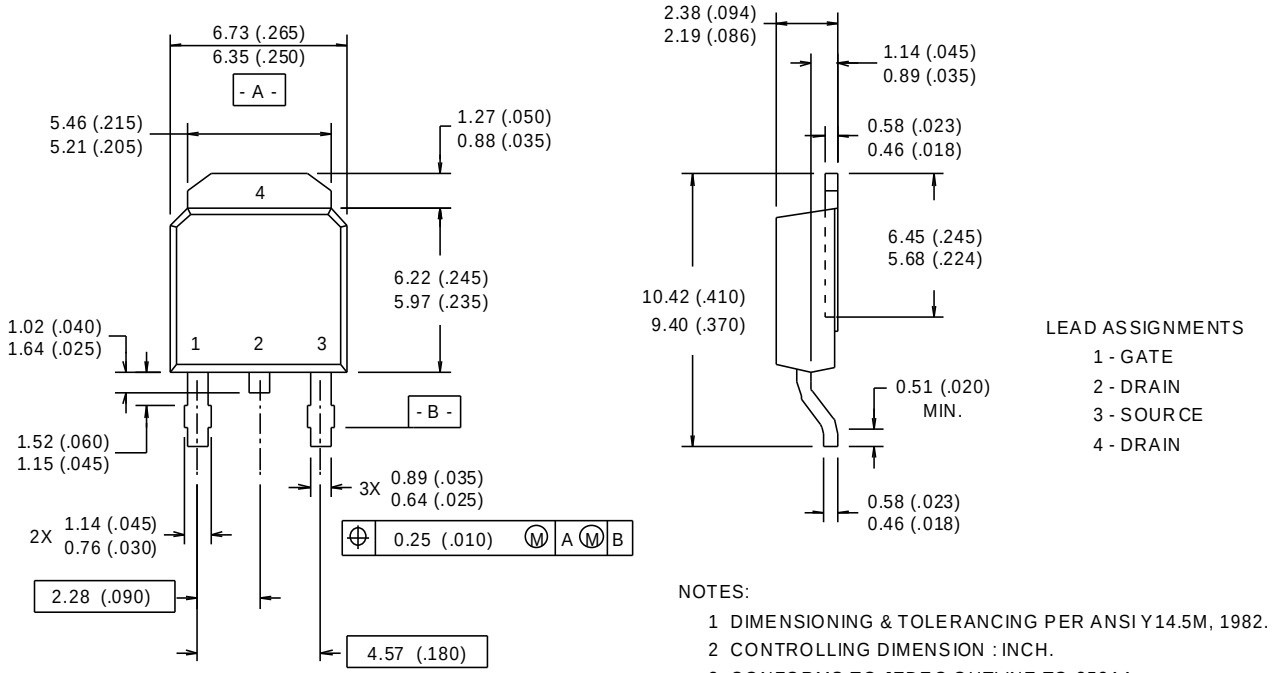


*** V_{GS} = 5.0V for Logic Level and 3V Drive Devices

Fig 14. For P-Channel HEXFETS

Package Outline

TO-252AA Outline
Dimensions are shown in millimeters (inches)

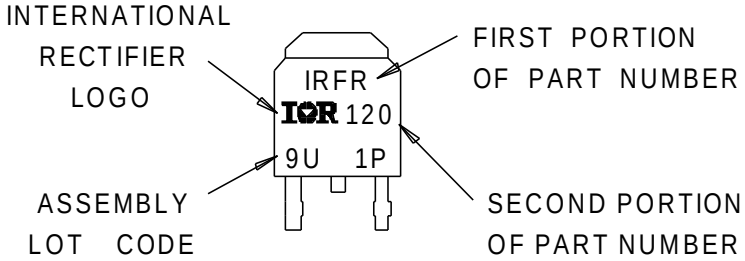


NOTES:
1 DIMENSIONING & TOLERANCING PER ANSI Y14.5M, 1982.
2 CONTROLLING DIMENSION : INCH.
3 CONFORMS TO JEDEC OUTLINE TO-252AA.
4 DIMENSIONS SHOWN ARE BEFORE SOLDER DIP, SOLDER DIP MAX. +0.16 (.006).

Part Marking Information

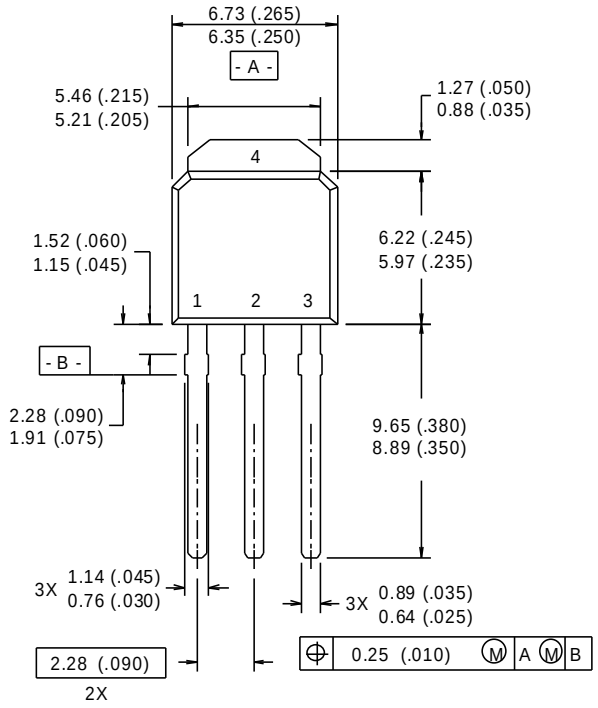
TO-252AA (D-Pak)

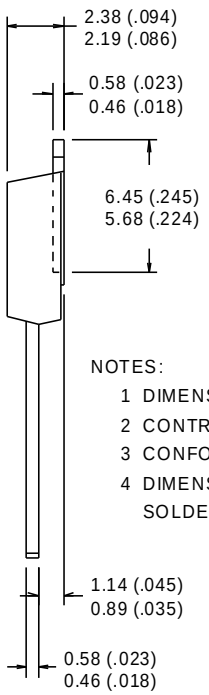
EXAMPLE : THIS IS AN IRFR120
WITH ASSEMBLY
LOT CODE 9U1P



Package Outline

TO-251AA Outline
Dimensions are shown in millimeters (inches)





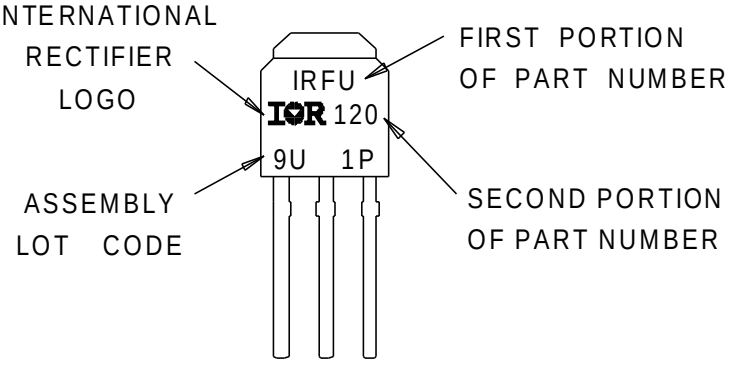
LEAD ASSIGNMENTS
1 - GATE
2 - DRAIN
3 - SOURCE
4 - DRAIN

NOTES:
1 DIMENSIONING & TOLERANCING PER ANSI Y14.5M, 1982.
2 CONTROLLING DIMENSION : INCH.
3 CONFORMS TO JEDEC OUTLINE TO-252AA.
4 DIMENSIONS SHOWN ARE BEFORE SOLDER DIP, SOLDER DIP MAX. +0.16 (.006).

Part Marking Information

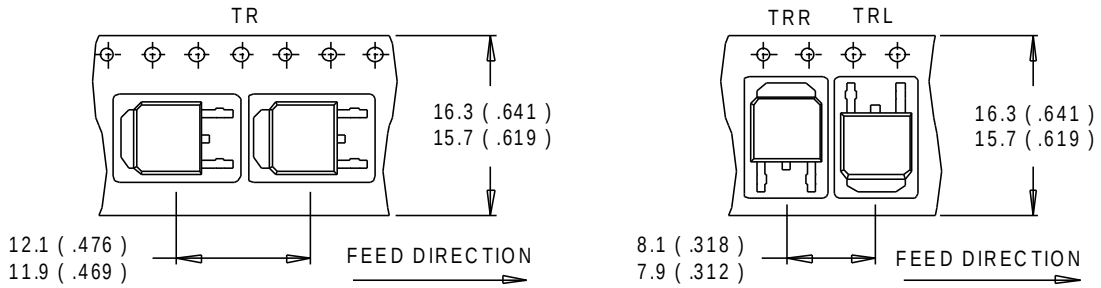
TO-251AA (I-Pak)

EXAMPLE : THIS IS AN IRFU120
WITH ASSEMBLY
LOT CODE 9U1P

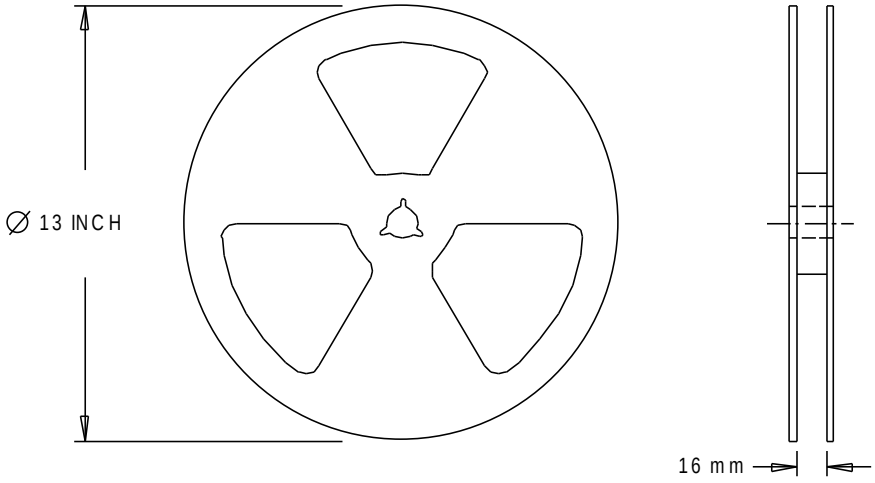


Tape & Reel Information

TO-252AA



NOTES :
1. CONTROLLING DIMENSION : MILLIMETER.
2. ALL DIMENSIONS ARE SHOWN IN MILLIMETERS (INCHES).
3. OUTLINE CONFORMS TO EIA-481 & EIA-541.



NOTES :
1. OUTLINE CONFORMS TO EIA-481.

International
IOR Rectifier

WORLD HEADQUARTERS: 233 Kansas St., El Segundo, California 90245, Tel: (310) 322 3331
EUROPEAN HEADQUARTERS: Hurst Green, Oxted, Surrey RH8 9BB, UK Tel: ++ 44 1883 732020
IR CANADA: 7321 Victoria Park Ave., Suite 201, Markham, Ontario L3R 2Z8, Tel: (905) 475 1897
IR GERMANY: Saalburgstrasse 157, 61350 Bad Homburg Tel: ++ 49 6172 96590
IR ITALY: Via Liguria 49, 10071 Borgaro, Torino Tel: ++ 39 11 451 0111
IR FAR EAST: K&H Bldg., 2F, 30-4 Nishi-Ikebukuro 3-Chome, Toshima-Ku, Tokyo Japan 171 Tel: 81 3 3983 0086
IR SOUTHEAST ASIA: 315 Outram Road, #10-02 Tan Boon Liat Building, Singapore 0316 Tel: 65 221 8371
http://www.irf.com/ *Data and specifications subject to change without notice.* *8/97*

A.2 Transistor Nmos

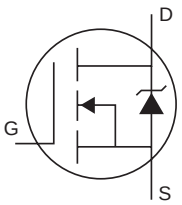
International
IOR Rectifier

PD - 91258D

IRLML2803

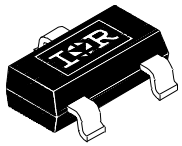
HEXFET® Power MOSFET

- Generation V Technology
- Ultra Low On-Resistance
- N-Channel MOSFET
- SOT-23 Footprint
- Low Profile (<1.1mm)
- Available in Tape and Reel
- Fast Switching



V_{DSS} = 30V

$R_{DS(on)}$ = 0.25Ω



Micro3

Description

Fifth Generation HEXFETs from International Rectifier utilize advanced processing techniques to achieve extremely low on-resistance per silicon area. This benefit, combined with the fast switching speed and ruggedized device design that HEXFET Power MOSFETs are well known for, provides the designer with an extremely efficient and reliable device for use in a wide variety of applications.

A customized leadframe has been incorporated into the standard SOT-23 package to produce a HEXFET Power MOSFET with the industry's smallest footprint. This package, dubbed the Micro3, is ideal for applications where printed circuit board space is at a premium. The low profile (<1.1mm) of the Micro3 allows it to fit easily into extremely thin application environments such as portable electronics and PCMCIA cards.

Absolute Maximum Ratings

	Parameter	Max.	Units
I_D @ T_A = 25°C	Continuous Drain Current, V_{GS} @ 10V	1.2	A
I_D @ T_A = 70°C	Continuous Drain Current, V_{GS} @ 10V	0.93	
I_{DM}	Pulsed Drain Current ①	7.3	
P_D @T_A = 25°C	Power Dissipation	540	mW
	Linear Derating Factor	4.3	mW/°C
V_{GS}	Gate-to-Source Voltage	± 20	V
dv/dt	Peak Diode Recovery dv/dt ②	5.0	V/ns
T_J, T_{STG}	Junction and Storage Temperature Range	-55 to + 150	°C

Thermal Resistance

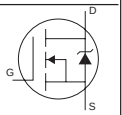
	Parameter	Typ.	Max.	Units
$R_{\theta JA}$	Maximum Junction-to-Ambient ④	—	230	°C/W

Electrical Characteristics @ T_J = 25°C (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage	30	–––	–––	V	V_{GS} = 0V, I_D = 250µA
$\Delta V_{(BR)DSS}/\Delta T_J$	Breakdown Voltage Temp. Coefficient	–––	0.029	–––	V/°C	Reference to 25°C, I_D = 1mA
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	–––	–––	0.25	Ω	V_{GS} = 10V, I_D = 0.91A ③
		–––	–––	0.40		V_{GS} = 4.5V, I_D = 0.46A ③
$V_{GS(th)}$	Gate Threshold Voltage	1.0	–––	–––	V	V_{DS} = V_{GS}, I_D = 250µA
g_{fs}	Forward Transconductance	0.87	–––	–––	S	V_{DS} = 10V, I_D = 0.46A
I_{DSS}	Drain-to-Source Leakage Current	–––	–––	1.0	µA	V_{DS} = 24V, V_{GS} = 0V
		–––	–––	25		V_{DS} = 24V, V_{GS} = 0V, T_J = 125°C
I_{GSS}	Gate-to-Source Forward Leakage	–––	–––	-100	nA	V_{GS} = -20V
	Gate-to-Source Reverse Leakage	–––	–––	100		V_{GS} = 20V
Q_g	Total Gate Charge	–––	3.3	5.0	nC	I_D = 0.91A
Q_{gs}	Gate-to-Source Charge	–––	0.48	0.72		V_{DS} = 24V
Q_{gd}	Gate-to-Drain ("Miller") Charge	–––	1.1	1.7		V_{GS} = 10V, See Fig. 6 and 9 ③
$t_{d(on)}$	Turn-On Delay Time	–––	3.9	–––	ns	V_{DD} = 15V
t_r	Rise Time	–––	4.0	–––		I_D = 0.91A
$t_{d(off)}$	Turn-Off Delay Time	–––	9.0	–––		R_G = 6.2Ω
t_f	Fall Time	–––	1.7	–––		R_D = 16Ω, See Fig. 10 ③
C_{iss}	Input Capacitance	–––	85	–––	pF	V_{GS} = 0V
C_{oss}	Output Capacitance	–––	34	–––		V_{DS} = 25V
C_{rss}	Reverse Transfer Capacitance	–––	15	–––		f = 1.0MHz, See Fig. 5

Source-Drain Ratings and Characteristics

	Parameter	Min.	Typ.	Max.	Units	Conditions
I_S	Continuous Source Current (Body Diode)	–––	–––	0.54	A	MOSFET symbol showing the integral reverse p-n junction diode.
I_{SM}	Pulsed Source Current (Body Diode) ①	–––	–––	7.3		
V_{SD}	Diode Forward Voltage	–––	–––	1.2	V	T_J = 25°C, I_S = 0.91A, V_{GS} = 0V ③
t_{rr}	Reverse Recovery Time	–––	26	40	ns	T_J = 25°C, I_F = 0.91A
Q_{rr}	Reverse RecoveryCharge	–––	22	32	nC	di/dt = 100A/µs ③



Notes:

① Repetitive rating; pulse width limited by max. junction temperature. (See fig. 11)

② I_{SD} ≤ 0.91A, di/dt ≤ 120A/µs, V_{DD} ≤ $V_{(BR)DSS}$, T_J ≤ 150°C

③ Pulse width ≤ 300µs; duty cycle ≤ 2%.

④ Surface mounted on FR-4 board, t ≤ 5sec.

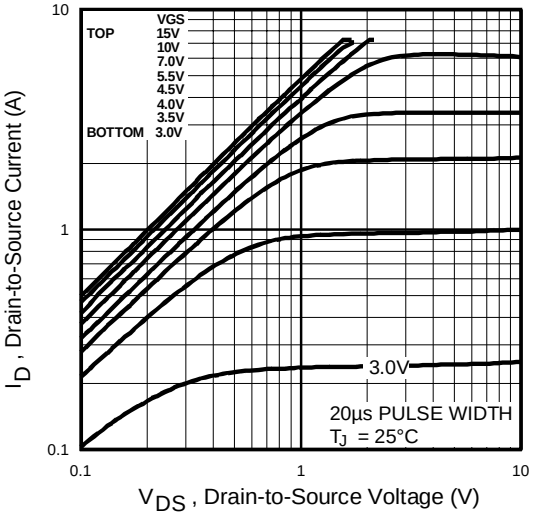


Fig 1. Typical Output Characteristics

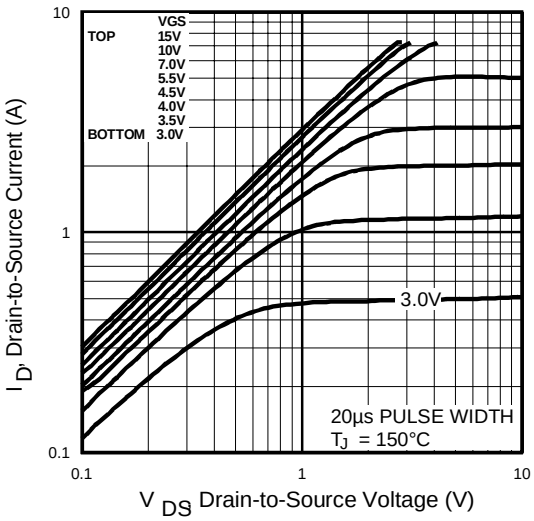


Fig 2. Typical Output Characteristics

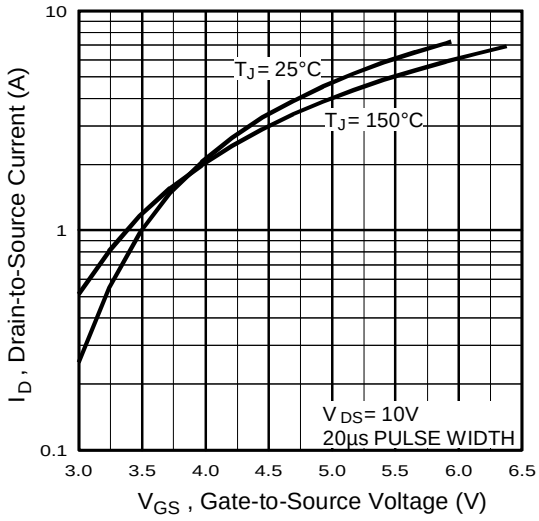


Fig 3. Typical Transfer Characteristics

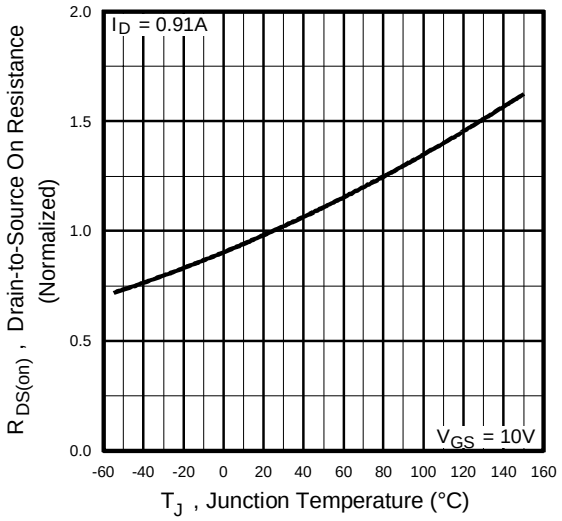


Fig 4. Normalized On-Resistance
Vs. Temperature

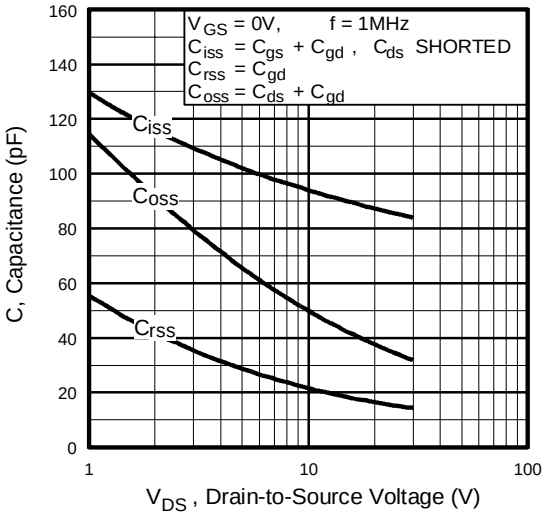


Fig 5. Typical Capacitance Vs. Drain-to-Source Voltage

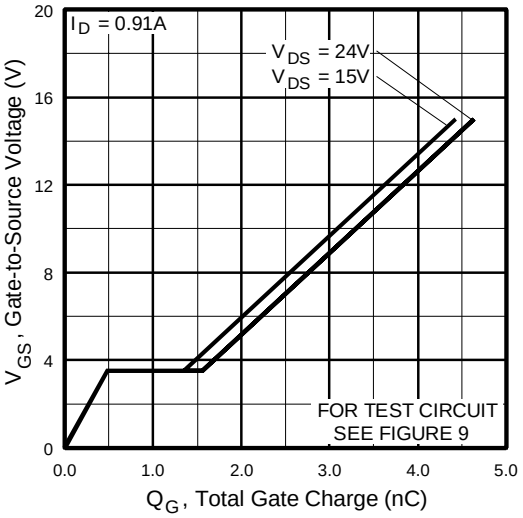


Fig 6. Typical Gate Charge Vs. Gate-to-Source Voltage

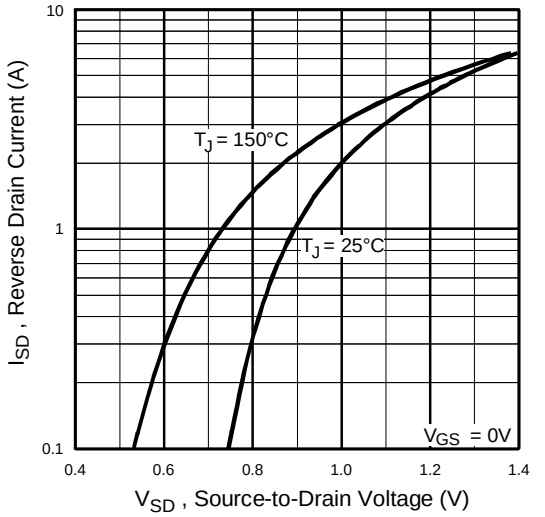


Fig 7. Typical Source-Drain Diode Forward Voltage

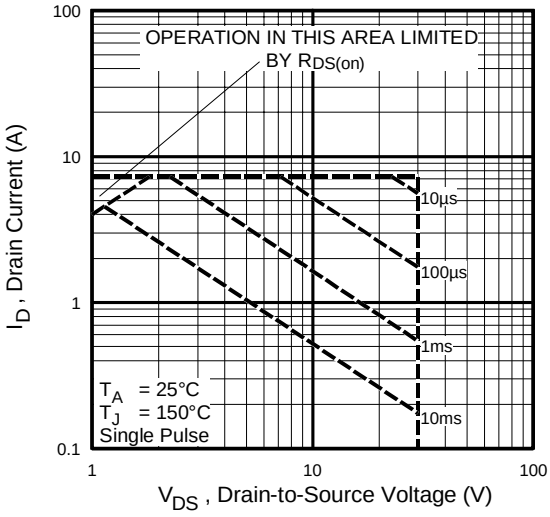


Fig 8. Maximum Safe Operating Area

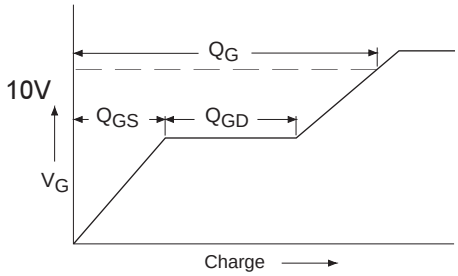


Fig 9a. Basic Gate Charge Waveform

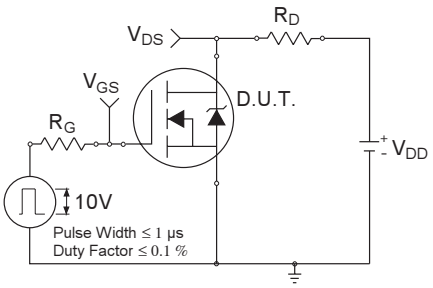


Fig 10a. Switching Time Test Circuit

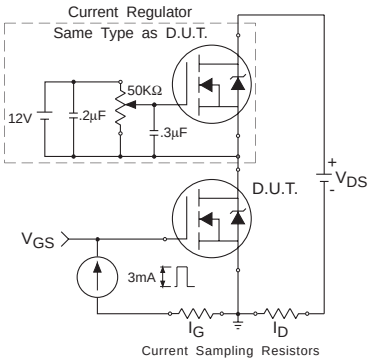


Fig 9b. Gate Charge Test Circuit

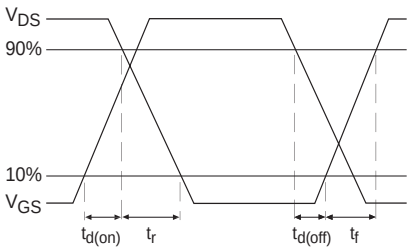


Fig 10b. Switching Time Waveforms

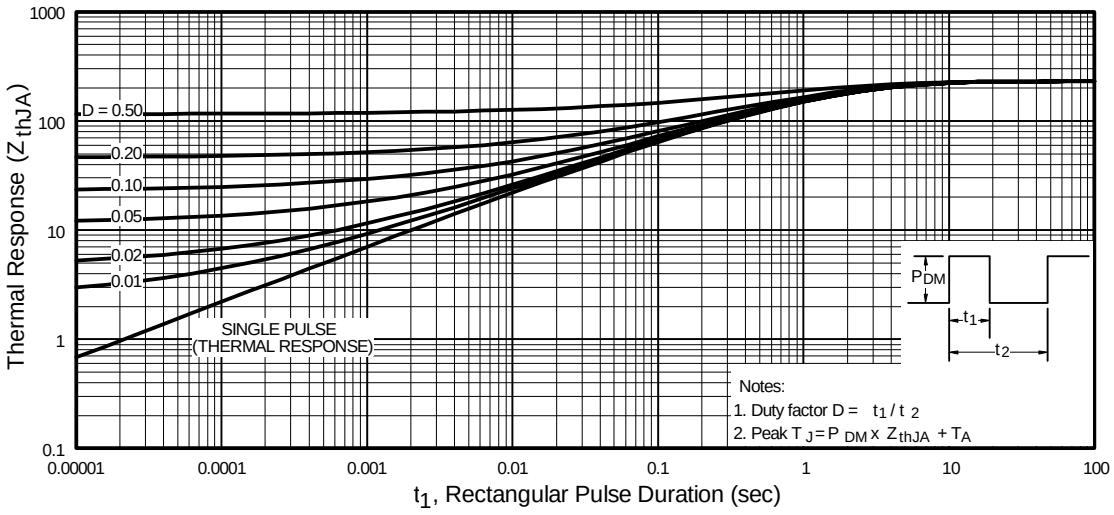


Fig 11. Maximum Effective Transient Thermal Impedance, Junction-to-Ambient

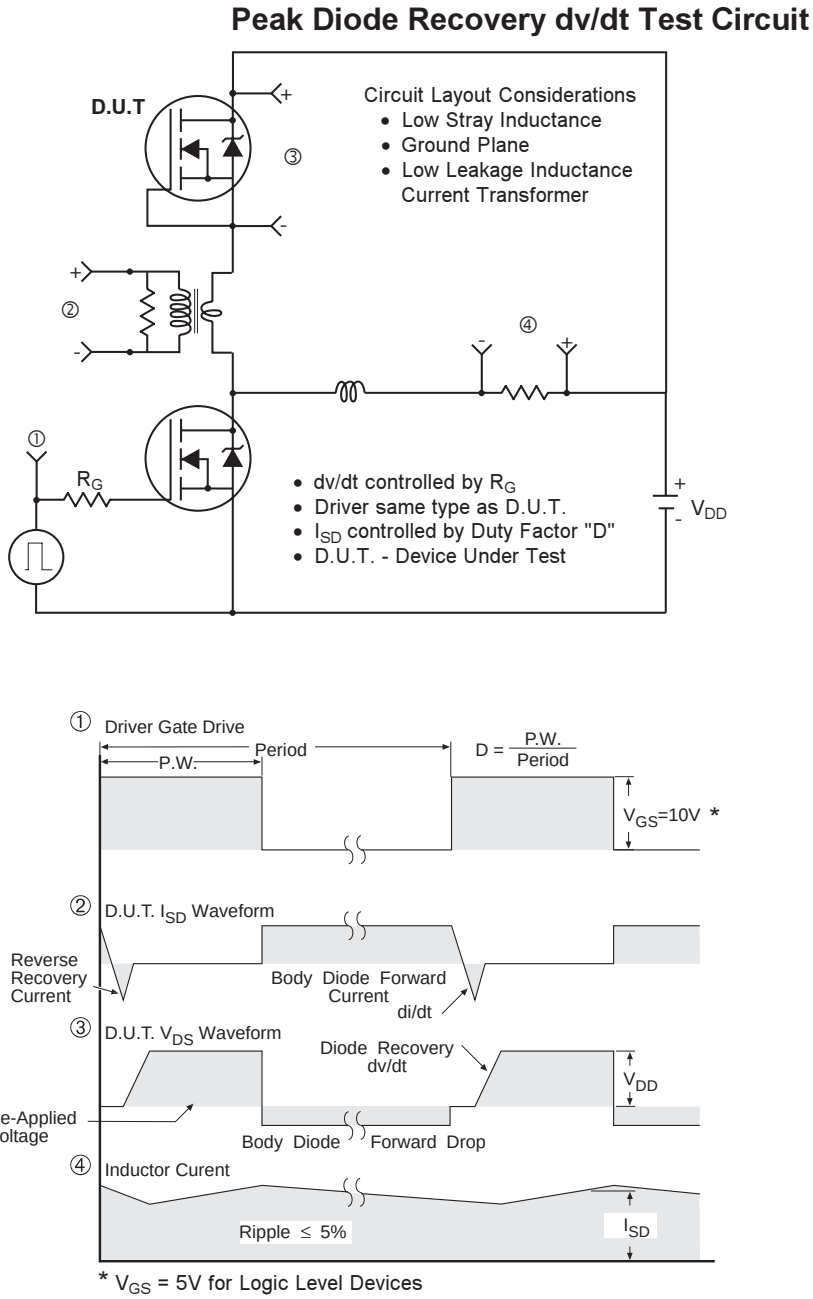


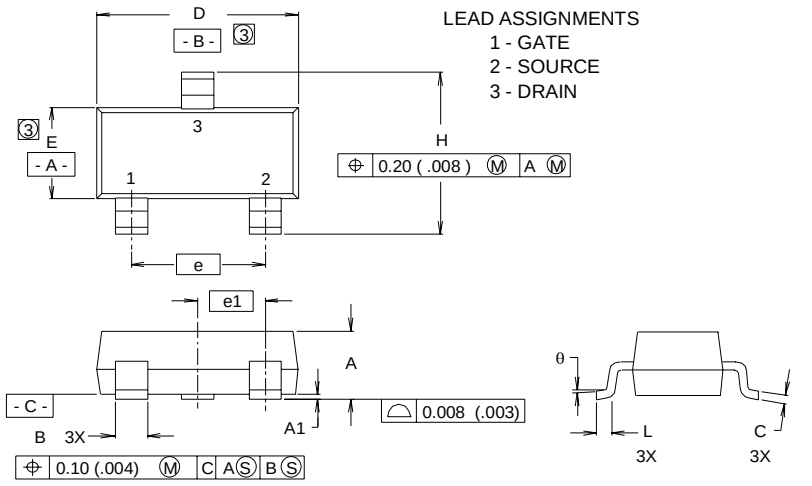
Fig 12. For N-Channel HEXFETS

International
IOR Rectifier

IRLML2803

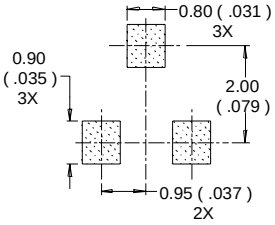
Package Outline

SOT-23 Outline
Dimensions are shown in millimeters (inches)



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.032	.044	0.82	1.11
A1	.001	.004	0.02	0.10
B	.015	.021	0.38	0.54
C	.004	.006	0.10	0.15
D	.105	.120	2.67	3.05
e	.0750 BASIC		1.90 BASIC	
e1	.0375 BASIC		0.95 BASIC	
E	.047	.055	1.20	1.40
H	.083	.098	2.10	2.50
L	.005	.010	0.13	0.25
θ	0°	8°	0°	8°

MINIMUM RECOMMENDED FOOTPRINT



NOTES:
1. DIMENSIONING & TOLERANCING PER ANSI Y14.5M-1982.
2. CONTROLLING DIMENSION : INCH.
3 DIMENSIONS DO NOT INCLUDE MOLD FLASH.

IRLML2803

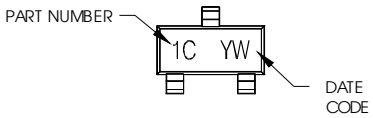
Part Marking Information

SOT-23

International
IOR Rectifier

Notes: This part marking information applies to devices produced before 02/26/2001

EXAMPLE: THIS IS AN IRLML6302



PART NUMBER CODE REFERENCE:

1A = IRLML2402
1B = IRLML2803
1C = IRLML6302
1D = IRLML5103
1E = IRLML6402
1F = IRLML6401
1G = IRLML2502
1H = IRLML5203

DATE CODE EXAMPLES:

YWW = 9503 = 5C
YWW = 9532 = EF

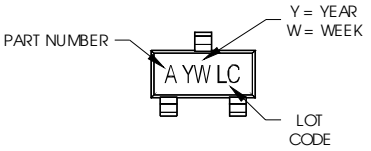
WW = (1-26) IF PRECEDED BY LAST DIGIT OF CALENDAR YEAR

YEAR	Y	WORK WEEK	W
2001	1	01	A
2002	2	02	B
2003	3	03	C
1994	4	04	D
1995	5		
1996	6		
1997	7		
1998	8		
1999	9		
2000	0	24	X
		25	Y
		26	Z

WW = (27-52) IF PRECEDED BY A LETTER

YEAR	Y	WORK WEEK	W
2001	A	27	A
2002	B	28	B
2003	C	29	C
1994	D	30	D
1995	E		
1996	F		
1997	G		
1998	H		
1999	J		
2000	K	50	X
		51	Y
		52	Z

Notes: This part marking information applies to devices produced after 02/26/2001



PART NUMBER CODE REFERENCE:

A = IRLML2402
B = IRLML2803
C = IRLML6302
D = IRLML5103
E = IRLML6402
F = IRLML6401
G = IRLML2502
H = IRLML5203

W = (1-26) IF PRECEDED BY LAST DIGIT OF CALENDAR YEAR

YEAR	Y	WORK WEEK	W
2001	1	01	A
2002	2	02	B
2003	3	03	C
1994	4	04	D
1995	5		
1996	6		
1997	7		
1998	8		
1999	9		
2000	0	24	X
		25	Y
		26	Z

W = (27-52) IF PRECEDED BY A LETTER

YEAR	Y	WORK WEEK	W
2001	A	27	A
2002	B	28	B
2003	C	29	C
1994	D	30	D
1995	E		
1996	F		
1997	G		
1998	H		
1999	J		
2000	K	50	X
		51	Y
		52	Z

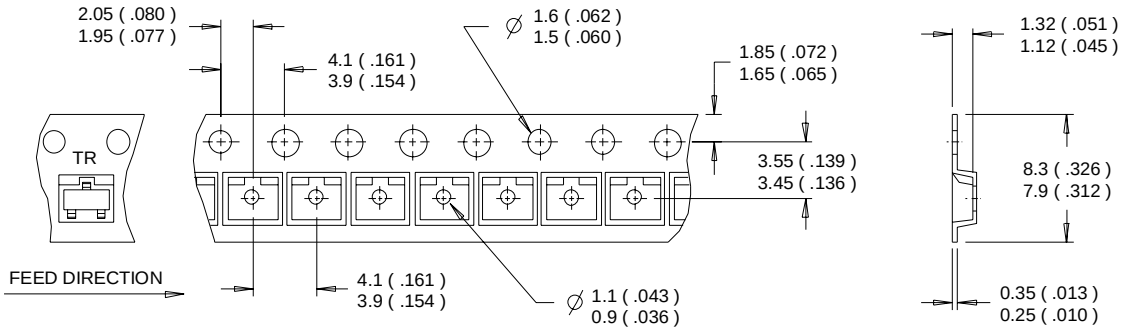
International
IOR Rectifier

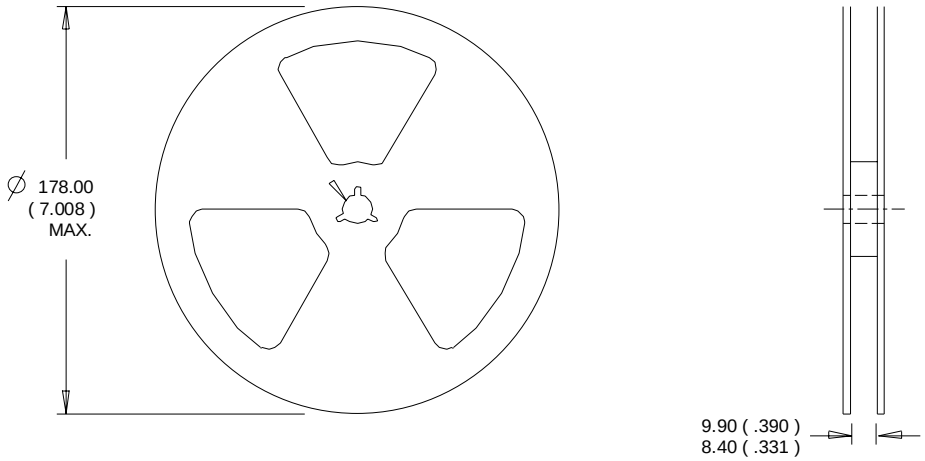
IRLML2803

Tape & Reel Information

SOT-23

Dimensions are shown in millimeters (inches)





NOTES:
1. CONTROLLING DIMENSION : MILLIMETER.
2. OUTLINE CONFORMS TO EIA-481 & EIA-541.

Data and specifications subject to change without notice.

International
IOR Rectifier

IR WORLD HEADQUARTERS: 233 Kansas St., El Segundo, California 90245, USA Tel: (310) 252-7105
TAC Fax: (310) 252-7903
Visit us at www.irf.com for sales contact information. 04/03

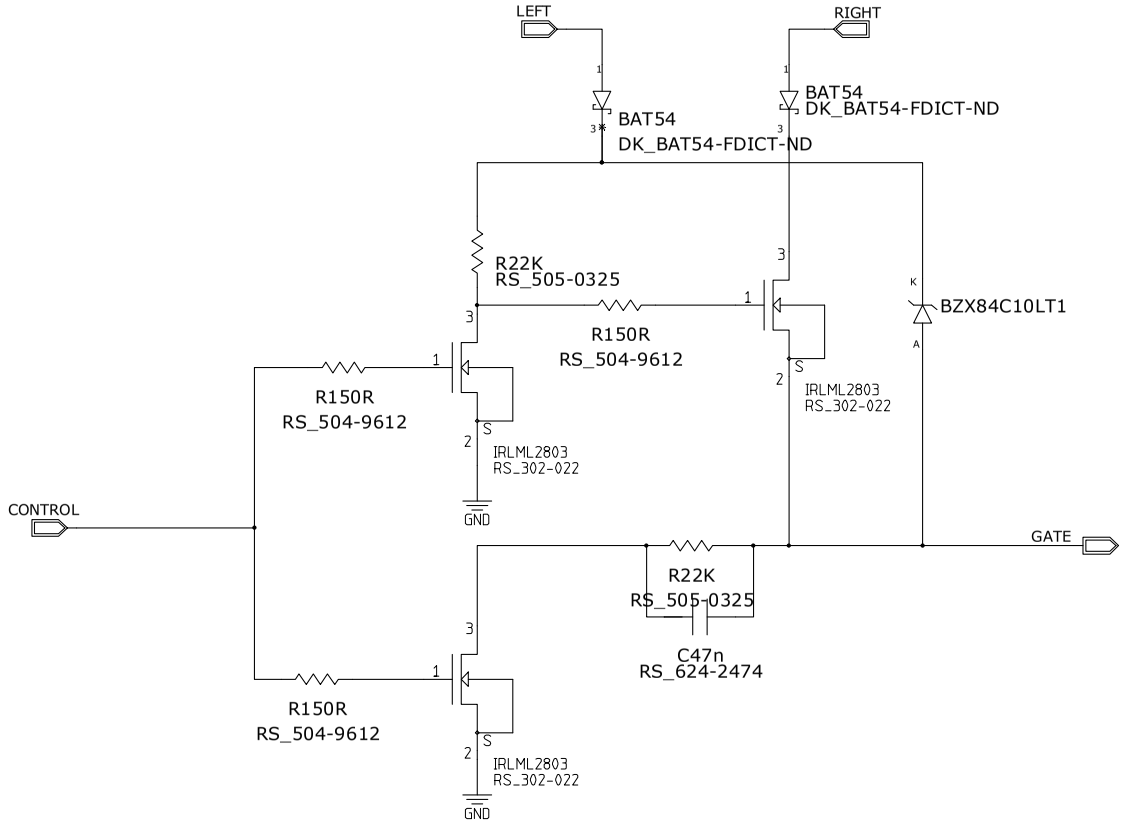
Appendice B

Schematici finali Mentor Graphics

Sono presentati qua le versioni finali degli schematici dei circuiti progettati in questo lavoro.

B.1 Driver Bidirezionale

REVISIONS			
REV	DESCRIPTION	DATE	APPROVED



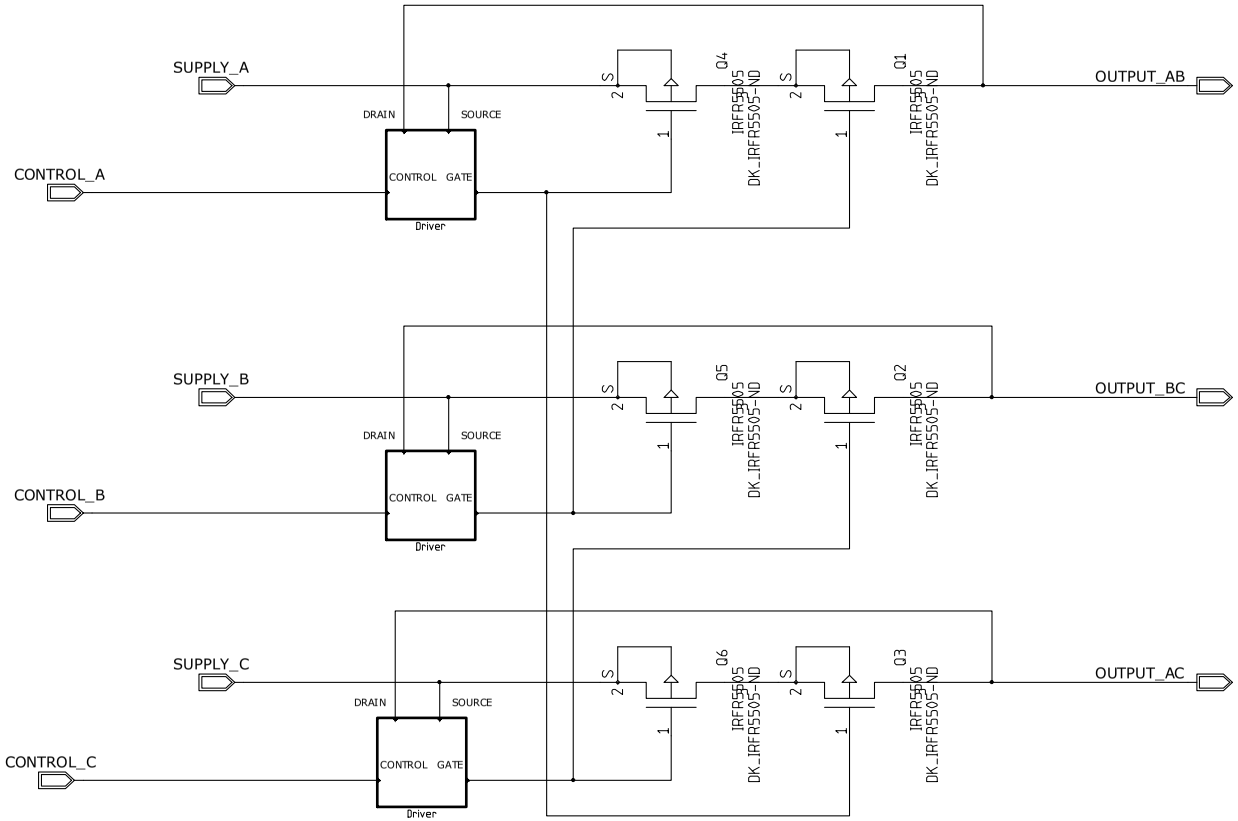
CONTRACT NO.		Schematic: Driver Root: switch
APPROVALS	DATE	
DRAWN	01/07/2010	Project name: 1B121-Power_Switches Lib: R:\AraMiS_Mentor_Lib\AraMiS_Mentor_Lib.lmc
	12.28.04	SIZE C / FSCM NO. / DWG. NO. / REV
CHECKED		
ISSUED		SCALE / SHEET 01/01

DWG. NO.
SH.
REV.

H=4ND; V=4LA

B.2 Interruttore bidirezionale di potenza tollerante ai guasti

REVISIONS			
REV	DESCRIPTION	DATE	APPROVED



CONTRACT NO.		Schematic: FaultTolerant Root: switch	
APPROVALS	DATE		
DRAWN	18/06/2010	Project name: 1B121-Power_Switches Lib: R:\AraMiS_Mentor_Lib\AraMiS_Mentor_Lib.lmc	
	11.19.30	SIZE C / FSCM NO. / DWG. NO.	REV
CHECKED			
ISSUED		SCALE / SHEET	01/01

H=4ND; V=4LA

Appendice C

Codici Matlab

Sono presentati qua i principali codici Matlab utilizzati in questo lavoro.

C.1 Calcolo della potenza dissipata e energia impiegata nella comutazione del transistor Pmos

```
load 'R:\Tesi\Tesi Grizante\Waveforms\C3_25V_4R7_A.dat'
load 'R:\Tesi\Tesi Grizante\Waveforms\C4_25V_4R7_A.dat'



v_drain=C3_25V_4R7_A(:,2);
v_source=C4_25V_4R7_A(:,2);
current=v_drain/4.7;
time=C3_25V_4R7_A(:,1);

%subplot(2,1,1);
potenza = abs((-v_source+v_drain)).*abs(current);
%plot(time,potenza);

xlabel('tempo [s]')
ylabel('potenza [W]')
```

```
grid on



%subplot(2,1,2);
f= size(potenza,1);
fNorm = 300 / (f/2);
[b,a] = butter(10, fNorm, 'low');
potenzaLow = filtfilt(b, a, potenza);

plot(time,potenzaLow);



xlabel('tempo [s]')
ylabel('potenza [W]')
grid on



%procedura per calcolo dell'energia
%figure
first=1139;%indici ricavati dal grafico
last=5500;
pot_on=potenzaLow(first:last);
time_on=time(first:last);
%plot(time_on,pot_on);

xlabel('tempo [s]')
ylabel('potenza [W]')
grid on



en_on =trapz(time_on,pot_on);
```

C.2 Calcolo della potenza dissipata e energia impiegata nella comutazione del transistor Pmos

```
load 'R:\Tesi\Tesi Grizante\Waveforms\C3_25V_4R7_S.dat'
load 'R:\Tesi\Tesi Grizante\Waveforms\C4_25V_4R7_S.dat'

v_drain=C3_25V_4R7_S(:,2);
v_source=C4_25V_4R7_S(:,2);
current=v_drain/4.7;
time=C3_25V_4R7_S(:,1);

%subplot(2,1,1);
potenza = abs((-v_source+v_drain)).*abs(current);
%plot(time,potenza);

xlabel('tempo [s]')
ylabel('potenza [W]')
grid on



%subplot(2,1,2);
f= size(potenza,1);
fNorm = 600 / (f/2);
[b,a] = butter(10, fNorm, 'low');
potenzaLow = filtfilt(b, a, potenza);

plot(time,potenzaLow);
xlabel('tempo [s]')
ylabel('potenza [W]')
grid on

%procedura per calcolo di energia
%figure
```

```
first=21000;%indici ricavati dal grafico
last=31000;
pot_on=potenzaLow(first:last);
time_on=time(first:last);
%plot(time_on,pot_on);

xlabel('tempo [s]')
ylabel('potenza [W]')
grid on


en_off =trapz(time_on,pot_on);
```

Bibliografia

[1] Cubesat Community Website. [Online]. Available: http://cubesat.calpoly.edu

[2] Picpot. [Online]. Available: http://polimage.polito.it/picpot

[3] Aramis. [Online]. Available: http://polimage.polito.it/aramis

[4] M. Tartaglia and M. Mitolo, "An analytical evaluation of the prospective i^2t to assess short-circuit capabilities of cables and busways," *IEEE Transactions on Power Delivery*.

[5] U. F. Michael Lenz, Günther Striedl, *Thermal Resistance, Theory and Practice*. Munich, Germany: Infineon Technologies AG, 2000.

[6] NASA, "Space radiation effects on electronic componets in low-earth orbit," *Preferred reliability Practices no. PD-ED1258*, 1996.

[7] E. Haseloff, "Latch-up, ESD and other phenomena," *Texas Instrument application report*, 2000.

[8] F. Faccio and G. Cervelli, "Radiation-induced edge effects in deep submicron cmos transistors," *Nuclear Science, IEEE Transactions on*, vol. 52, no. 6, pp. 2413–2420, Dec. 2005.

[9] M. Boscherini *et al.*, *Radiation damage of electronic components in space enviroment*, 2003.

[10] I. Rectifier, *Application Note 1084 - Power MOSFET Basics*.

[11] International rectifier. [Online]. Available: http://www.irf.com